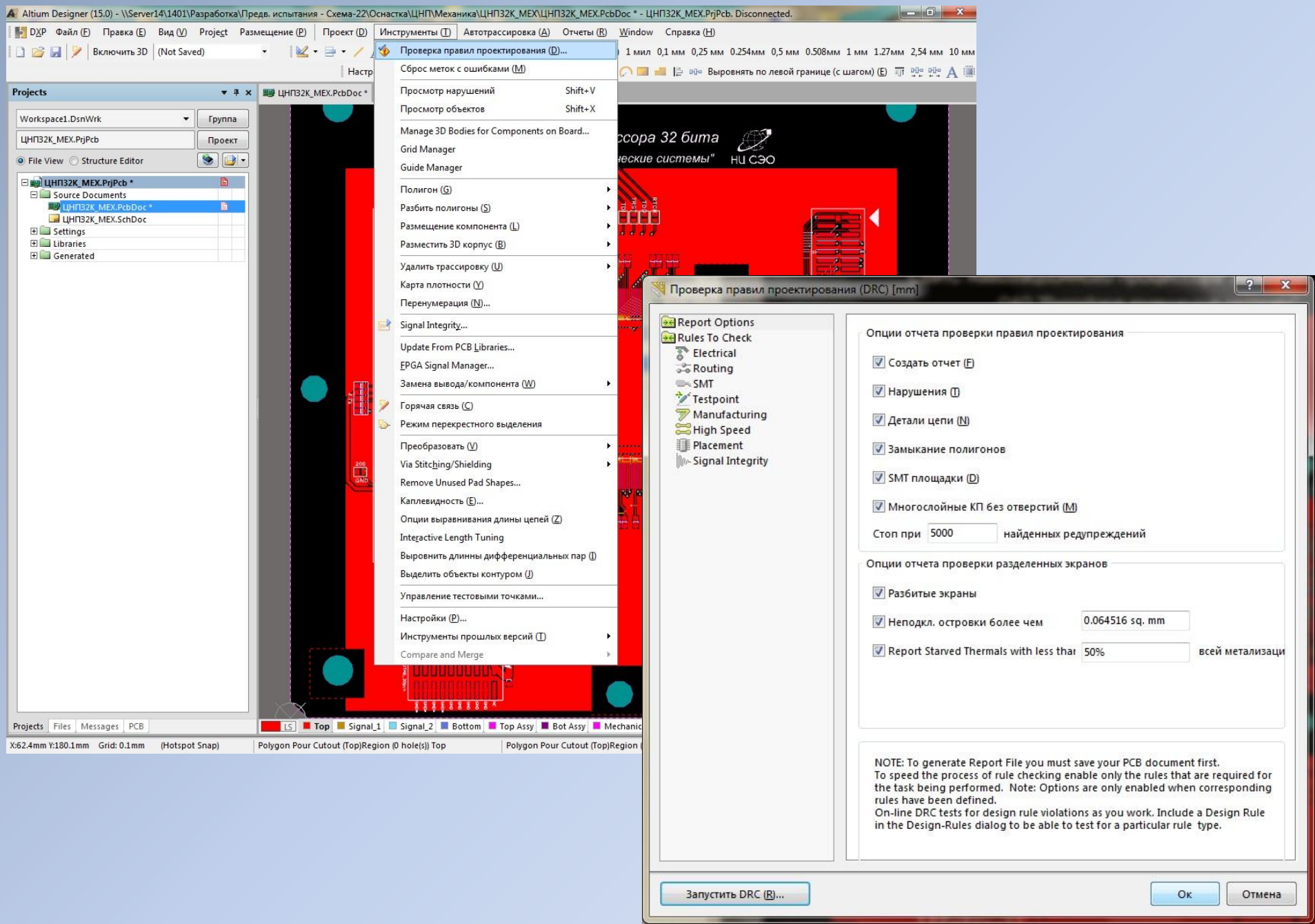
9.1. Проверка трассировки на соответствие заданным правилам



9.2. Отчет по результатам проверки

Altium Designer (15.0) - Workgroup [Workspace1.DsnWrk] - file:///\\Server14\1401\Разработка\Предв. испытания - Схема-22\Оснастка\ЦНП\Механика\ЦНП64К_МЕХ\Project Outputs for ЦНП_МЕХ\Design Rule ...

DXP File View Project Window Help

Projects

Workspace1.DsnWrk | Группа

ЦНП_МЕХ.PrjPcb | Проект

File View | Structure Editor

- ЦНП_МЕХ.PrjPcb
  - Source Documents
    - ЦНП_МЕХ.SchDoc
    - ЦНП_МЕХ.PcbDoc
  - Settings
  - Libraries
  - Generated

Projects | Files | Messages

ЦНП_МЕХ.PcbDoc | Design Rule Verification Report

customize

Altium Designer

Design Rule Verification Report

Date : 19.05.2015

Time : 11:54:02

Elapsed Time : 00:00:02

Filename : \\Server14\1401\Ðàçðàáîòêà\Ïðåäâ. èñïûòàíèÿ - Ñõåìà-22\Îñíàñòêà\ÖÎÏ\Ìåõàíèêà\ÖÎÏ64Ê_ÌÅÕ\ÖÎÏ_ÌÅÕ.PcbDoc

Warnings:0

Rule Violations:0

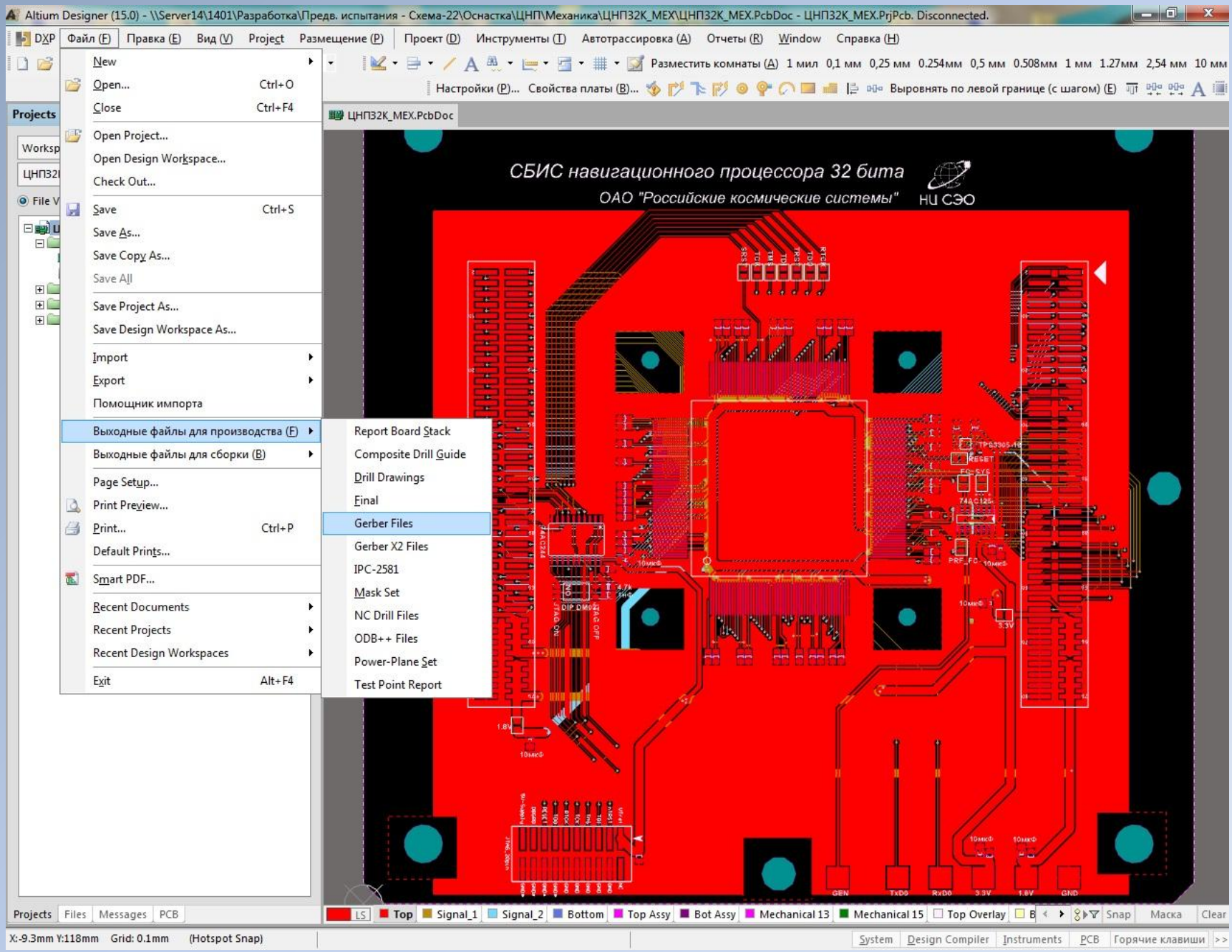
Summary

Warnings	Count
Total	0

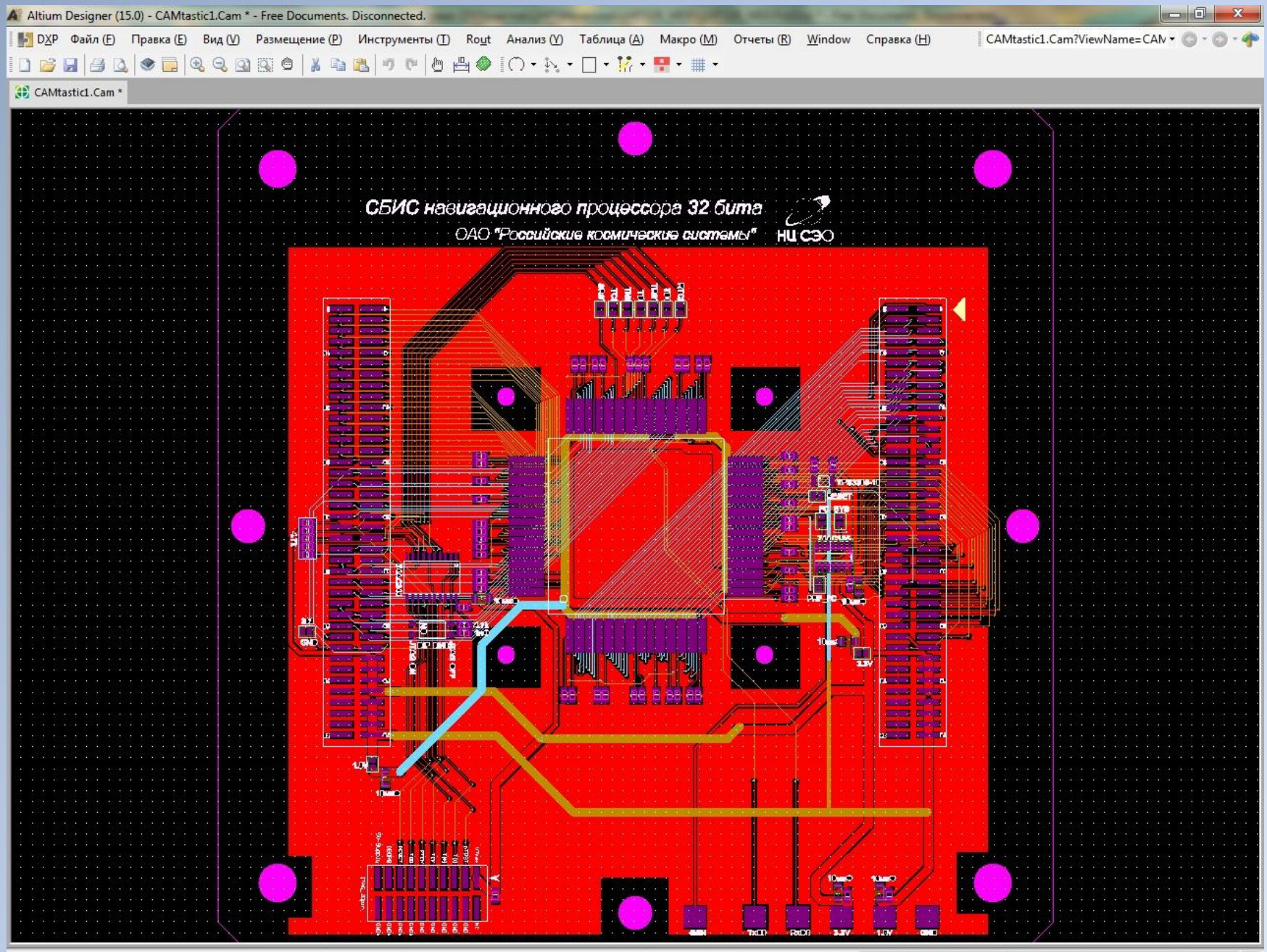
Rule Violations	Count
Net Antennae (Tolerance=0mm) (All)	0
Height Constraint (Min=0mm) (Max=6mm) (Prefered=2mm) (OnLayer('Bottom'))	0
Hole Size Constraint (Min=0.3mm) (Max=50mm) (All)	0
Un-Routed Net Constraint ((All))	0
Short-Circuit Constraint (Allowed=No) (All),(All)	0
Power Plane Connect Rule(Direct Connect)(Expansion=0.2mm) (Conductor Width=0.2mm) (Air Gap=0.2mm) (Entries=4) (All)	0

System | Design Compiler | Instruments | Горячие клавиши

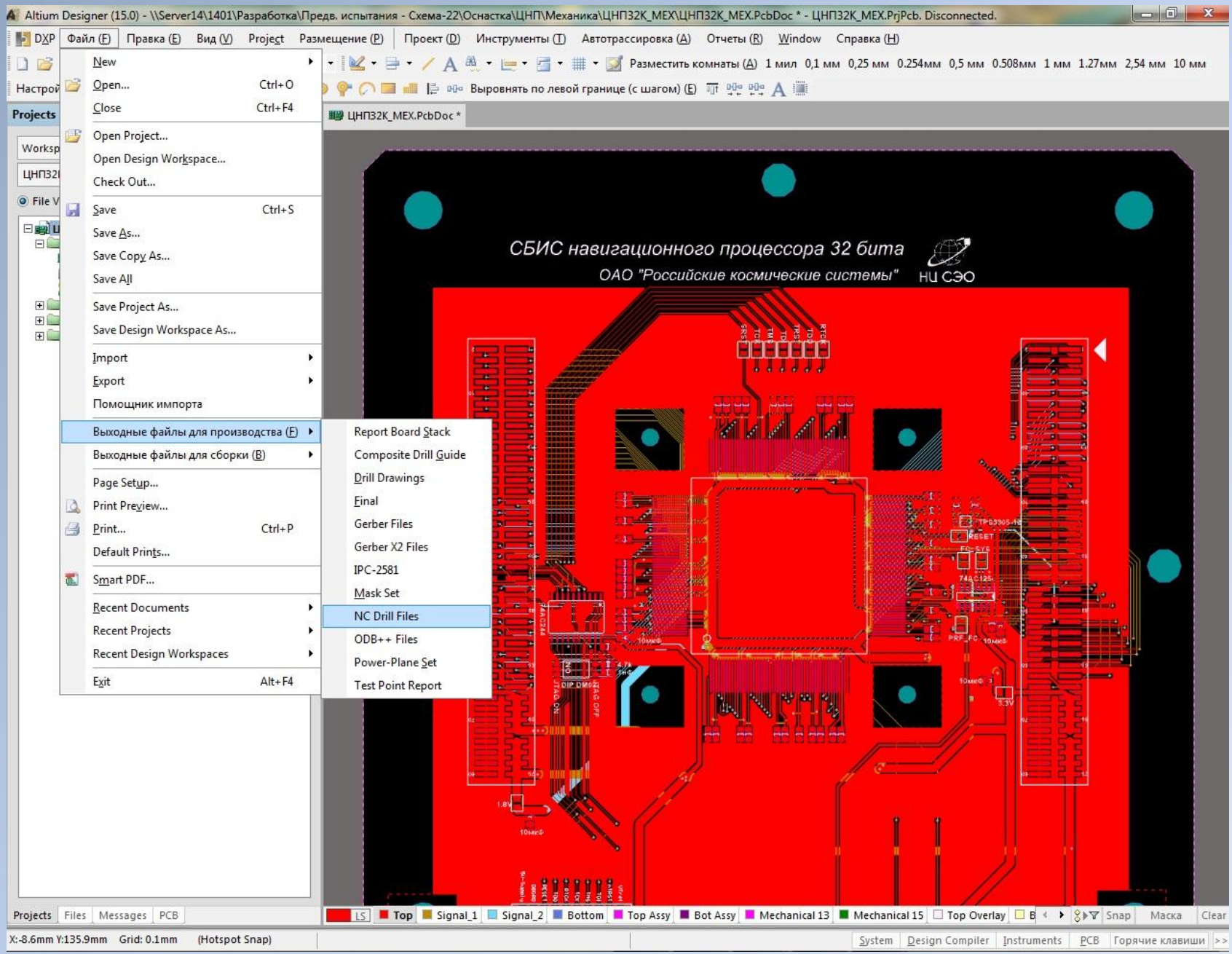
9.3. Создание выходного файла трассировки



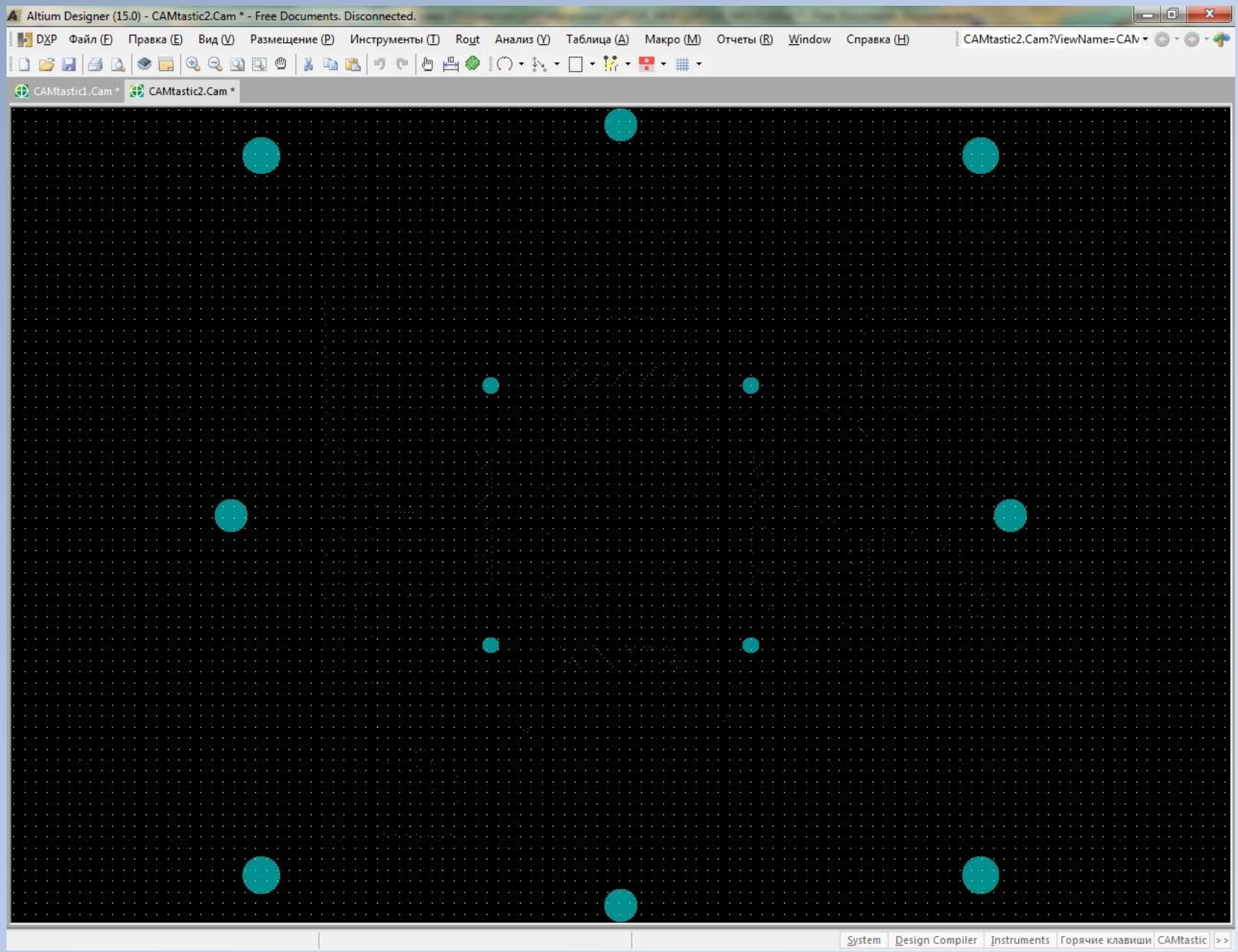
9.4. Результат создания выходного файла трассировки (без отверстий)



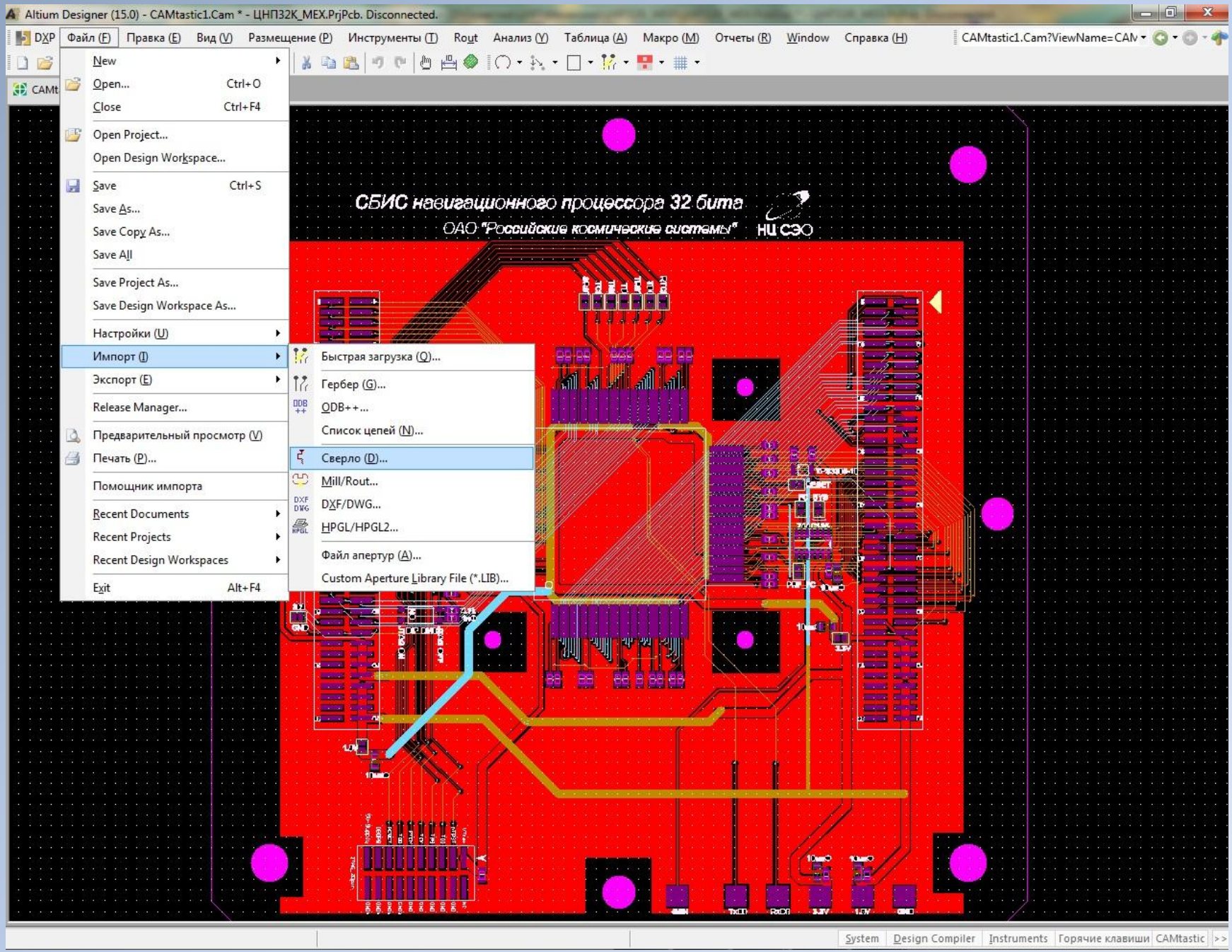
9.5. Создание выходного файла сверловки отверстий



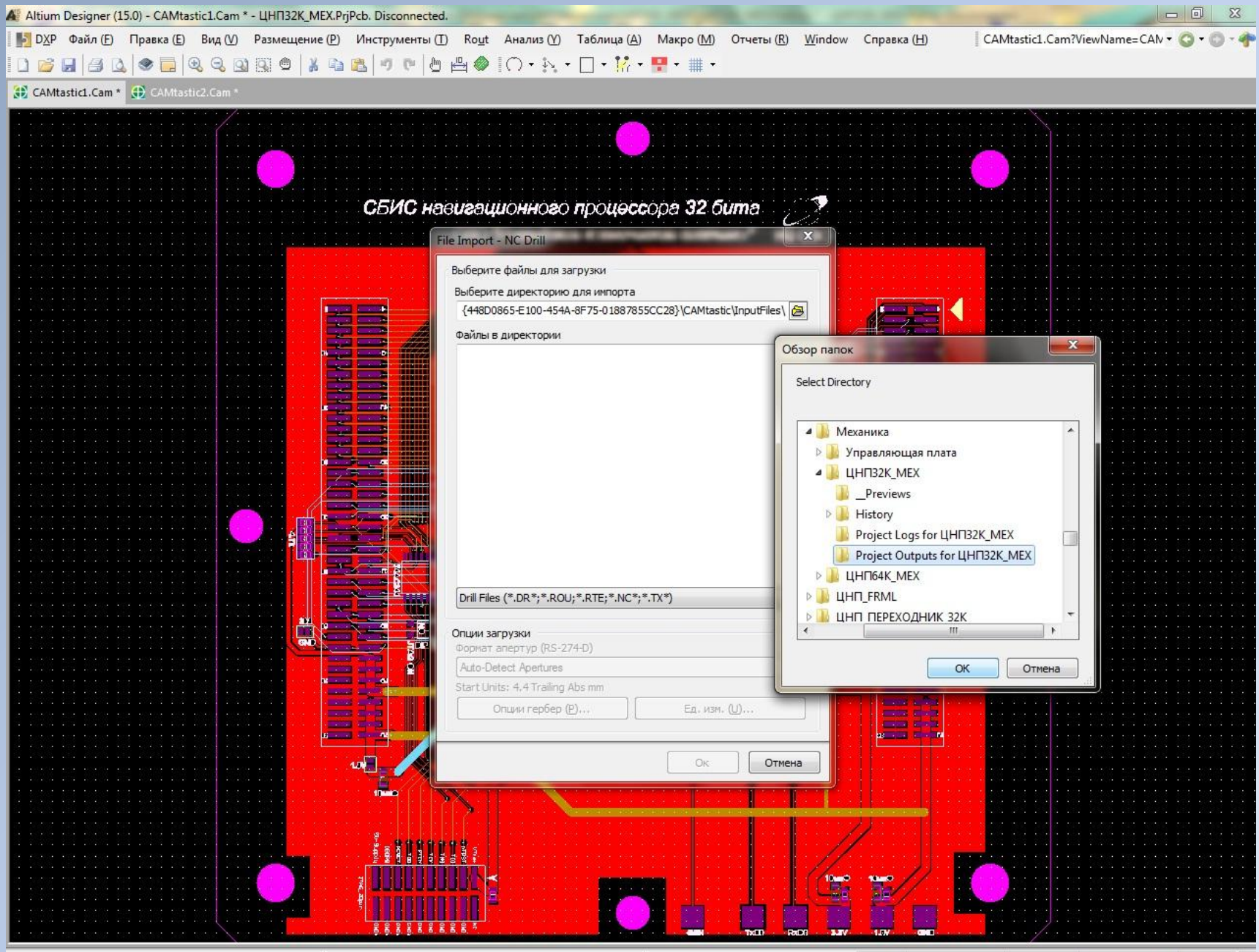
9.6. Результат создания выходного файла сверловки (без трассировки)



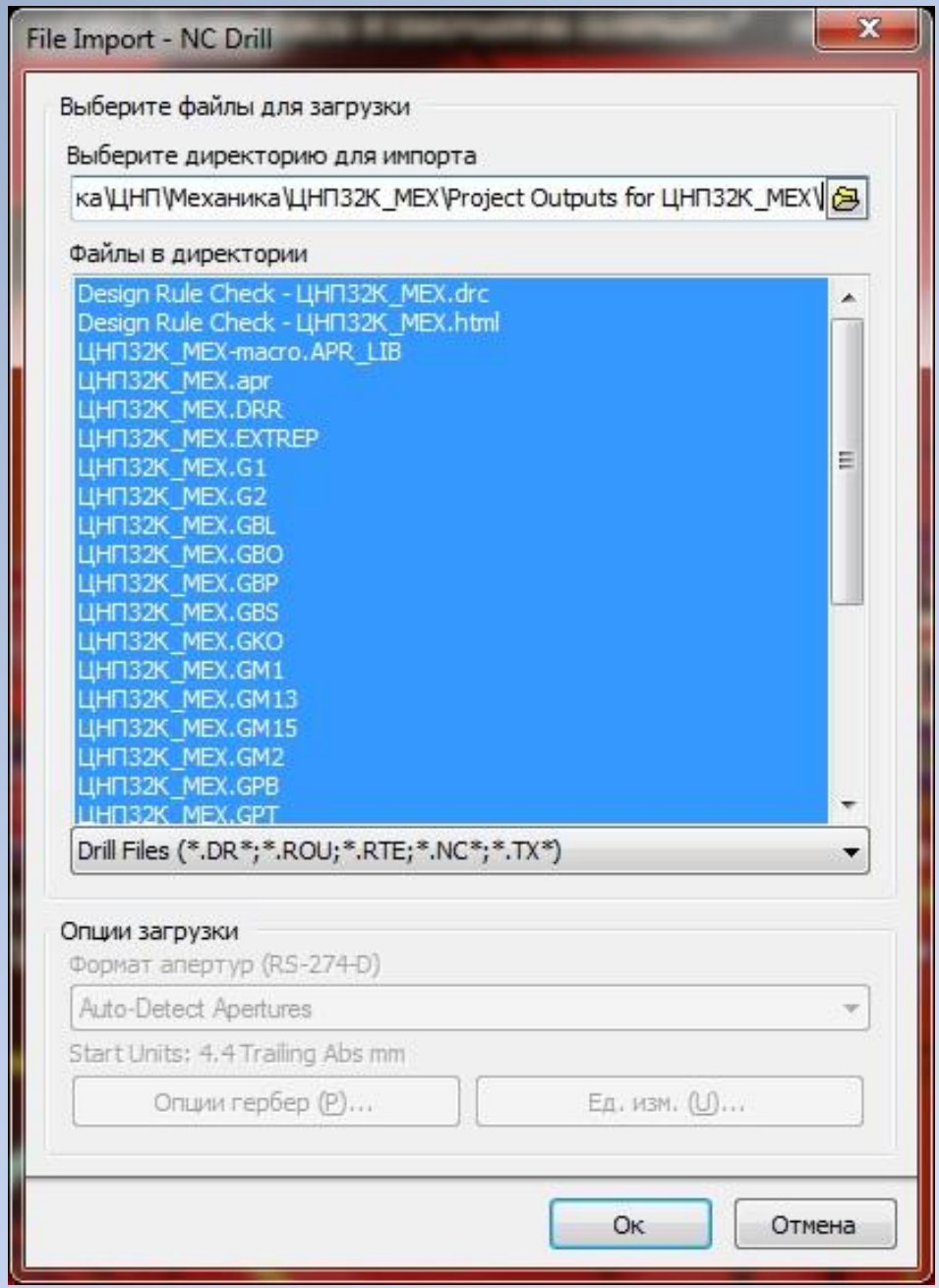
9.7. Наложение выходных файлов трассировки и сверловки



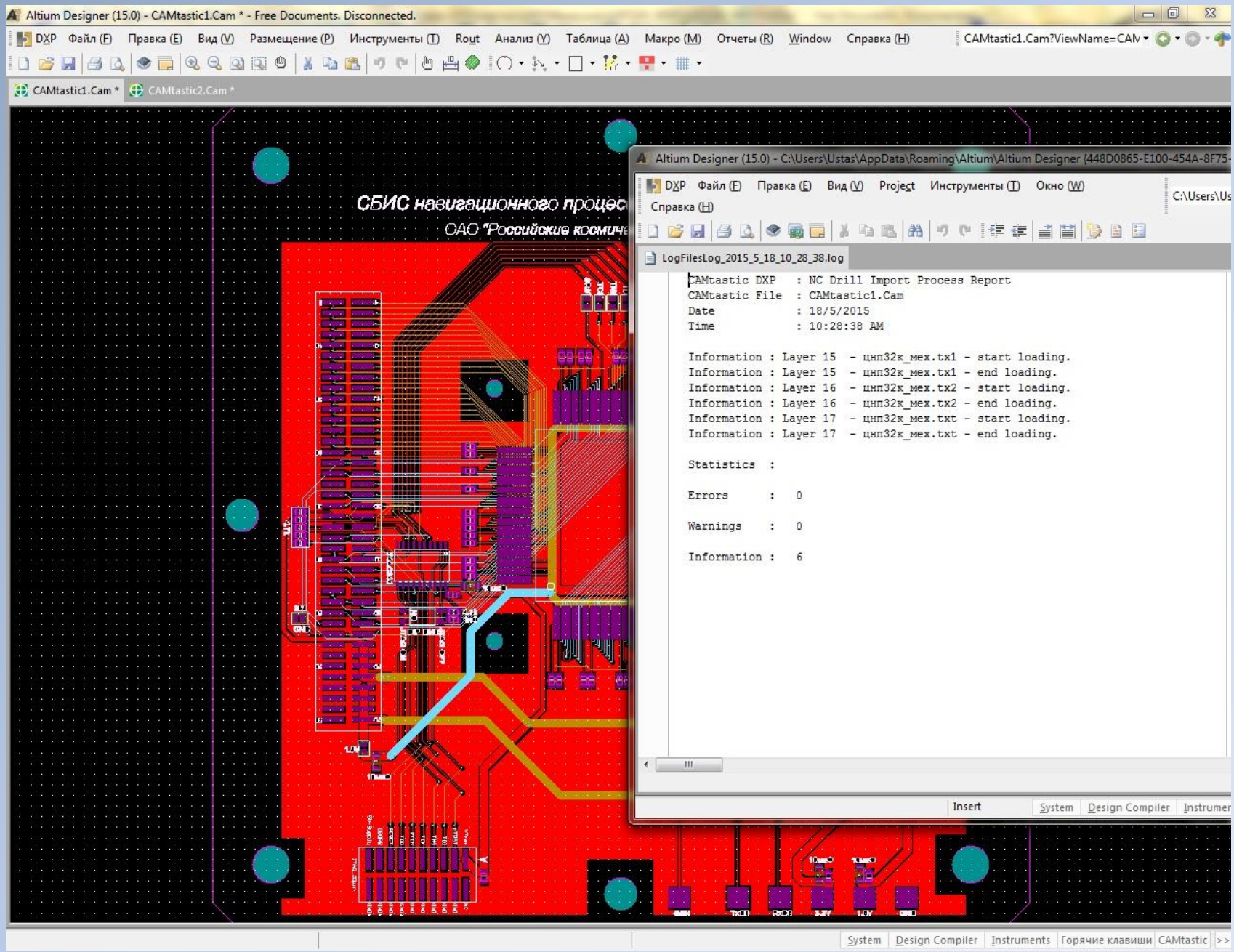
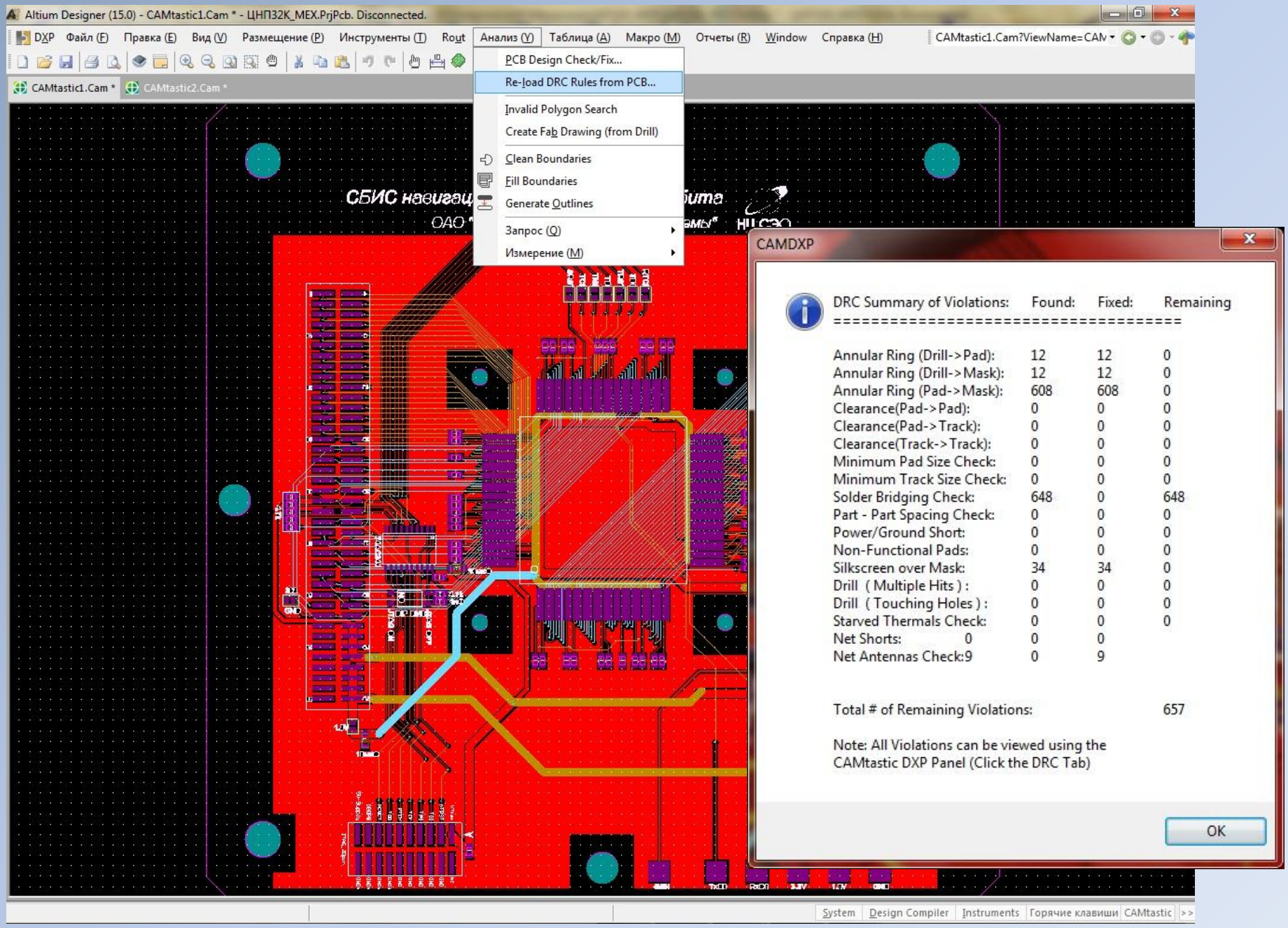
9.8. Указание пути к файлам сверловки



9.9. Список готовых к импортированию файлов сверловки (по слоям)



9.10. Результат наложения файлов трассировки и сверловки



9.11. Повторная проверка на соответствие правилам трассировки