Лекция 1: Введение. Архитектура ЭВМ

План лекции

1. Структура курса.
2. Входное тестирование.
3. Опрос.
4. Микропроцессор. Трехшинная архитектура.
5. Интерфейс эмулятора.
6. Некоторые команды I8085A на примерах.

О курсе. Связь с другими предметами

1. Предметы:
    1. Программирование;
    2. Операционные системы;
    3. Математическая логика;
    4. Схемотехника.
2. Структура курса, лабораторные, зачет.

Входное тестирование (7 минут)

Выполнить одно из заданий (лучше первое):

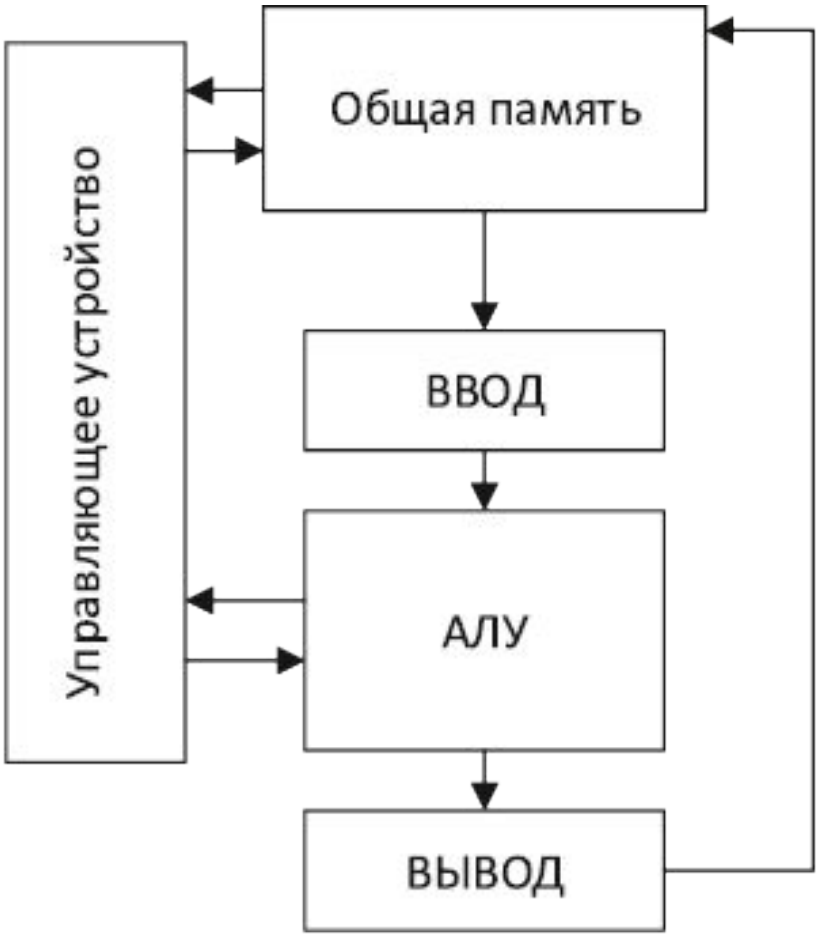
1. Как вы понимаете фразу "переменная создается на стеке"?
   a) Где в этом случае физически находится переменная?
   b) Каким образом происходит обращение к ней?
   c) Когда память из под нее будет освобождена?
2. Написать на языке C++ функцию, принимающую массив чисел a0, a1, … an и выводящую сумму элементов, значения которых меньше чем у обоих «соседей». Например: 1, 2, 4, 3, 7 => 1+3=4

На листке подписать: взвод (группу), ФИО

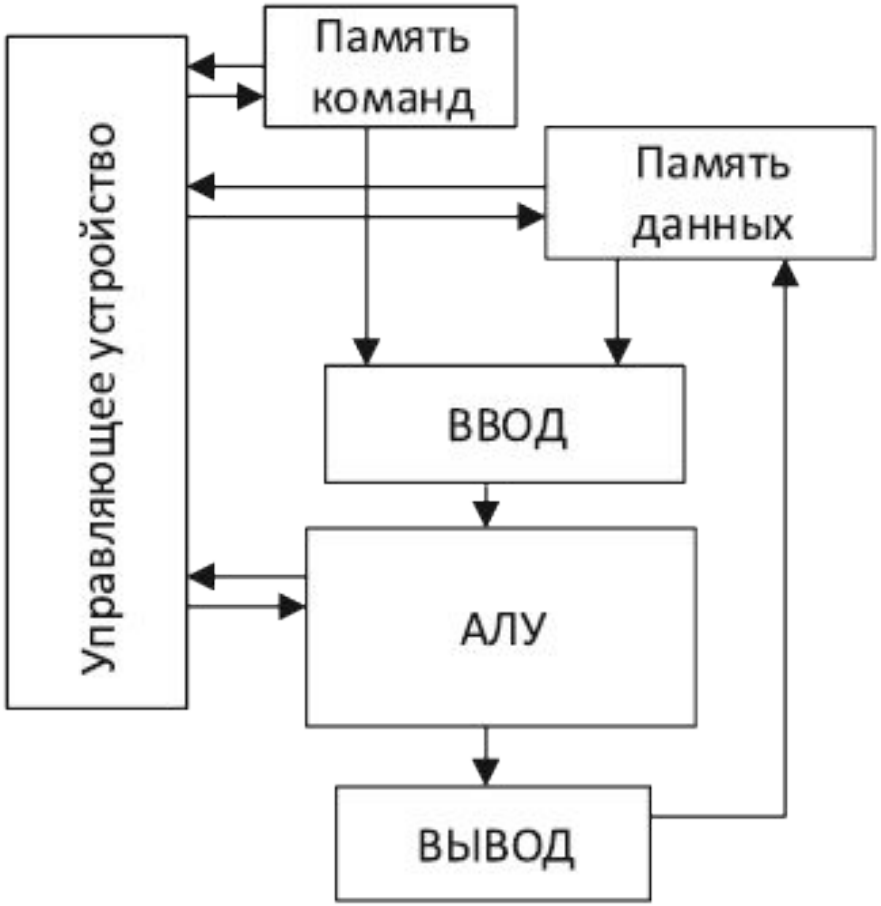
План устного опроса (с разбором ответов)

1. **Архитектура и принципы Фон-Неймана.**
2. Функциональные узлы:
    1. Триггеры/регистры.

Принстонская и гарвардская вычислительные архитектуры



Фон-неймановская архитектура



Гарвардская архитектура

Принципы Фон-Неймана

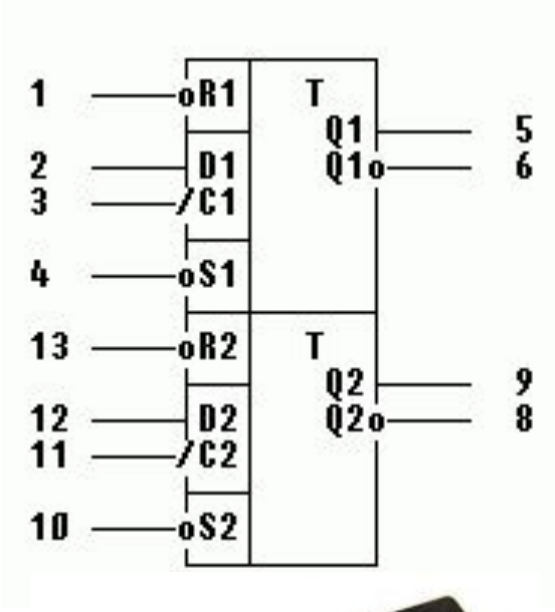
1. Использование двоичной системы счисления в вычислительных машинах. Простота.
2. Программное управление ЭВМ.
3. Память компьютера используется не только для хранения данных, но и программ.
4. Ячейки памяти ЭВМ имеют адреса, которые последовательно пронумерованы.
5. Возможность условного перехода в процессе выполнения программы.

План устного опроса (с разбором ответов)

1. Архитектура и принципы Фон-Неймана.
2. Функциональные узлы:
    1. **Триггеры/регистры.**

Триггеры/Регистры

К155ТМ2 – 2 D-триггера



Регистры: параллельные и последовательные (сдвигающие).
К155ИР13 - четырехразрядный универсальный сдвиговый регистр

Режим	Входы							Выходы		
	$\overline{R}$	S1	S0	DR	DL	C	Dn	Q0	Q1 – Q6	Q7
Сброс	0	X	X	X	X	X	X	0	0 – 0	0
Хранение	1	0	0	X	X	X	X	Q_0	$Q_1 – Q_6$	Q_7
Сдвиг влево	1	1	0	X	0	$0 \rightarrow 1$	X	Q_1	$Q_2 – Q_7$	0
	1	1	0	X	1	$0 \rightarrow 1$	X	Q_1	$Q_2 – Q_7$	1
Сдвиг вправо	1	0	1	0	X	$0 \rightarrow 1$	X	0	$Q_0 – Q_5$	Q_6
	1	0	1	1	X	$0 \rightarrow 1$	X	1	$Q_0 – Q_5$	Q_6
Параллельная загрузка	1	1	1	X	X	$0 \rightarrow 1$	D_n	D_0	$D_1 – D_6$	D_7

Елочная гирлянда на К155ИР13

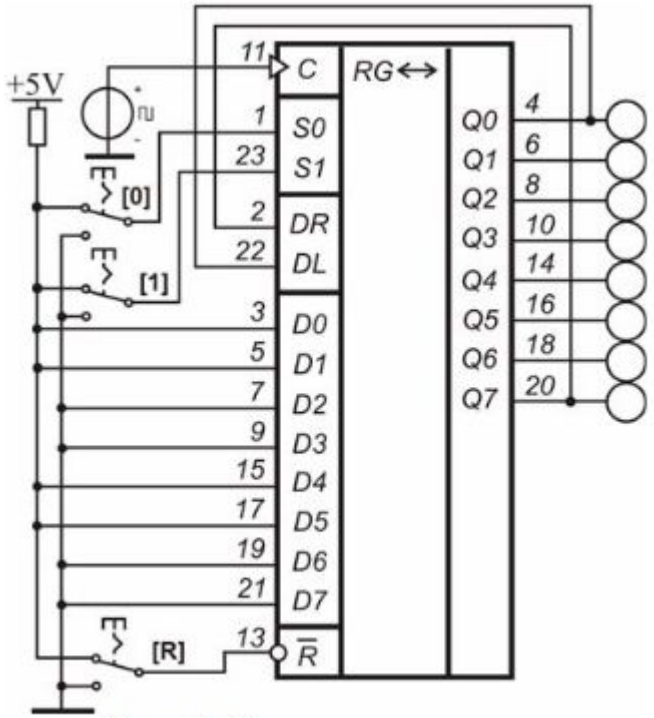
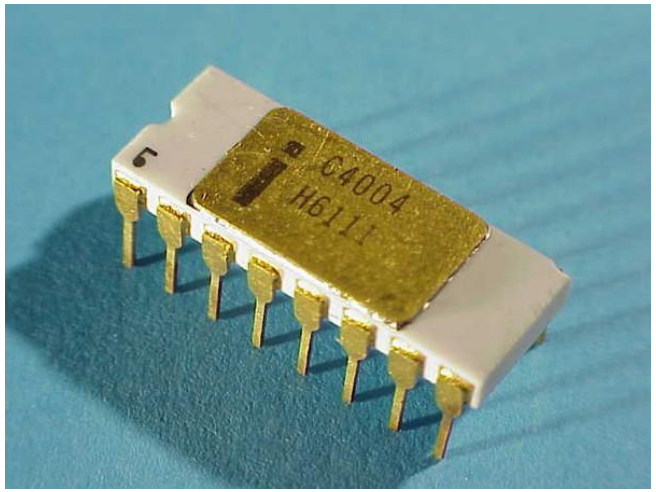
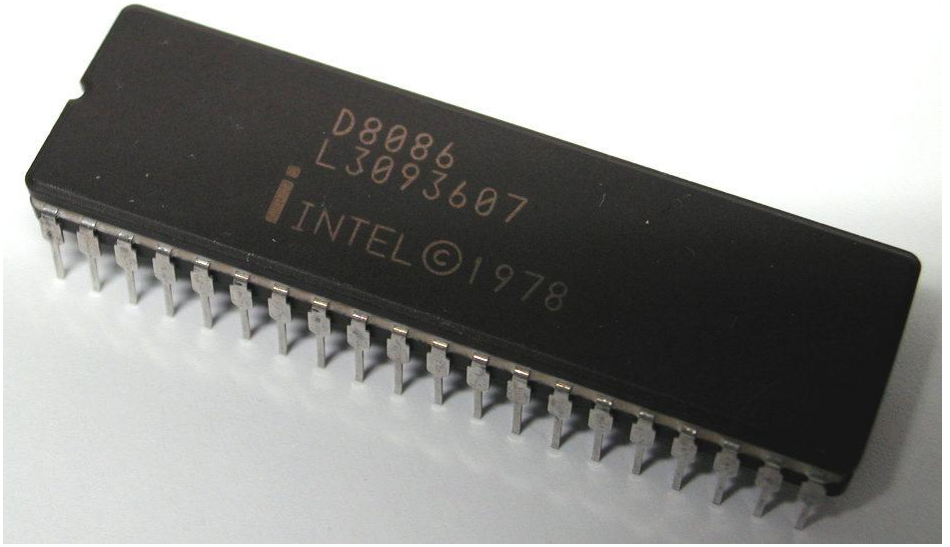


Рис. 2. Елочная гирлянда

Микропроцессоры



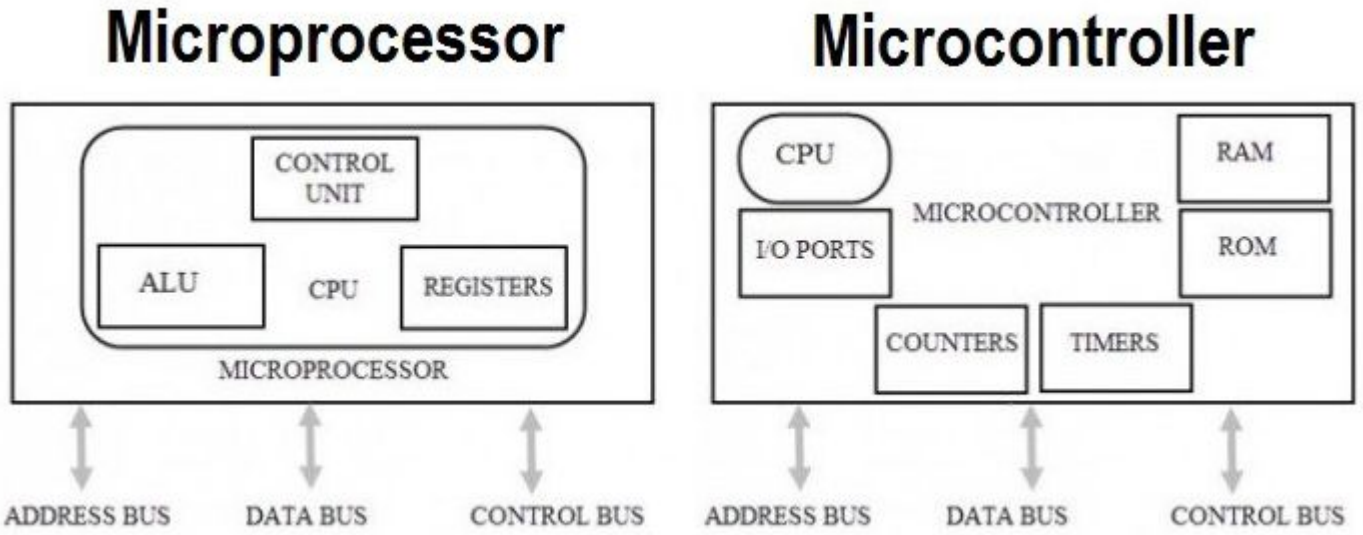
I4004



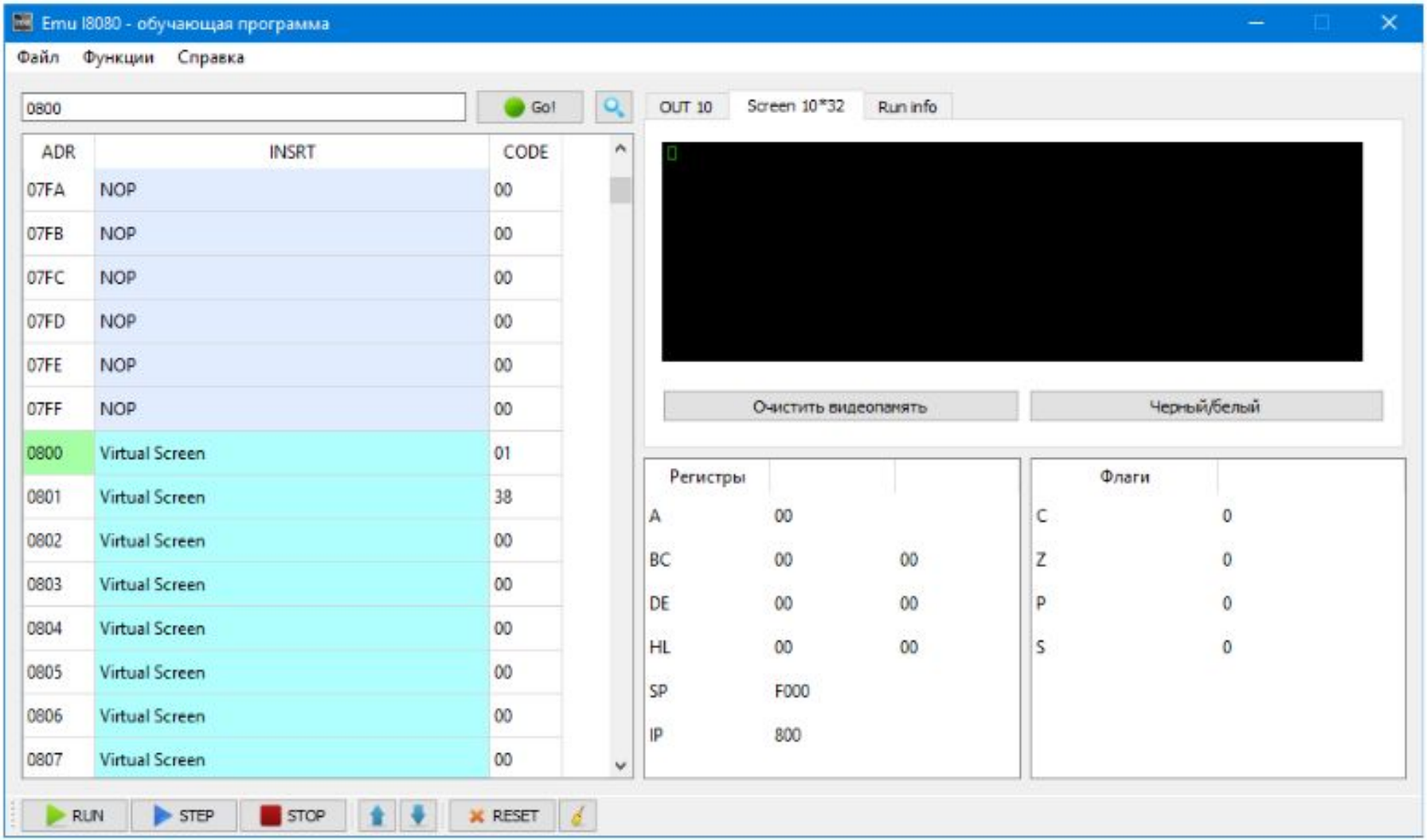
i8086

Intel Pentium 4 (i8086)

Микропроцессоры и микроконтроллеры
Трехшинная архитектура



Интерфейс эмулятора 1



Память команд/данных; регистры; флаги.
Элементы интерфейса

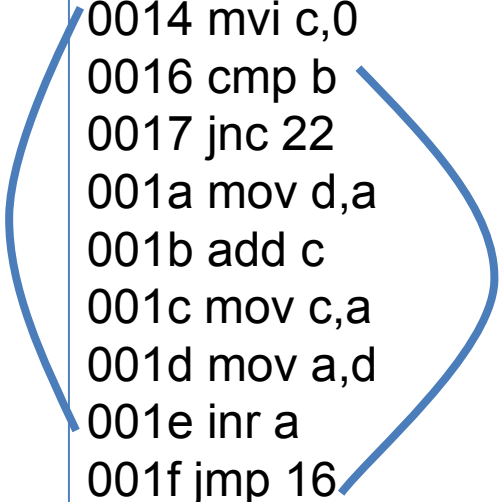
Некоторые команды I8085A на примерах

Произведение чисел в регистрах A и B:

```
0000 MVI B,03
0002 MVI A,03
0004 MOV C,A
0006 DCR B
0008 ADD C
0009 DCR B
000A JNZ 0008
000D HLT
```

Вычисление суммы чисел от A до Б ([A,B)):

```
0010 mvi a,5
0012 mvi b,f
0014 mvi c,0
0016 cmp b
0017 jnc 22
001a mov d,a
001b add c
001c mov c,a
001d mov a,d
001e inr a
001f jmp 16
0022 hlt
```



Вспомнить самостоятельно

- алгебра логики;
- виды триггеров, не разобранные в статье, их УГО, принцип работы;
- синтез логических схем. Минимизация – карты Карно.

Вспомогательная литература

Статьи журнала «Квант» - регистры, сумматоры, триггеры:

- Шварцман В. , ЭВМ и электросвязь. - Квант. 1989 [11] – URL: http://kvant.mccme.ru/1989/11/evm_i_elektrosvyaz.htm
- Первин Ю., Салтовский А. , Как работает процессор. - Квант. 1980 [5] – URL: http://kvant.mccme.ru/1980/05/kak_rabotaet_processor.htm
- Левинштейн М., Симин Г.,Синдаловский В. , Регистры. - Квант. 1986 [4] – URL: http://kvant.mccme.ru/1986/04/registry.htm
- Левинштейн М., Симин Г.,Синдаловский В. , Сумматор. - Квант. 1986 [5] – URL: http://kvant.mccme.ru/1986/05/summator.htm
- Левинштейн М.,Симин Г. , Элемент памяти - триггер. - Квант. 1986 [3] – URL: http://kvant.mccme.ru/1986/03/element_pamyati_-_trigger.htm

Принстонская и гарвардская архитектуры:
http://bit.samag.ru/archive/article/1310

Угрюмов Е. Цифровая схемотехника. – СПб.: БХВ – Петербург, 2001. – 528 с.: ил. (Раздел 5.3 «Микропроцессор серии 1821 (Intel 8085A)»