

CPLD (Complex Programmable Logic Device) - сложные программируемые логические устройства

Структура CPLD

ФБ – функциональный блок
МЯ – макроячейка
ПМС (PIA – Programmable Interconnect Array) – программируемая матрица соединений
БВВ – блок ввода-вывода
GCK (Global Clock) – глобальный сигнал тактирования
GSR (Global Set/Reset) – глобальный сигнал сброса/установки
GTS (Global Tri-State) – глобальный сигнал управления третьим состоянием

Число ФБ в составе CPLD изменяется в зависимости от ее сложности. Каждый ФБ получает m сигналов от ПМС, а n его выходов подключены как к ПМС, так и к блокам ввода/вывода БВВ (Input/Output Block, IOB), связанным с внешними двунаправленными выводами.

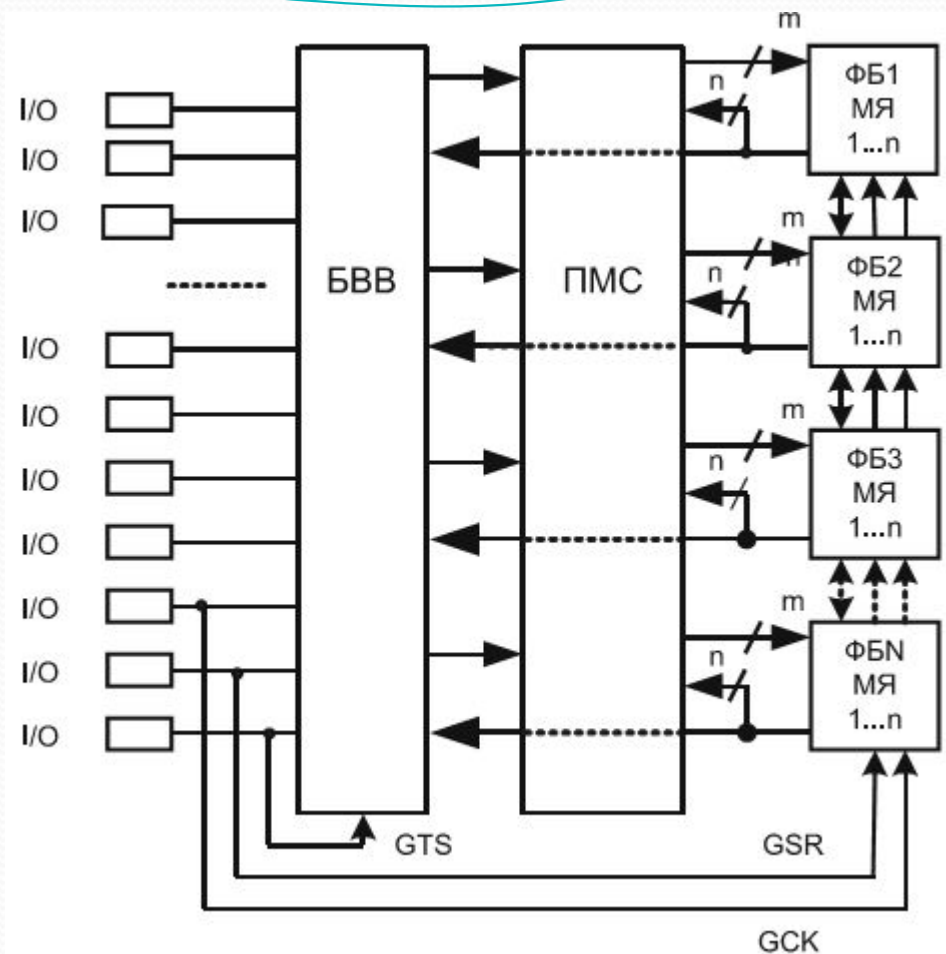


Рис. 1 Архитектура CPLD

Структура CPLD

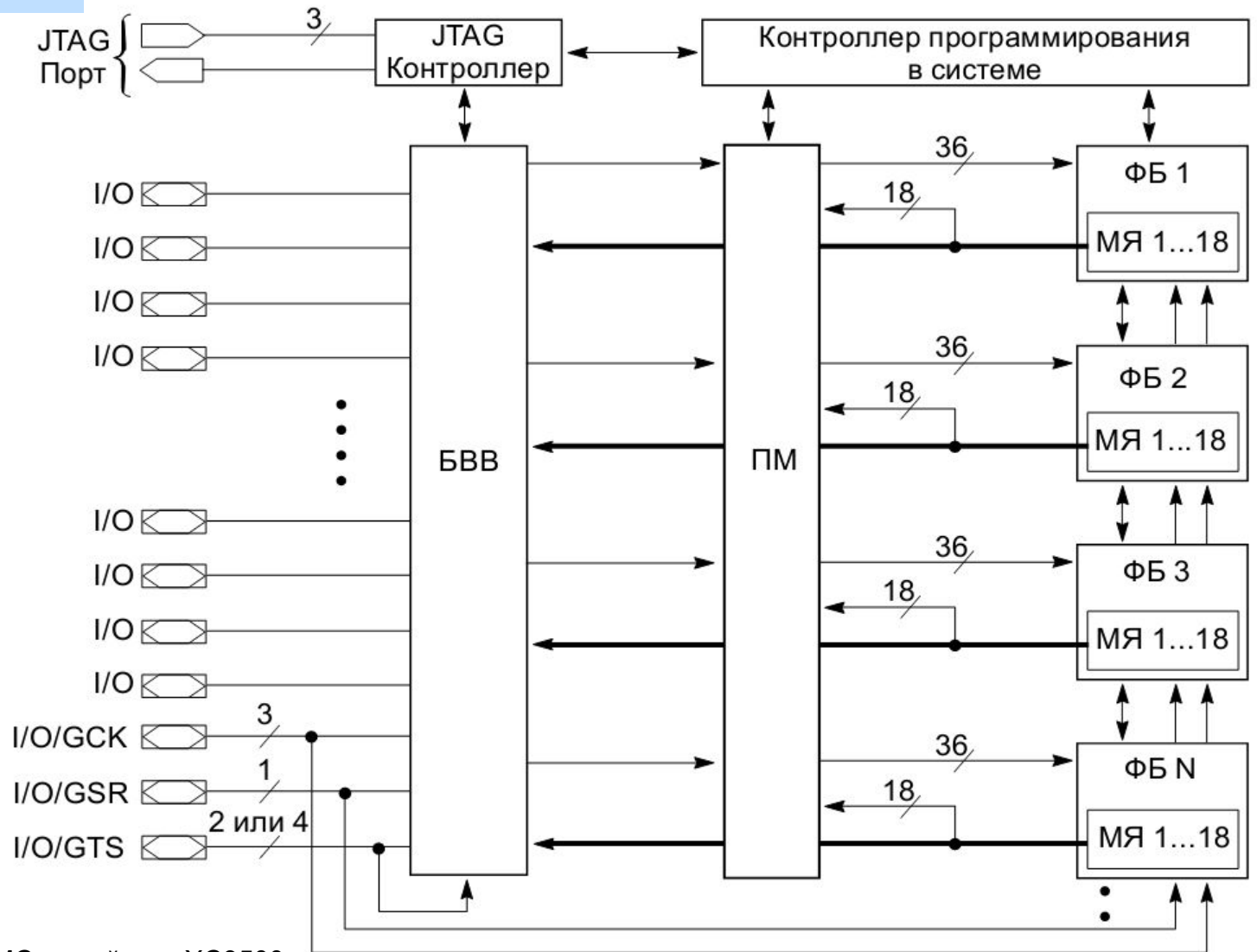


Рис. 2 Архитектура MC семейства XC9500

Функциональные блоки

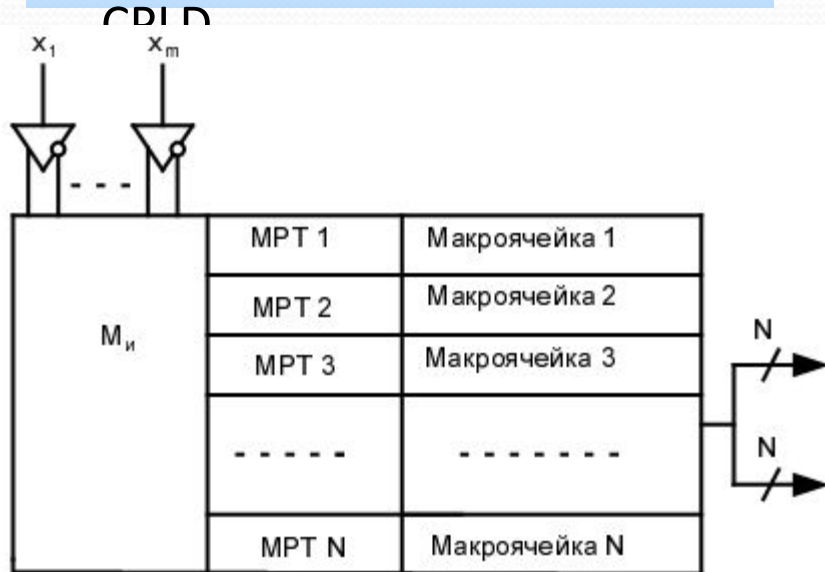


Рис. 3 Обобщенная структура функционального блока CPLD

- Функциональные блоки CPLD подобны ПМЛ (PAL) и содержат:
- многоходовую программируемую матрицу элементов И ($M_{и}$), вырабатывающую конъюнктивные термы из поступающих на ее входы переменных $x_1 \dots x_m$;
 - матрицы распределения термов **MPT**;
 - группу из N макроячеек, между которыми с помощью MPT распределяются выработанные матрицей $M_{и}$ термы.

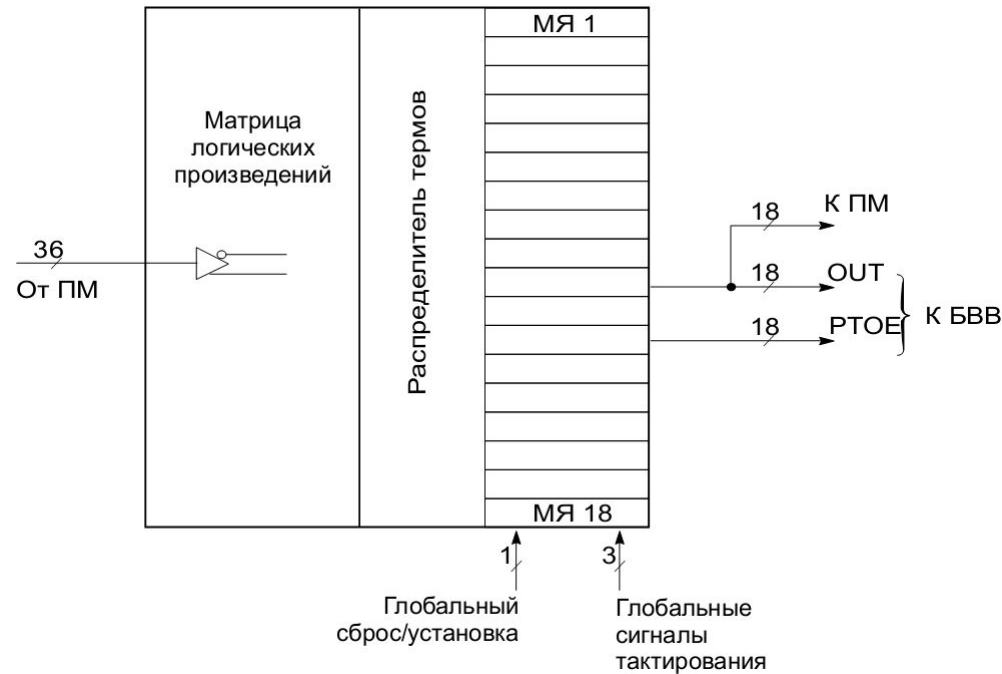


Рис. 4 Схема функционального блока MC семейства XC9500

Структура

CPLD Логические расширители

Последовательные (разделяемые, общие) логические расширители создаются подачей инвертированного значения термина из МРТ данного канала обратно на один из входов матрицы Ми. Переданный в матрицу Ми терм становится доступным для использования во всех каналах данного ФБ.

Параллельный расширитель позволяет передавать термы одного канала другому. Возможность приема в свой канал термов от соседнего канала обычно означает и возможность приема через него и термов от более далеких каналов с образованием цепочки для сбора термов от нескольких каналов (например, в пределах функционального блока). Термы от МРТ поступают в МЯ.

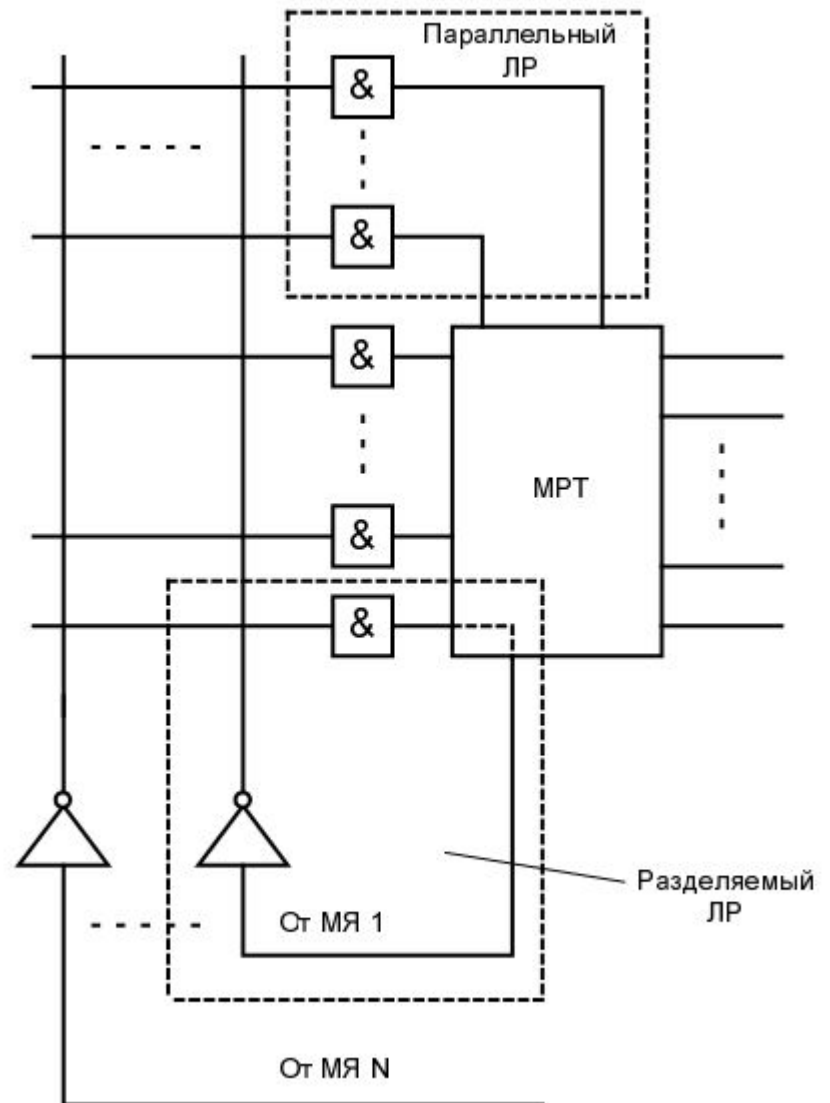


Рис. 5 Логические расширители двух типов

Структура

CPLD Макроячейки

Макроячейка содержит элемент ИЛИ, программируемые мультиплексоры, триггер (или триггеры) и формирует выходные сигналы в нескольких вариантах.

PTSet, PTClock, PTRReset – сигналы установки, синхронизации и сброса триггеров.

PTOE – программируемый терм управления третьим состоянием буфера БВВ.

Мультиплексор MUX5 программируется для передачи на выход МЯ либо непосредственно значения функции F (комбинационный выход), либо состояния триггера (регистровый выход).

Тактирование триггера определяется программированием мультиплексора MUX4, при этом возможно использование глобального синхросигнала (GCK) или сигнала, порождаемого термом PTClock. Асинхронная установка и сброс триггера производятся либо глобальным сигналом

(GSR), либо термами PTSet и PTRReset, что определяется программированием мультиплексоров MUX2 и MUX3.

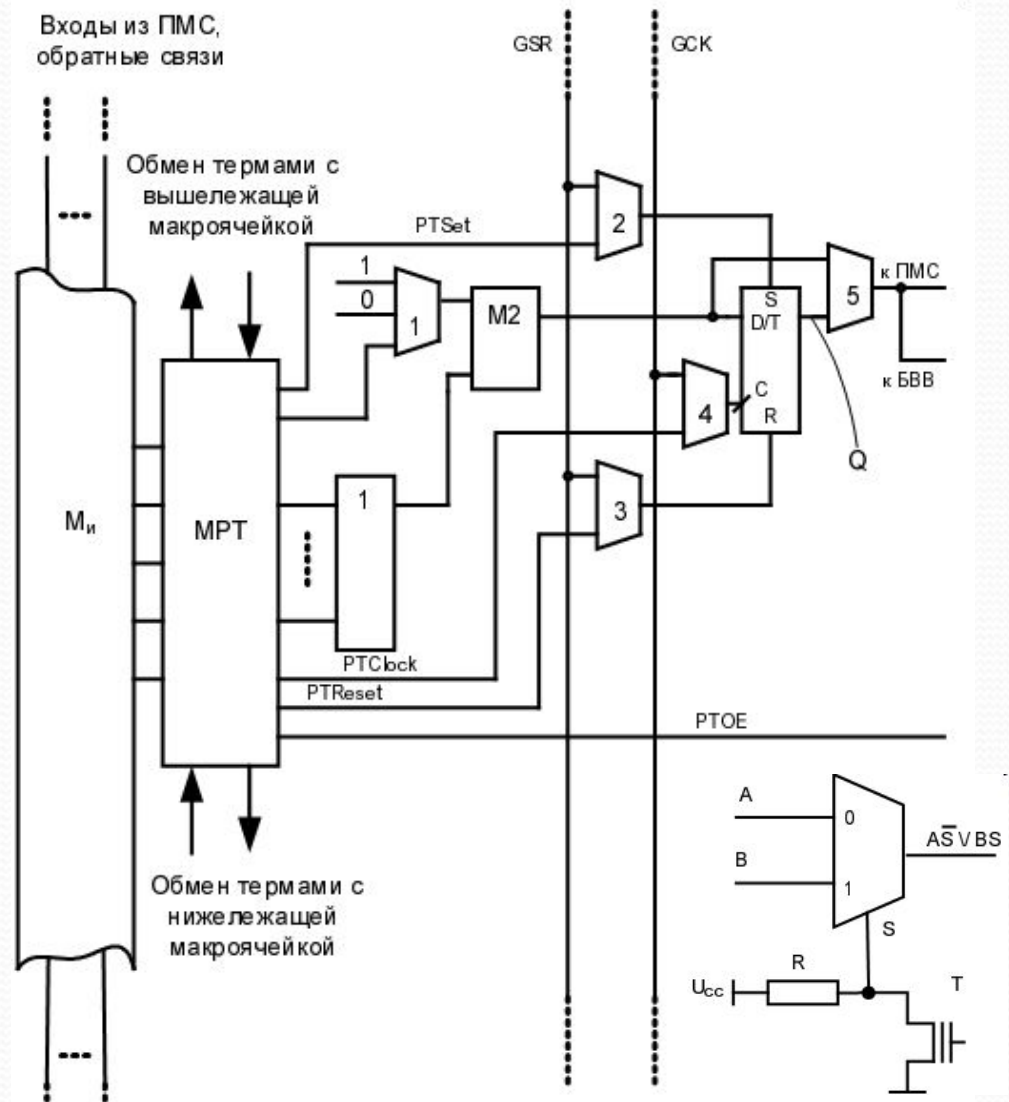


Рис. 6 Структура макроячейки

Структура CPLD Макроячейки

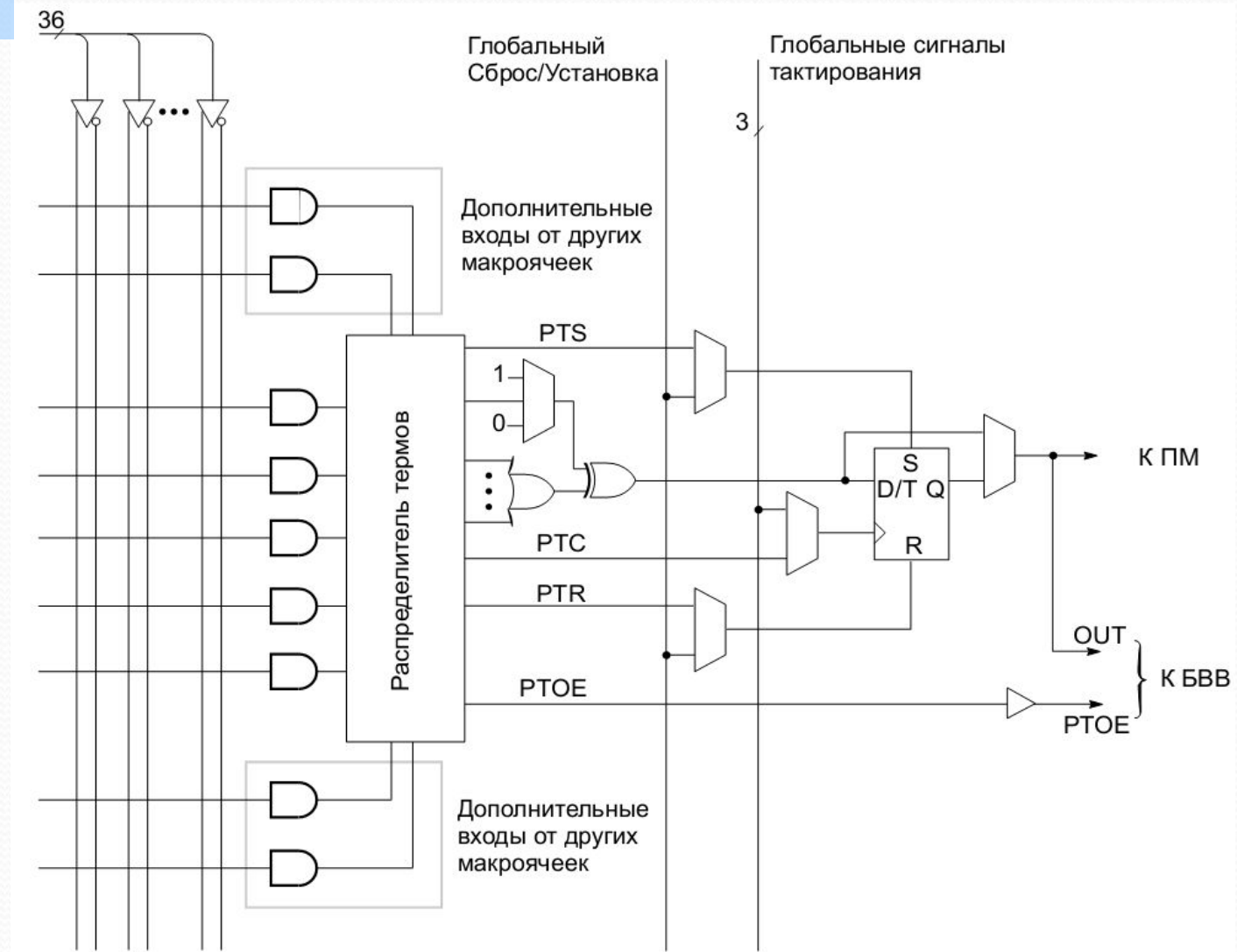


Рис. 7 Макроячейка MC семейства XC9500

Структура CPLD Макроячейки

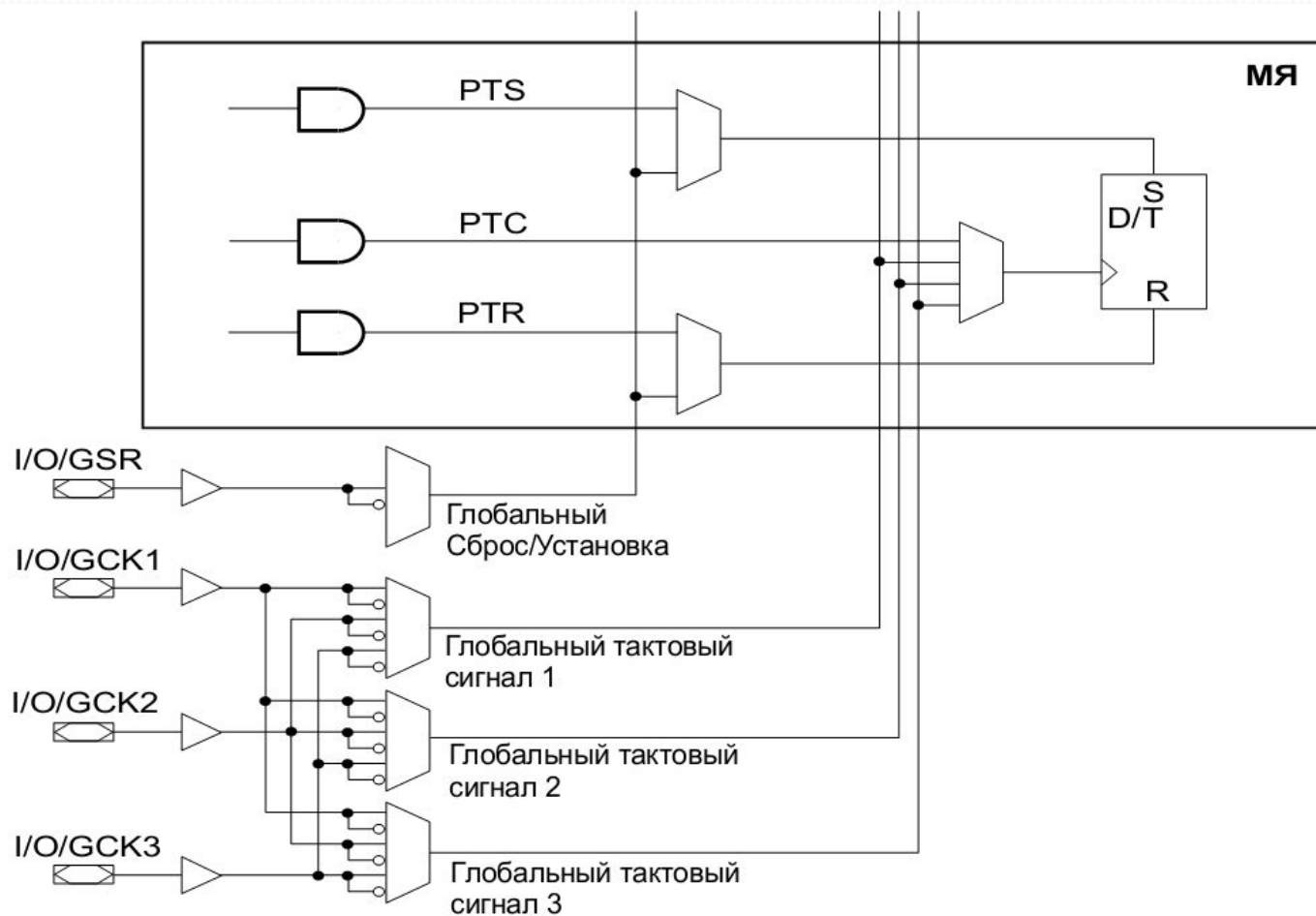


Рис. 8 Схема управления работой триггера в МЯ семействаXC9500

Структура CPLD Распределитель термов

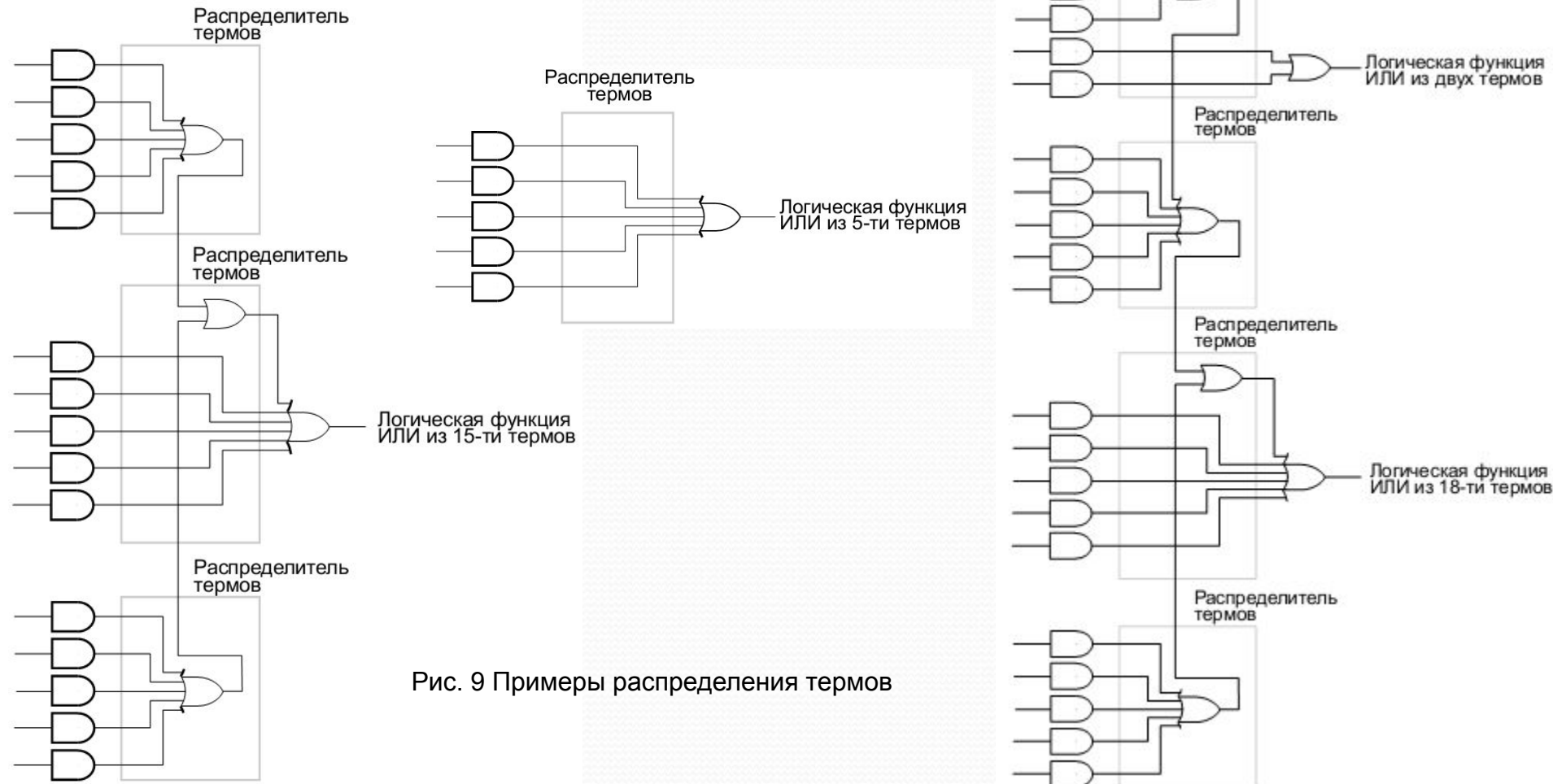


Рис. 9 Примеры распределения термов

Система коммутации CPLD

В CPLD используется система одномерно непрерывных связей, реализуемая в виде программируемой матрицы соединений ПМС. В этом случае все связи идентичны по конфигурации, что дает хорошую предсказуемость задержек сигналов - важное достоинство, облегчающее проектирование и изготовление схем высокого быстродействия. В ПМС выходы функциональных блоков ФБ подключаются к вертикальным непрерывным (не сегментированным) линиям, причем каждому выходу соответствует своя линия. Входы ФБ связаны с горизонтальными линиями, пересекающими все вертикальные линии. На пересечениях горизонтальных и вертикальных линий имеются программируемые точки связи. Замкнув одну из этих точек, можно подключить вход к соответствующему выходу. Таким образом любой вход ФБ может быть подключен к любому выходу, а каждый из выходов может быть подключен ко многим входам, чем обеспечивается полная коммутируемость блоков.

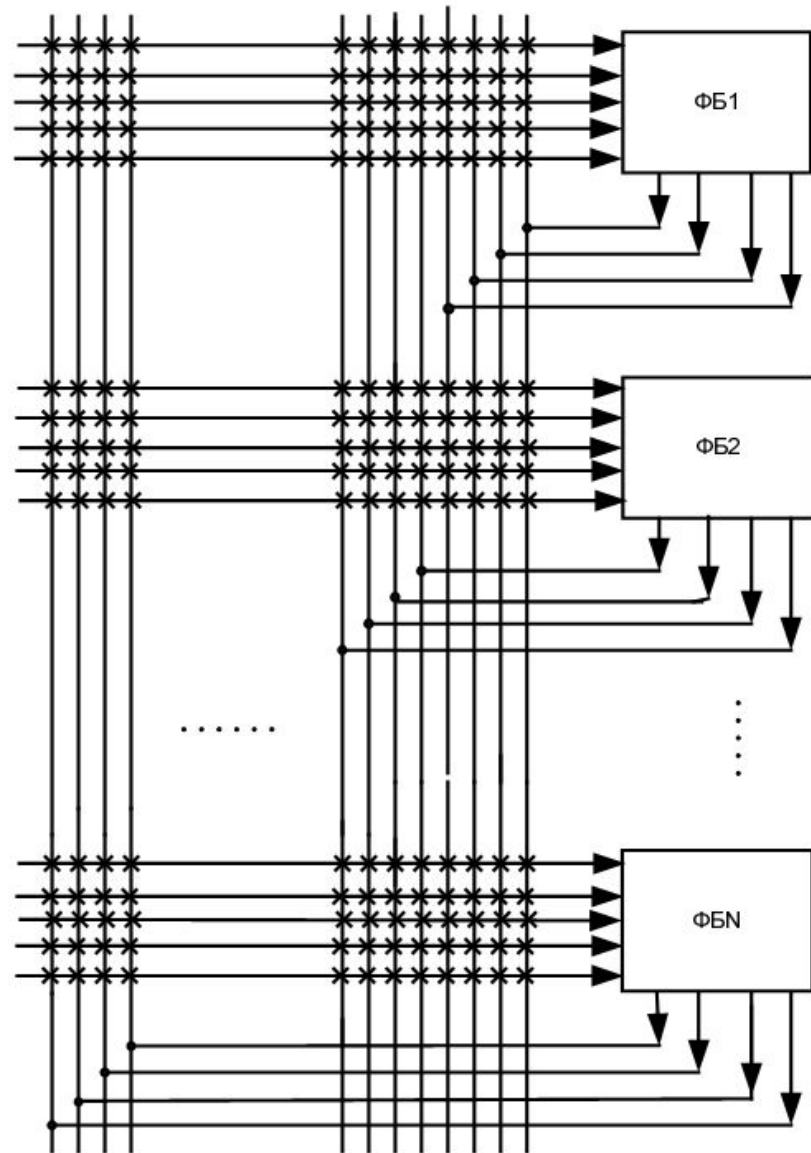


Рис. 10 Схема программируемой матрицы соединений

Система коммутации CPLD

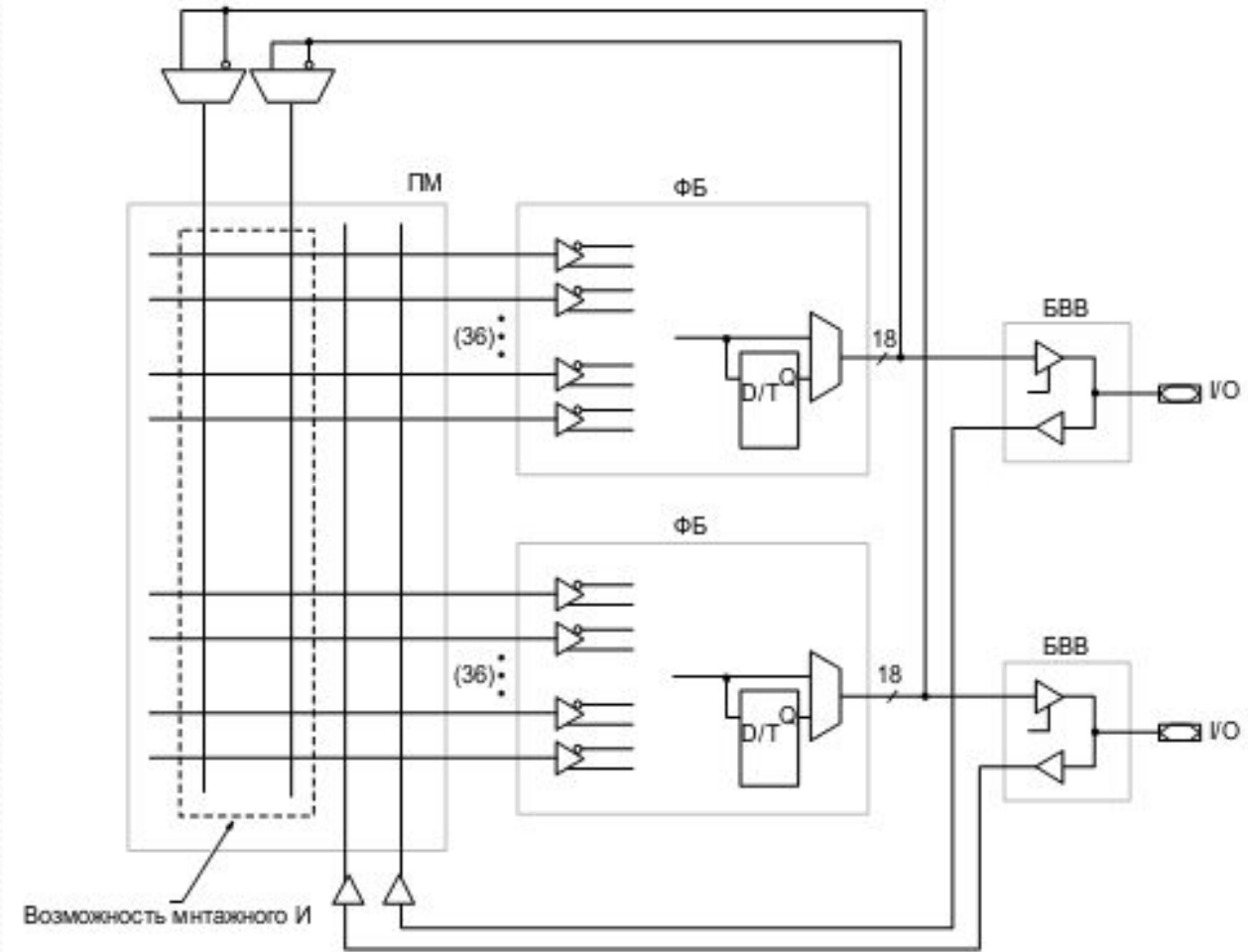


Рис. 11 Быстродействующая ПМС микросхем семейства XC9500

Блоки ввода/вывода CPLD

Входной буфер может работать с сигналами, имеющими стандартные КМОП- или ТТЛ-уровни от элементов с напряжением питания 5 В, либо 3,3 В. Входные буферы используют отдельное внутреннее питание – **напряжение питания ядра** ($V_{CCINT} = 5В$) для обеспечения стабильности пороговых уровней входных сигналов.

Выходные буферы MC семейства XC9500 обеспечивают ток до 24мА. Наличие отдельной шины питания выходных цепей (V_{CCIO}) обеспечивает возможность работы с выходными уровнями сигналов 5,0 В или 3,3 В для всех выходов одновременно.

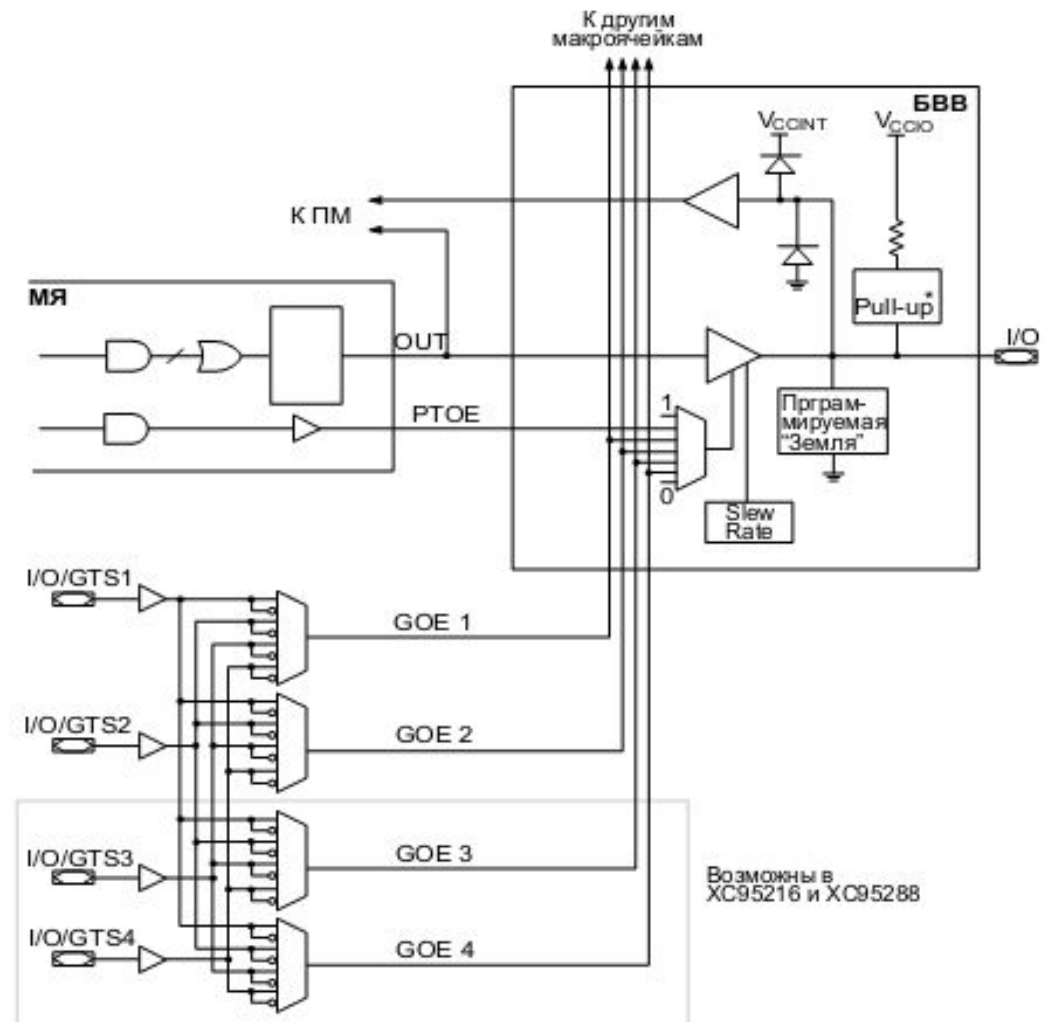


Рис. 12 Блок ввода/ вывода микросхем семейства XC9500

Блоки ввода/вывода CPLD

На рис. 13 проиллюстрирована возможность использования МС семейства XC9500 для работы в устройствах со смешанным (5 В /3,3 В) питанием и сопряжением с КМОП – и TTL - схемами.

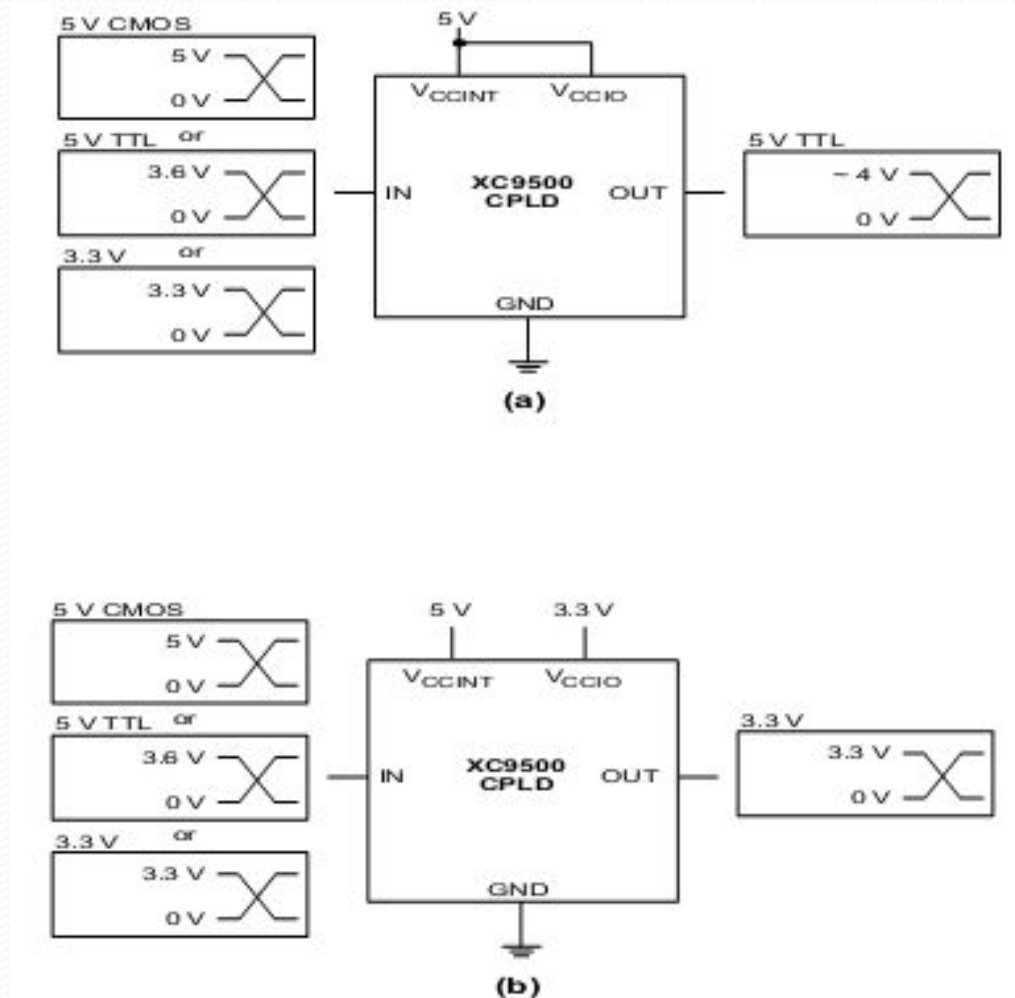


Рис. 13 Использование микросхем семейства XC9500 в схемах со смешанным питанием

Разновидности и области применения

CPLD

Одним из семейств ПЛИС CPLD является серия XC9500 и ее разновидности XC9500, XC9500XL и XC9500XV с напряжением питания ядра 5, 3.3 и 2.5В соответственно. Параметрами ПЛИС является количество макроячеек, количество триггеров и количество эквивалентных логических вентилях. Общей характеристикой ПЛИС XC9500/XL/XV является то, что устройства с меньшим напряжением питания обладают более высоким быстродействием и большей функциональностью распределителей термов.

Устройства CPLD относятся к устройствам начального уровня и предназначены для реализации устройств небольшого логического объема.

Достоинства: простота структуры и большое количество трассировочных ресурсов дает свободу в размещении проекта на кристалле; хорошая предсказуемость временных характеристик.

Недостатки: CPLD мало пригодны для проектирования устройств, насыщенных триггерами.

Другим семейством ПЛИС CPLD является семейство CoolRunner. Это семейство отличается пониженным энергопотреблением (статический ток не превышает 100 мкА). Функциональные возможности и порядок проектирования в целом подобны ПЛИС серии XC9500. Однако технические решения имеют существенные отличия. Прежде всего функциональные блоки ПЛИС CoolRunner содержат матрицу ПЛМ в отличие от ПМЛ-матрицы в XC9500, что позволяет оптимизировать использование ресурсов кристалла при реализации сложных проектов. Однако данное отличие прозрачно для разработчика и не делает необходимым его специальный учет при проектировании цифровых устройств.

В семейство CoolRunner входят серия XPLA3 с напряжением питания ядра 3,3 В и семейство CoolRunner-II с напряжением питания ядра 1,8 В. Отличием семейства CoolRunner-II является поддержка большого числа электрических стандартов ввода/вывода.

СПАСИБО ЗА ВНИМАНИЕ