

ЭЛЕКТРОНИКА

Последовательностная логика

ТРИГГЕРЫ

(элементы памяти)

ВЫХОДНЫЕ СИГНАЛЫ зависят от комбинаций **ВХОДНЫХ** и значений **ВЫХОДНЫХ** сигналов в предшествующий момент времени.

Триггеры (защелка)

Схема с **положительной обратной связью** и двумя **устойчивыми состояниями 0 и 1**.

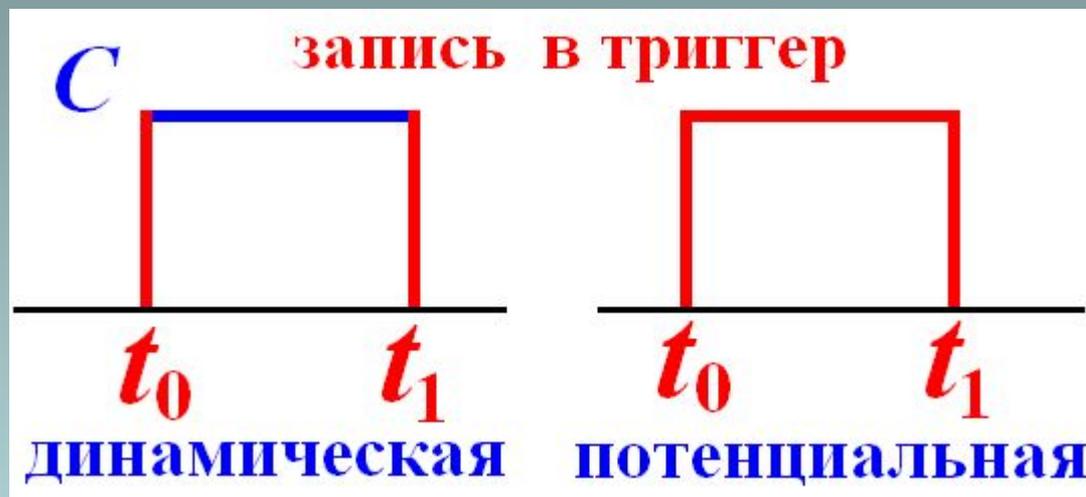
Классификация триггеров

Запись информации:

- Асинхронная - изменение состояния в момент поступления информации.
- Синхронная – считывание информации при наличии сигнала синхронизации.

Способ управления:

- Статический (**1** или **0** тактового сигнала **C**);
- Динамический (по переднему или заднему фронту тактового сигнала **C**).

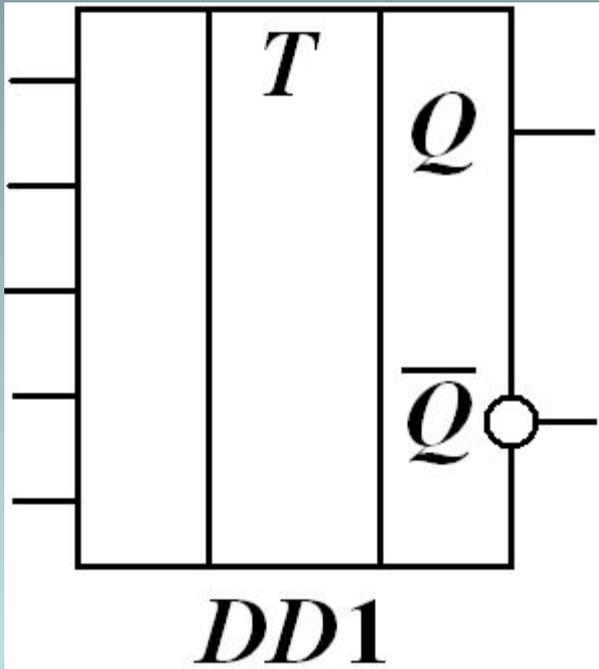


Динамическая запись: либо в момент t_0 , либо t_1 .

Статическая (потенциальная) запись:

на интервале $t_1 - t_0$.

Структура триггеров: однотоктные (содержит один триггер), и двухтактные (два триггера: информация записывается в первый, а затем переписывается во второй и появляется на выходе).



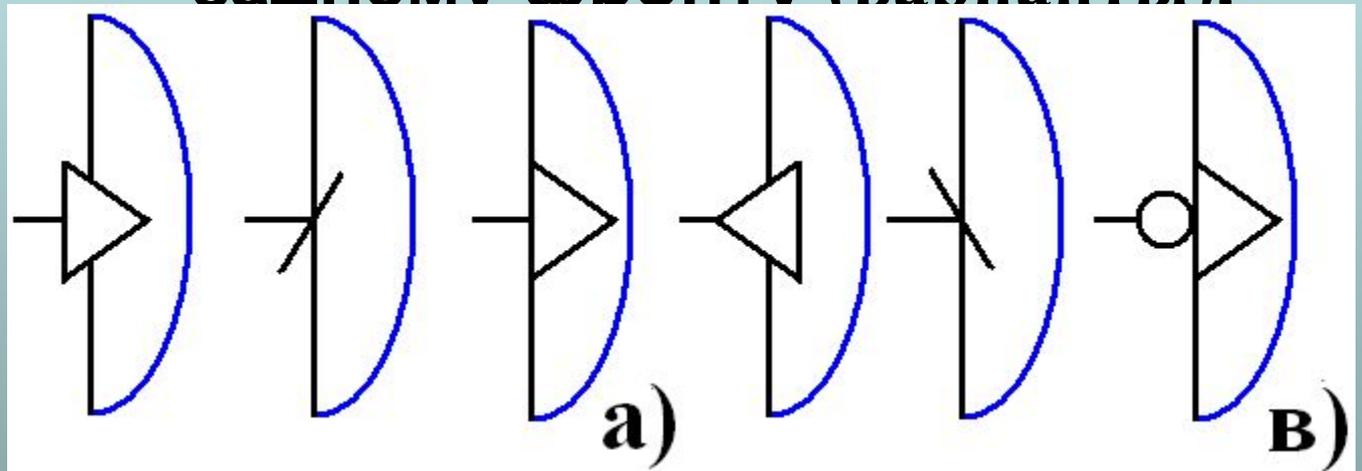
Q – прямой выход.

\bar{Q} – инверсный выход (Q').

Обозначения динамических ВХОДОВ

а: переключение по переднему фронту; **в:** переключение по заднему фронту (варианты).

если $Q = 1$,
то $Q' = 0$
и наоборот.



Асинхронный RS - триггер

Имеет два входа:

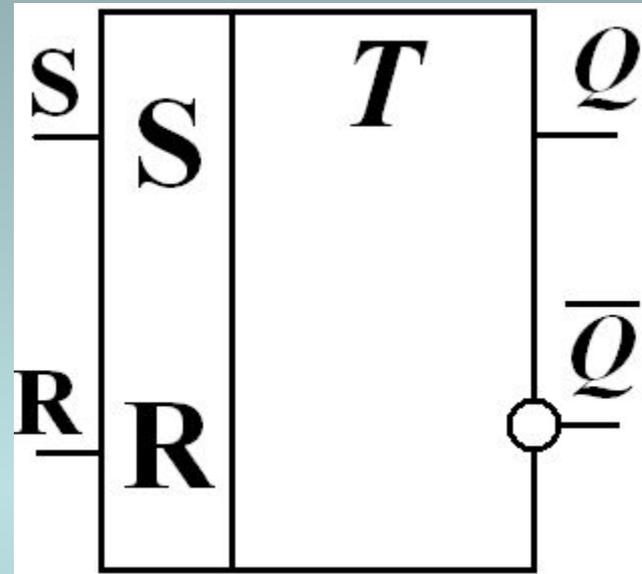
$S(et)$ – установка,

$R(eset)$ – сброс;

два выхода:

прямой – Q ,

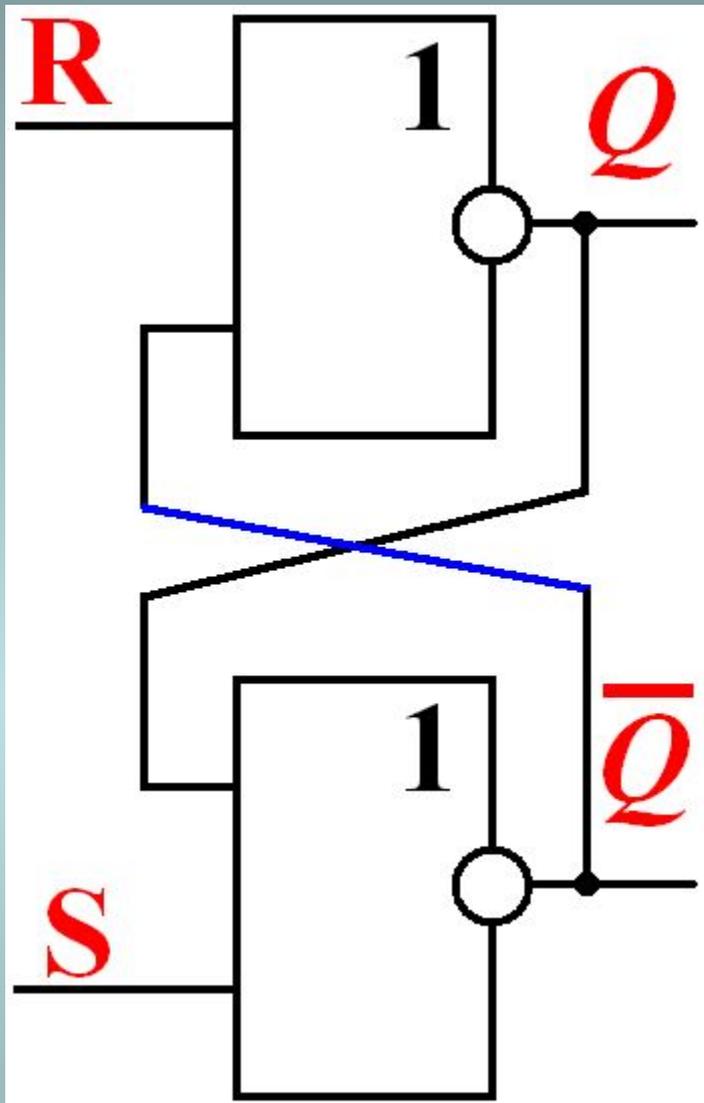
инверсный – \overline{Q} .



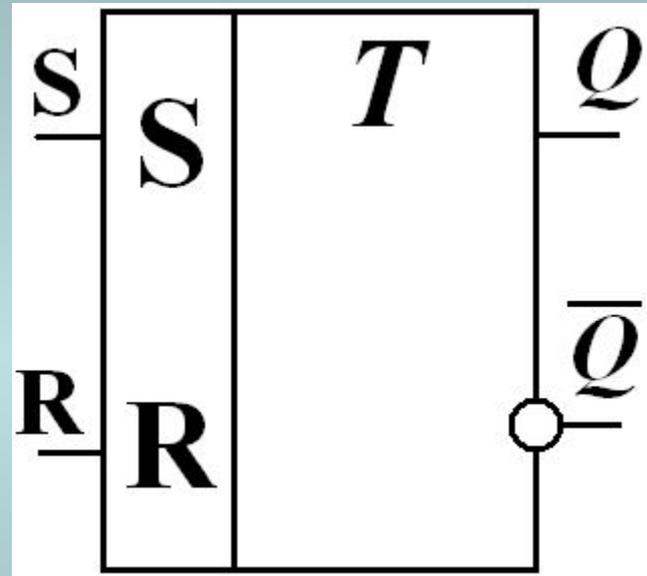
текущее состояние			последующее состояние		название режима
S	R	Q_n	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	Q	Q_n	$\overline{Q_n}$	<p>хранение</p> <p>установка в 1</p> <p>установка в 0</p> <p>неопределенное состояние</p>
1	0	X	1	0	
0	1	X	0	1	
1	1	X	—	—	

Таблица истинности *RS* - триггера

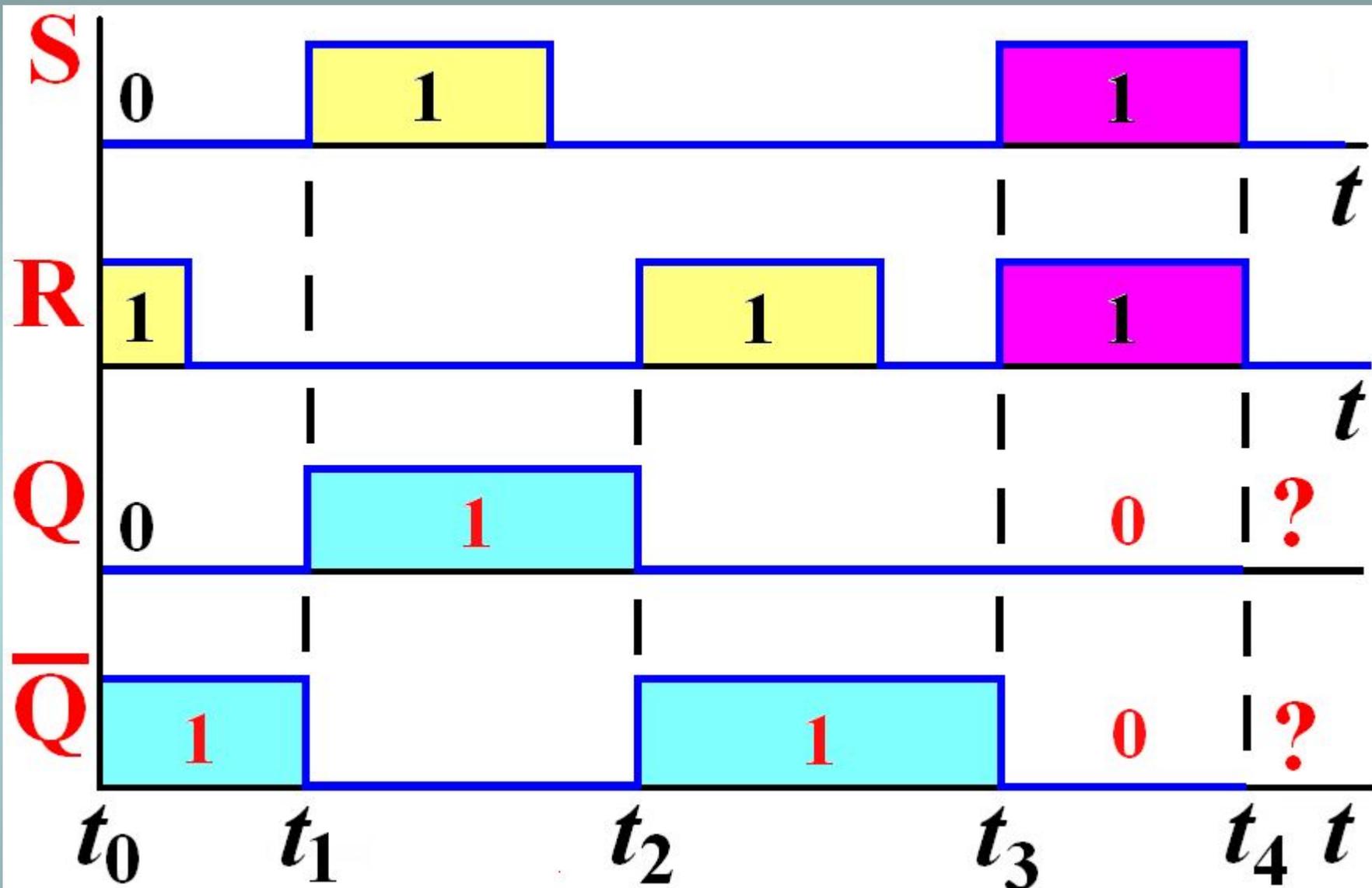
Неопределенное состояние: значения на выходах триггера одинаковы и при переходе в режим «хранение» триггер может случайным образом установиться в 0 или 1.



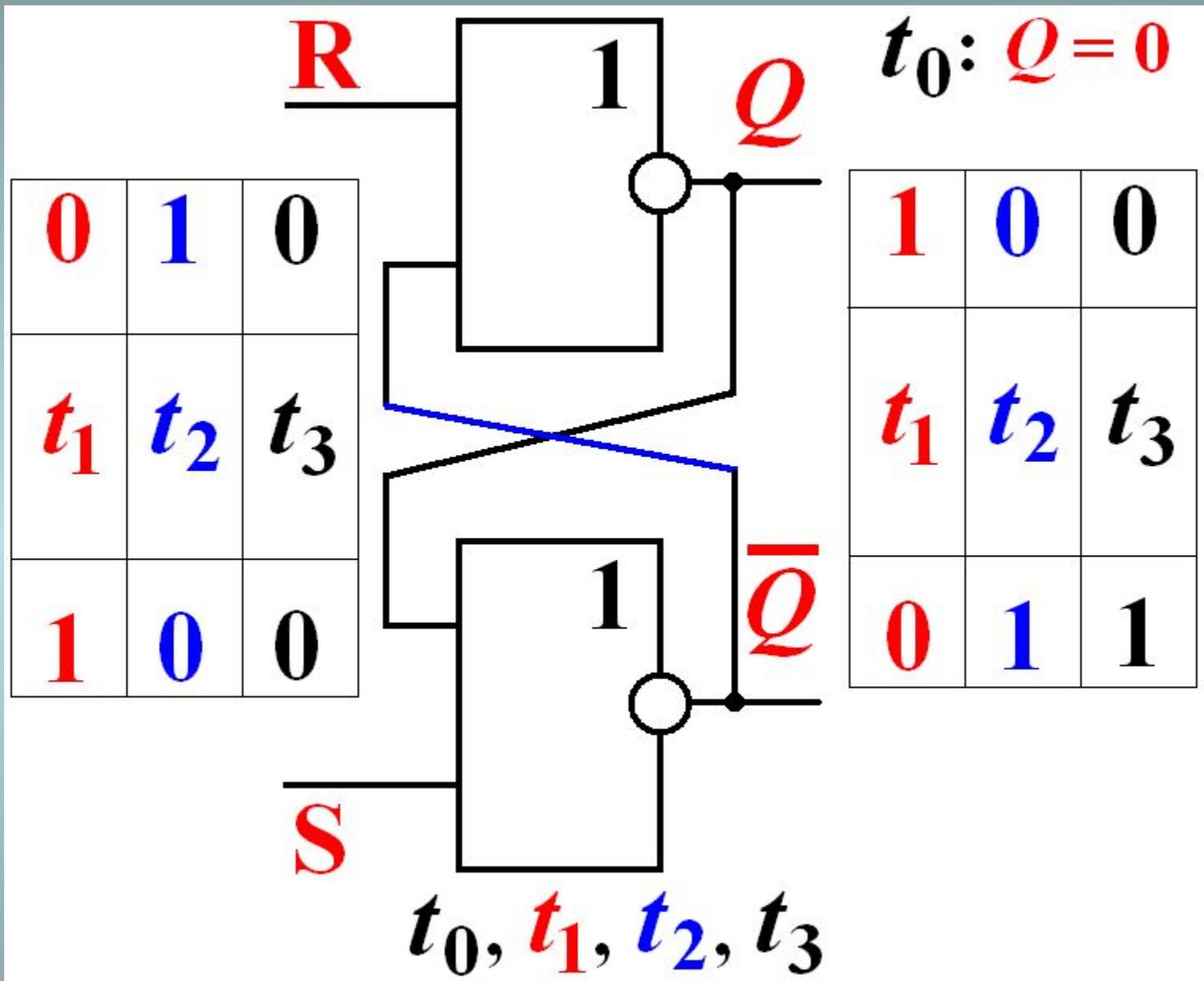
RS - триггер



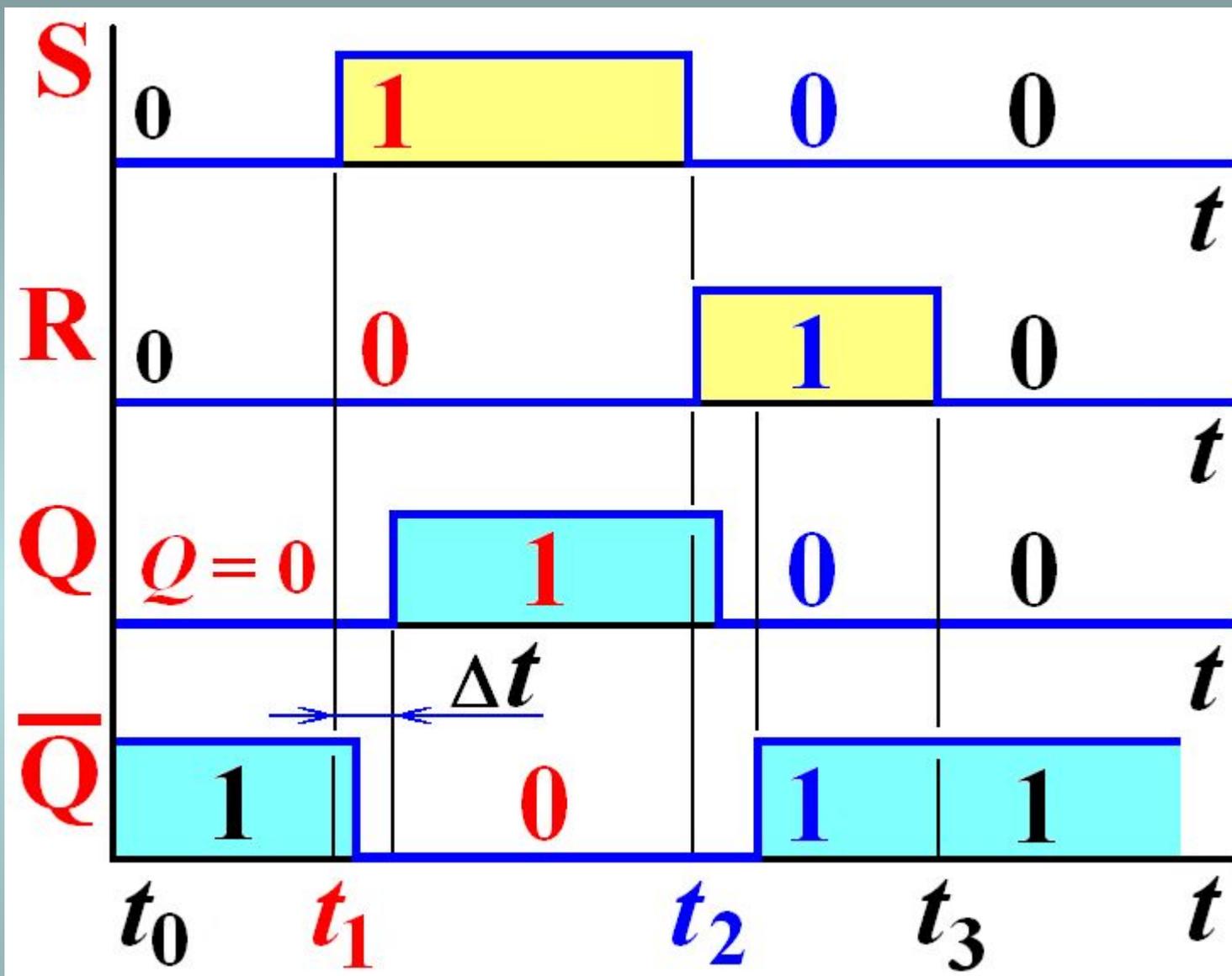
$$Q_{n+1} = R + \overline{S + Q_n} = \bar{R} \cdot (S + Q_n)$$



Временная диаграмма **RS** - триггера

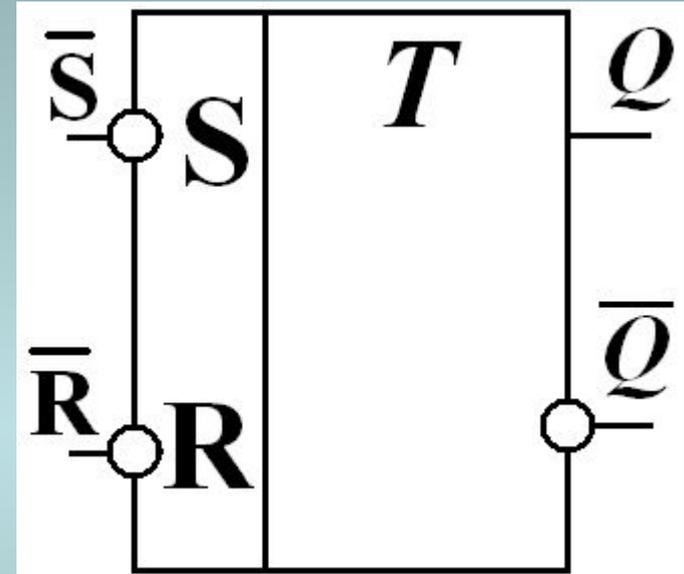
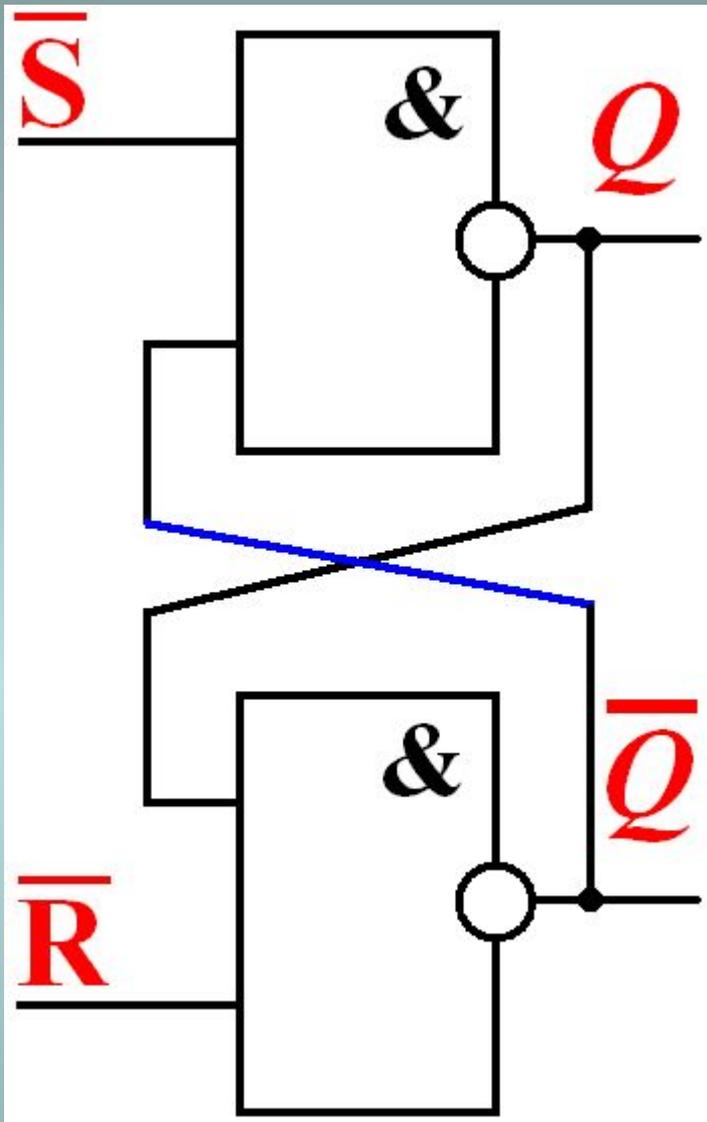


Анализ работы триггера

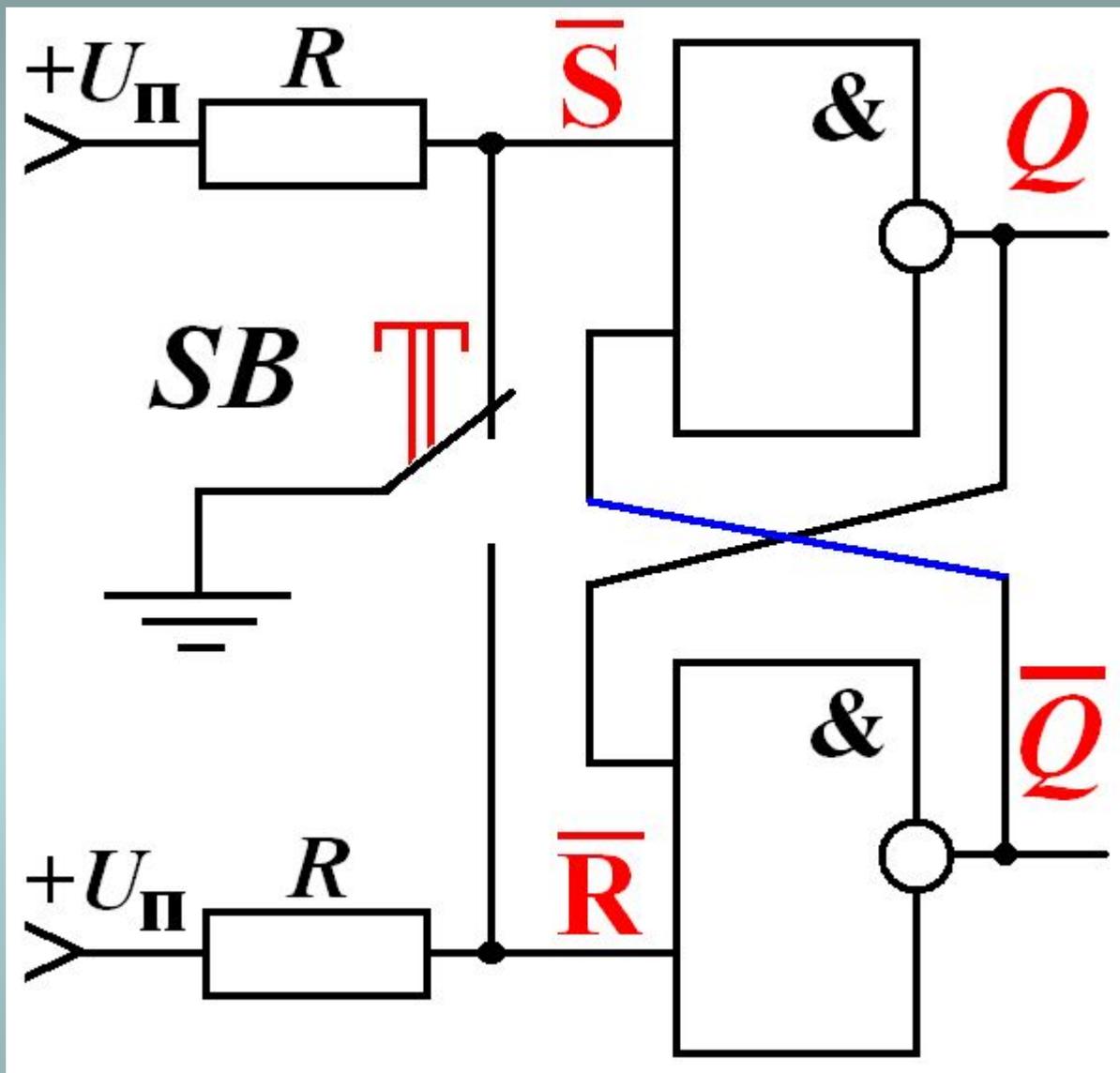


За интервал Δt на выходах установятся
НОВЫЕ ЗНАЧЕНИЯ

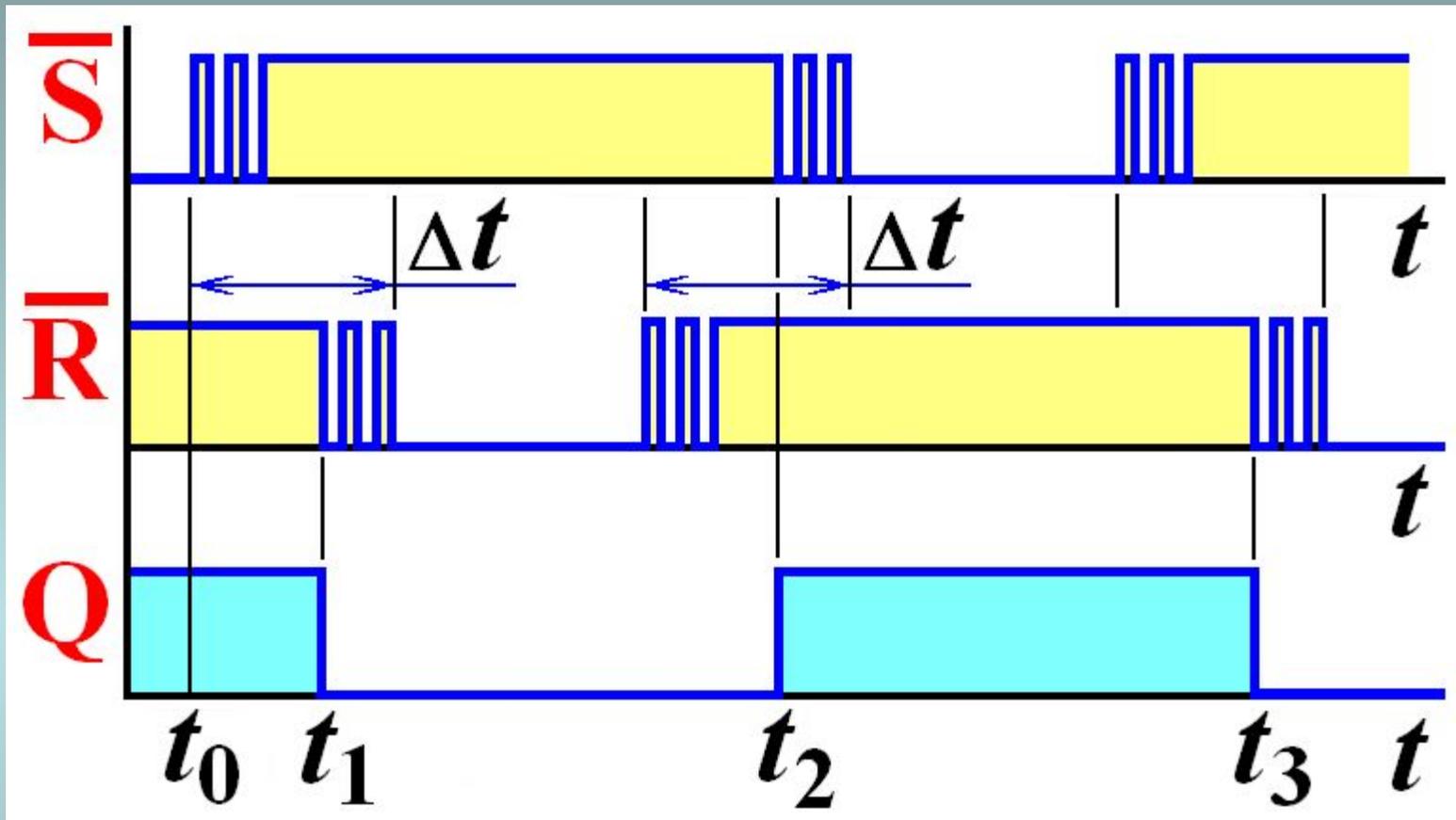
RS - триггер



$$Q_{n+1} = S + \bar{R} \cdot Q_n = \overline{\bar{S} \cdot \bar{R} \cdot Q_n}$$



RS - триггер: схема подавления дребезга контактов клавиатуры.



***RS* - триггер:** временная диаграмма
подавления **дребезга** контактов
клавиатуры

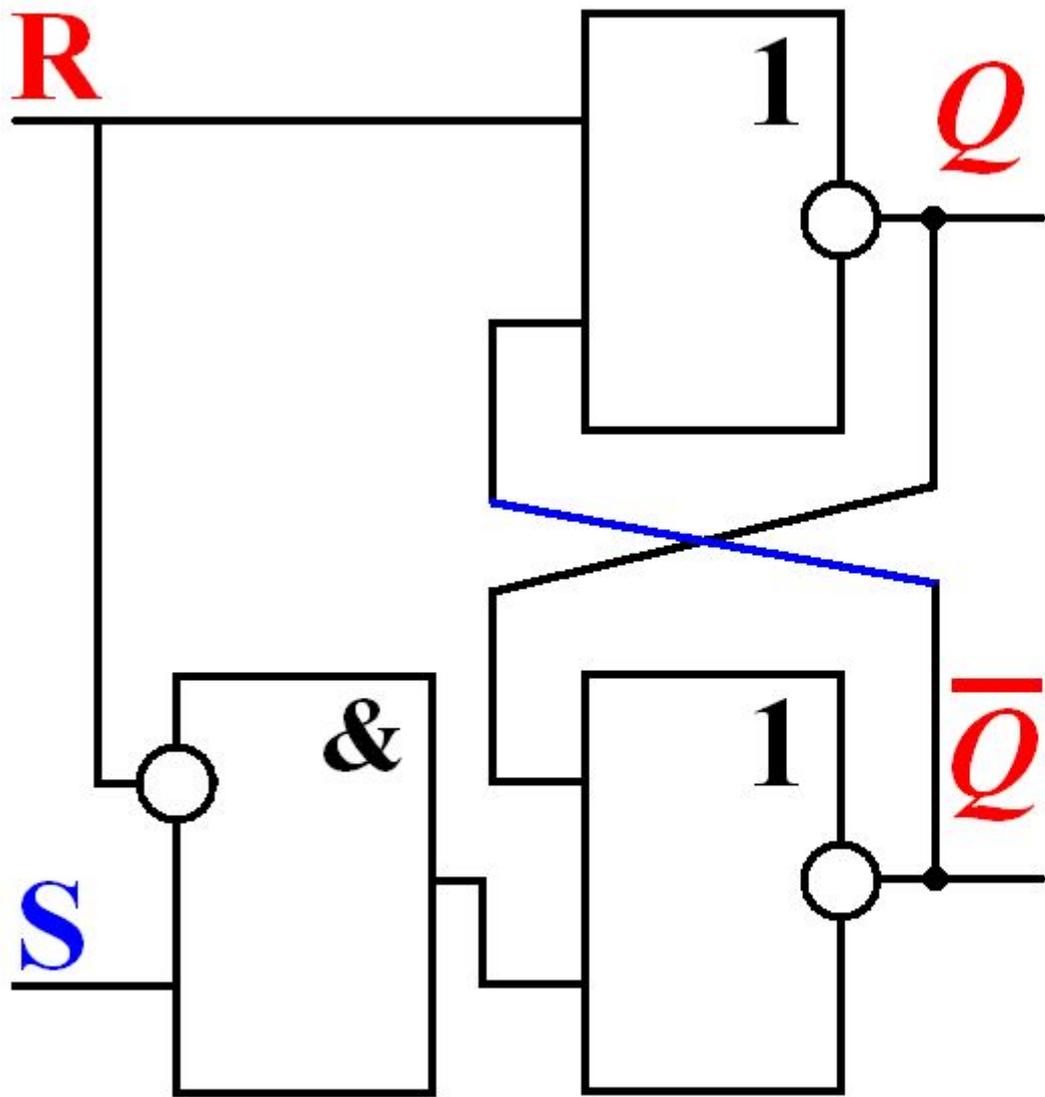
Приоритетные триггеры

Одни входы имеют преимущество над другими в установлении сигналов на выходе

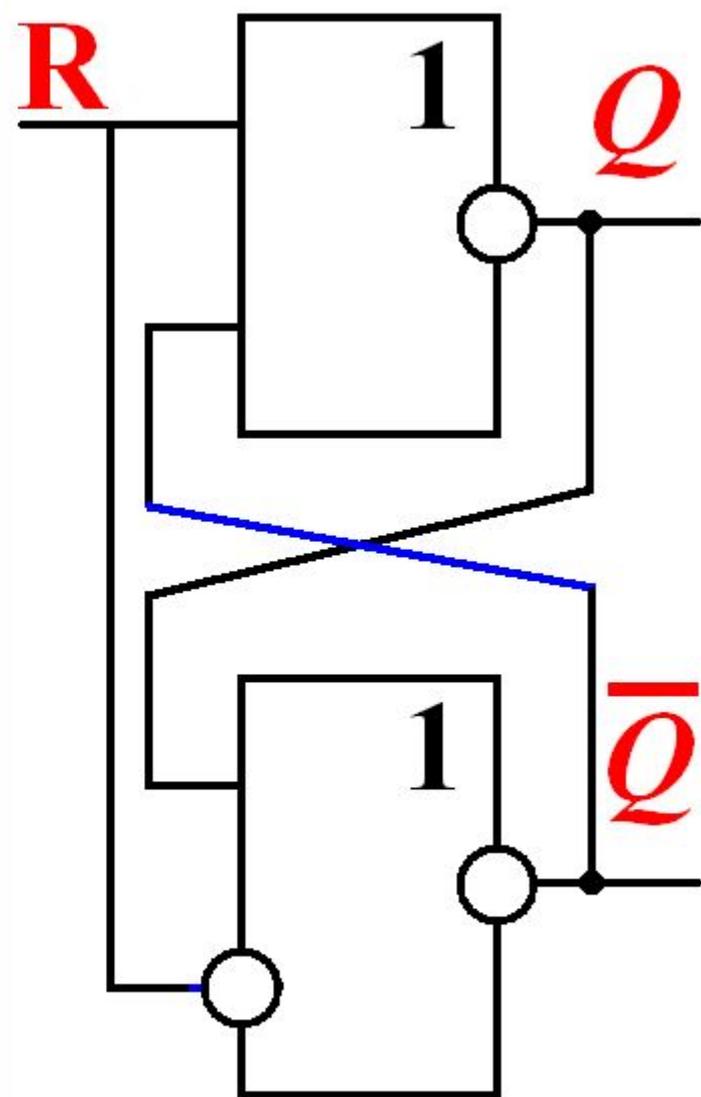
<i>R</i> -триггер		
<i>R</i>	<i>S</i>	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	0

<i>S</i> -триггер		
<i>R</i>	<i>S</i>	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	1

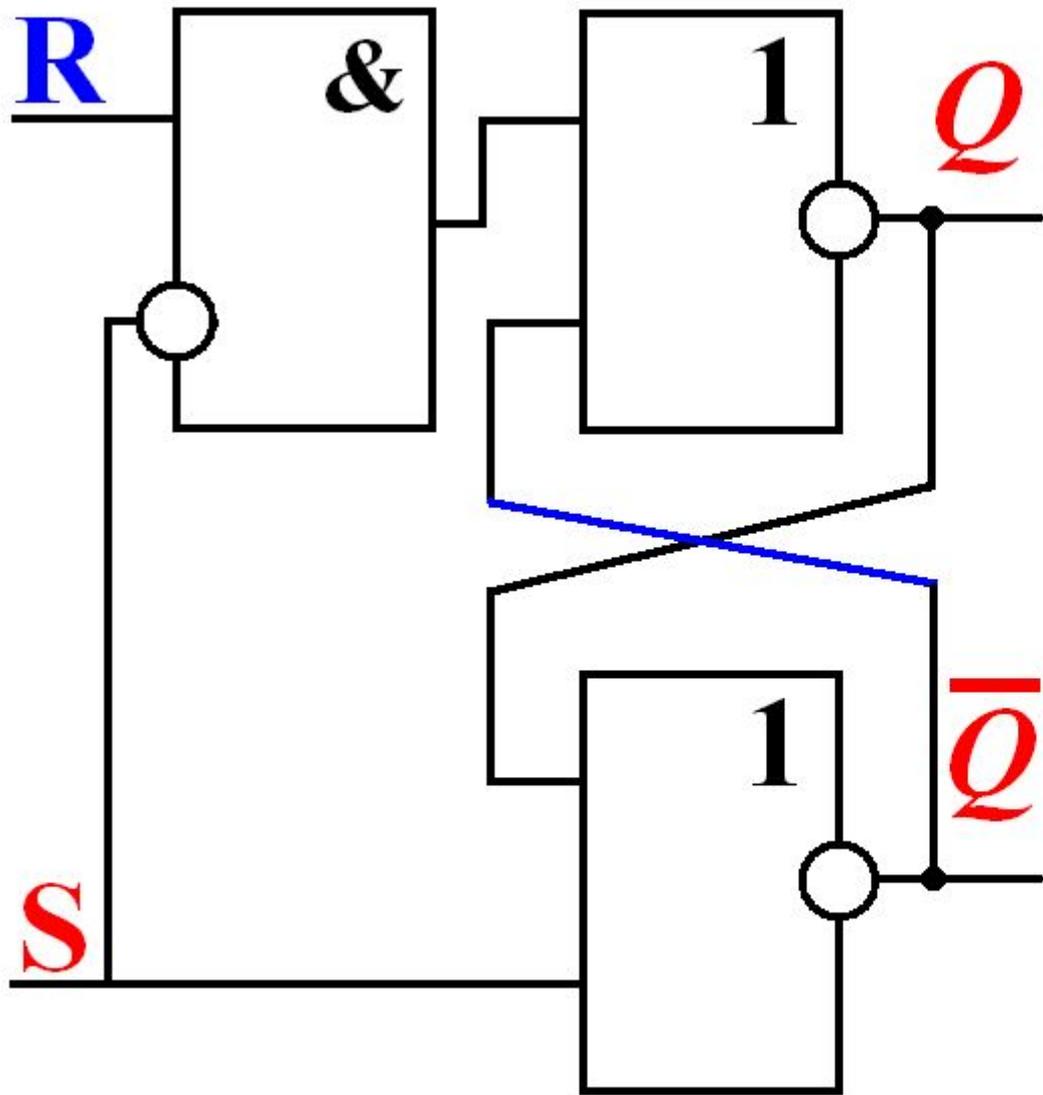
<i>E</i> -триггер		
<i>R</i>	<i>S</i>	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	Q_n



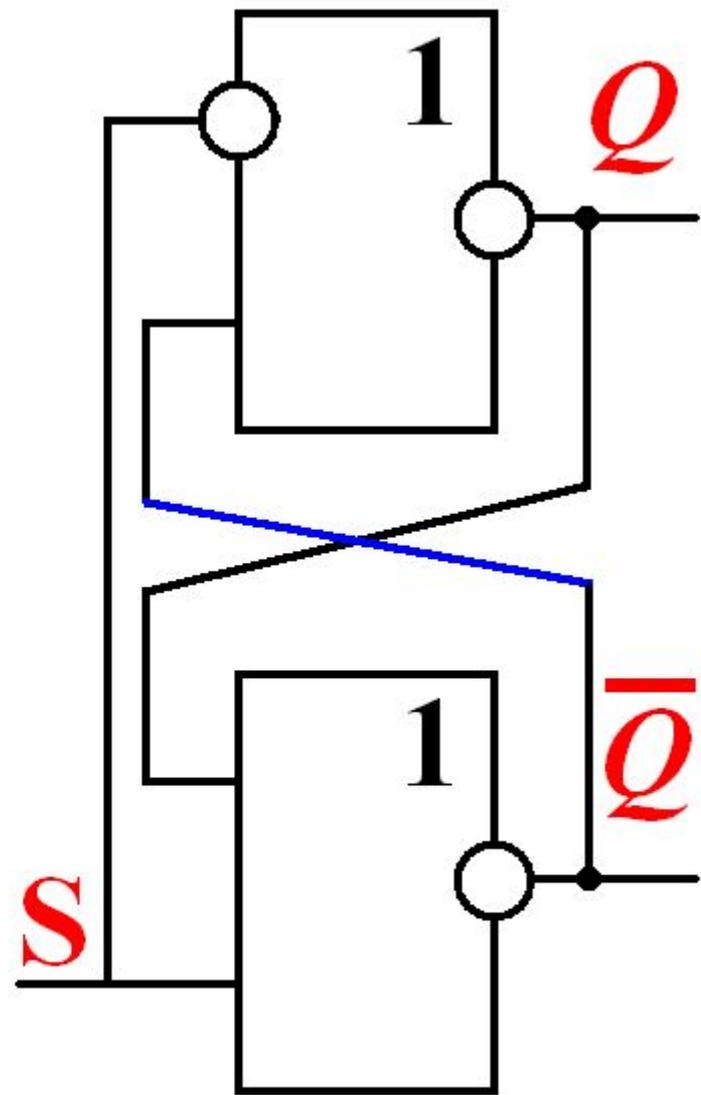
R-триггер



R-триггер

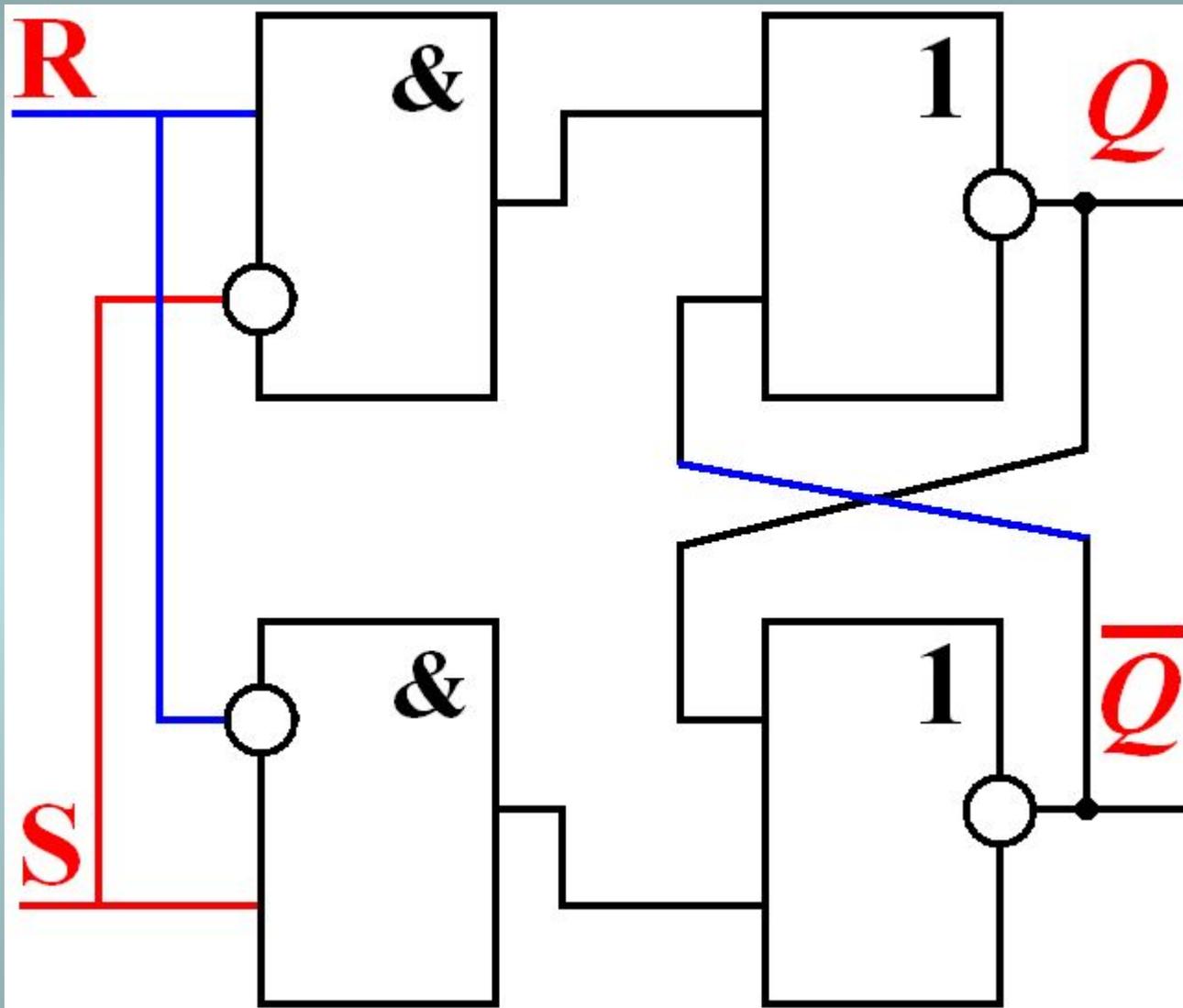


S-триггер

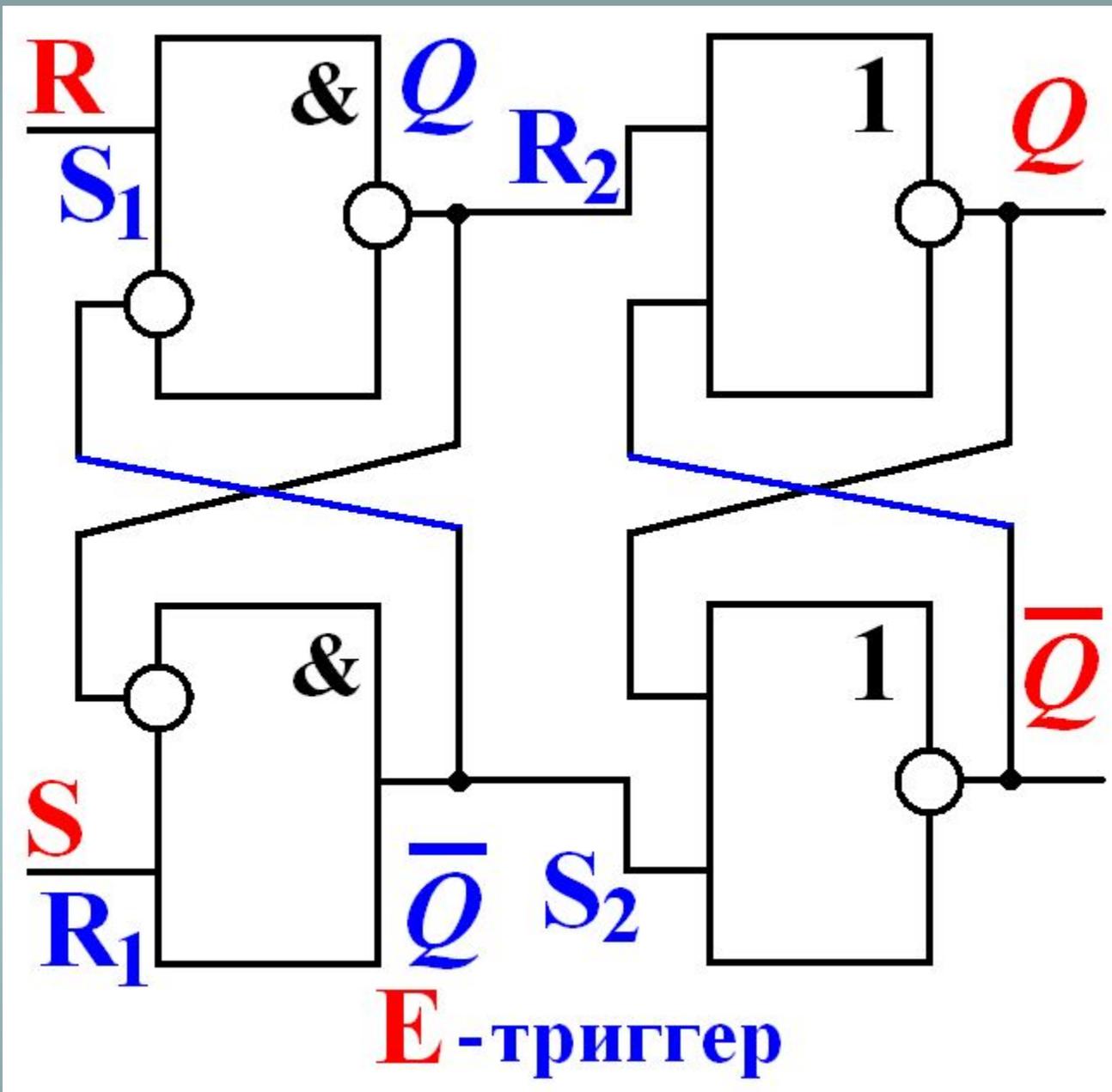


S-триггер

E – триггер

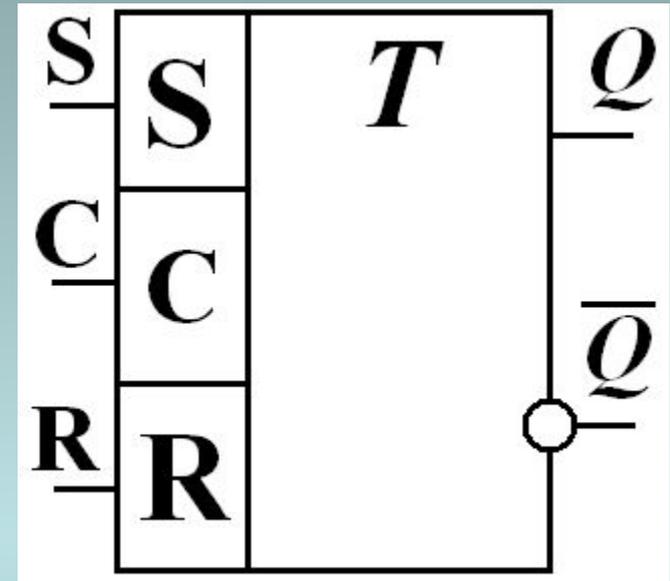
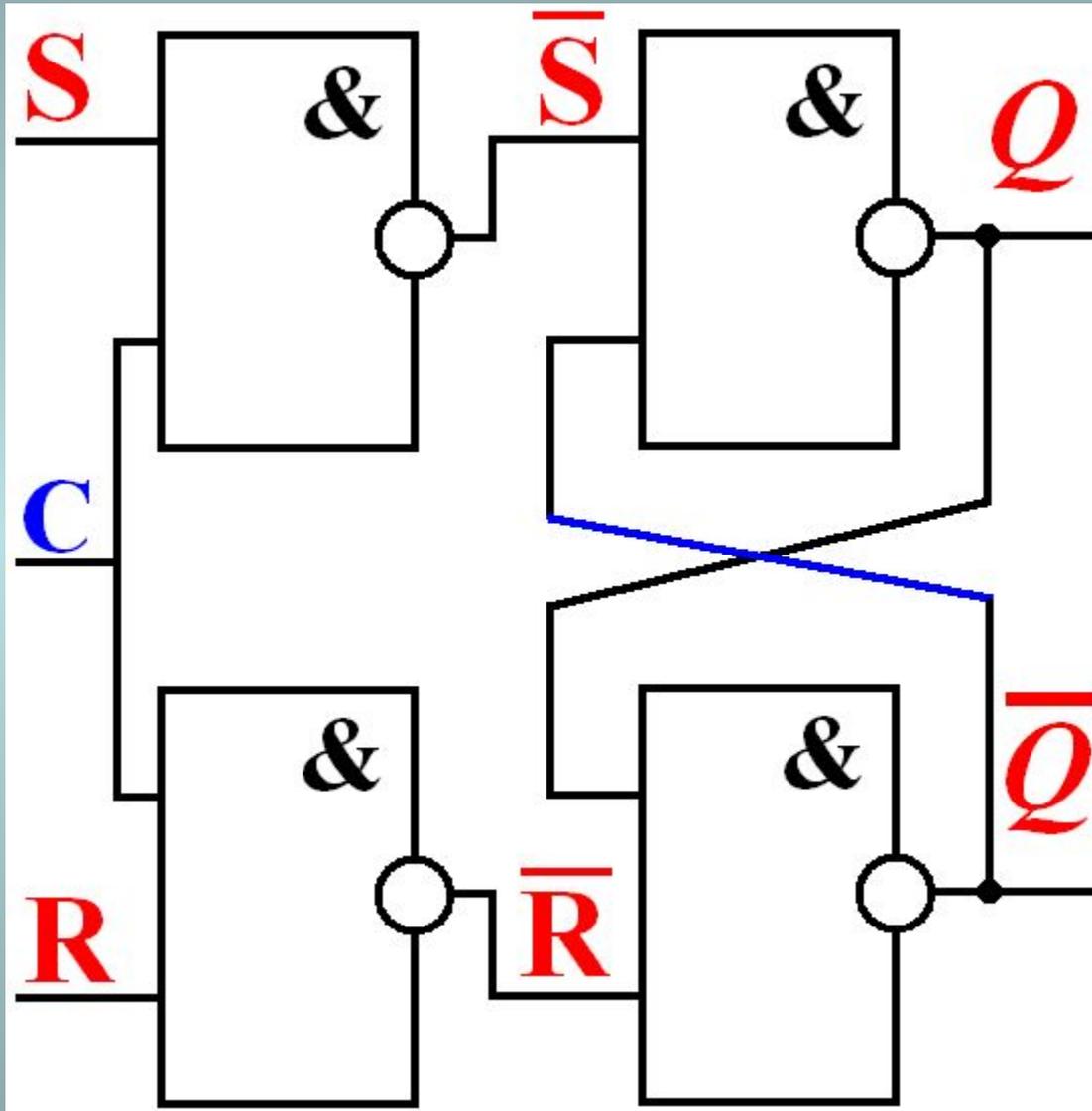


E (*nable*) - разрешить

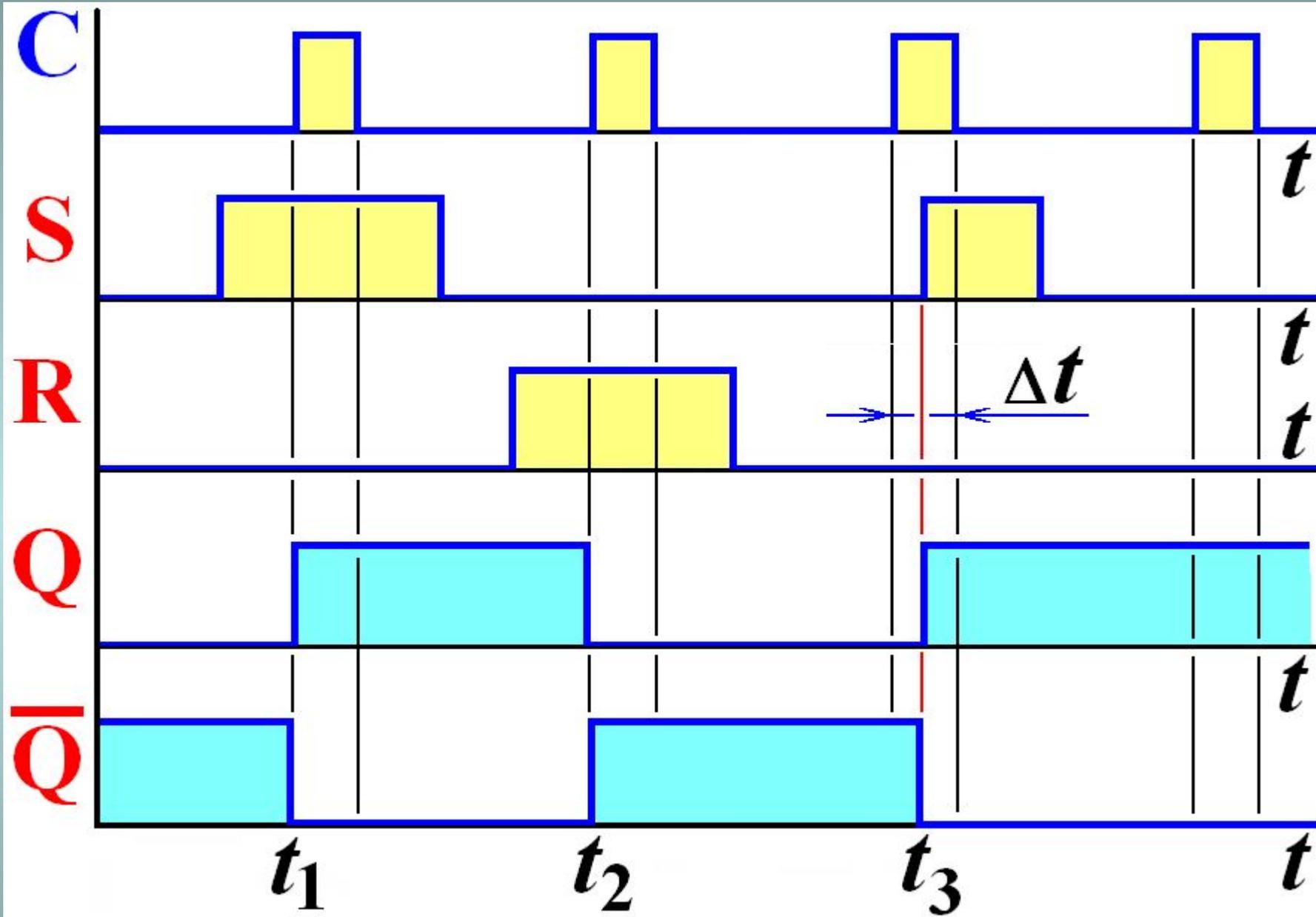


Примечание

Синхронный статический RS - триггер



$C(lock)$ – время,
вход синхронизации



Временная диаграмма синхронного RS - триггера

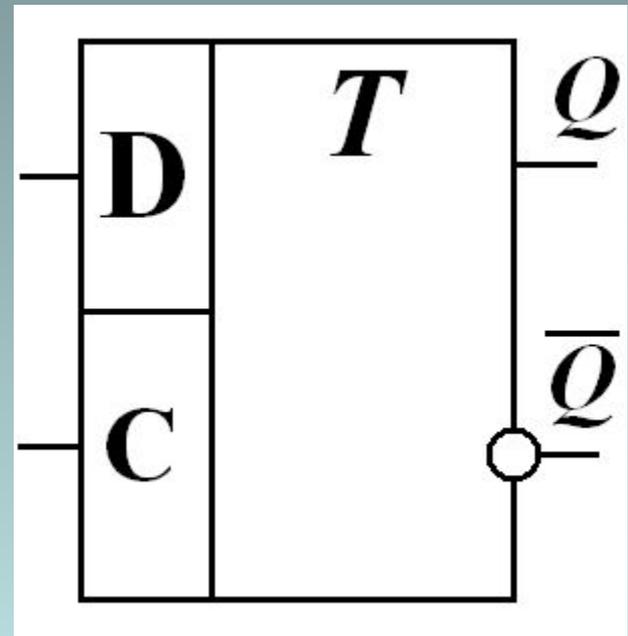
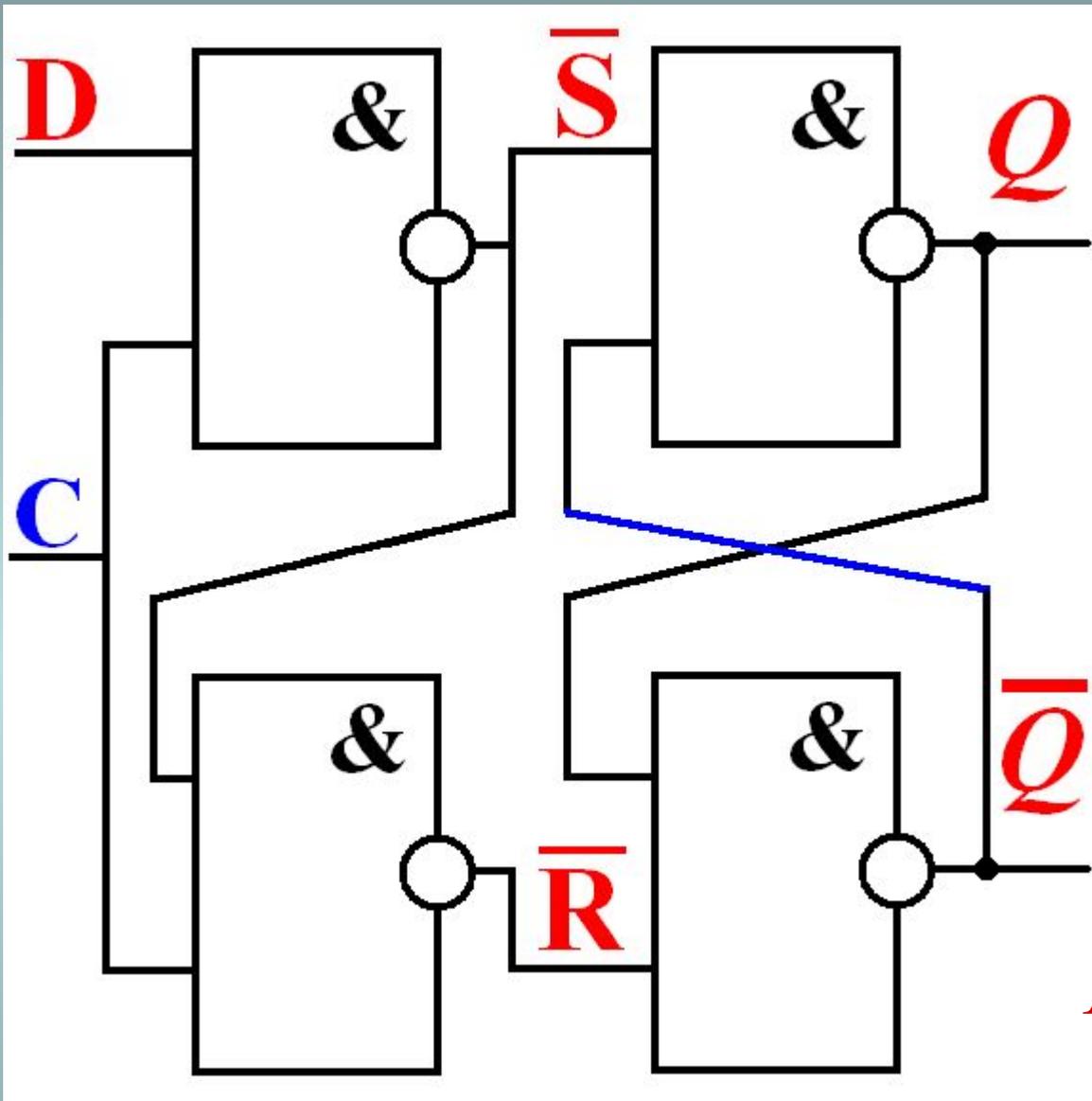
D – триггер (ячейка памяти)

C	D	Q_n	Q_{n+1}	название режима
0	×	Q	Q_n	хранение
1	0	×	0	установка в 0
1	1	×	1	установка в 1

C – вход управления (тактовый вход);

D – информационный вход.

Таблица истинности *D* - триггера

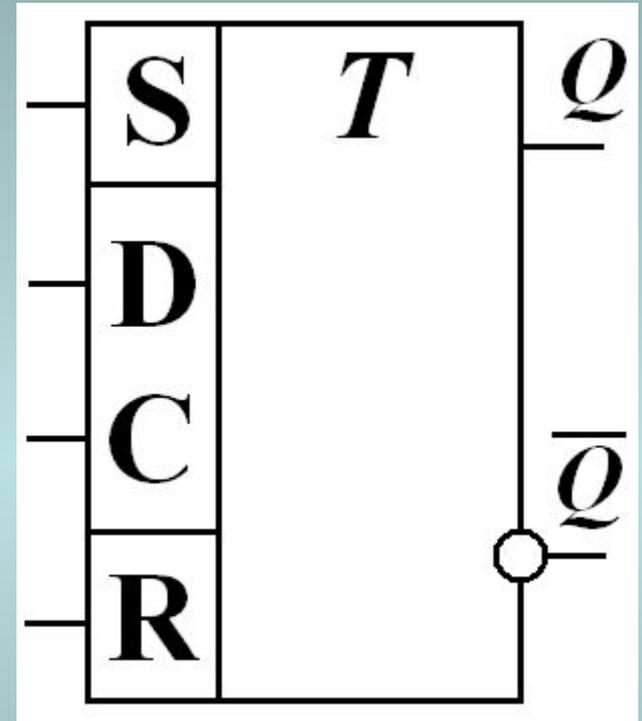


D (*elay*) - задержка

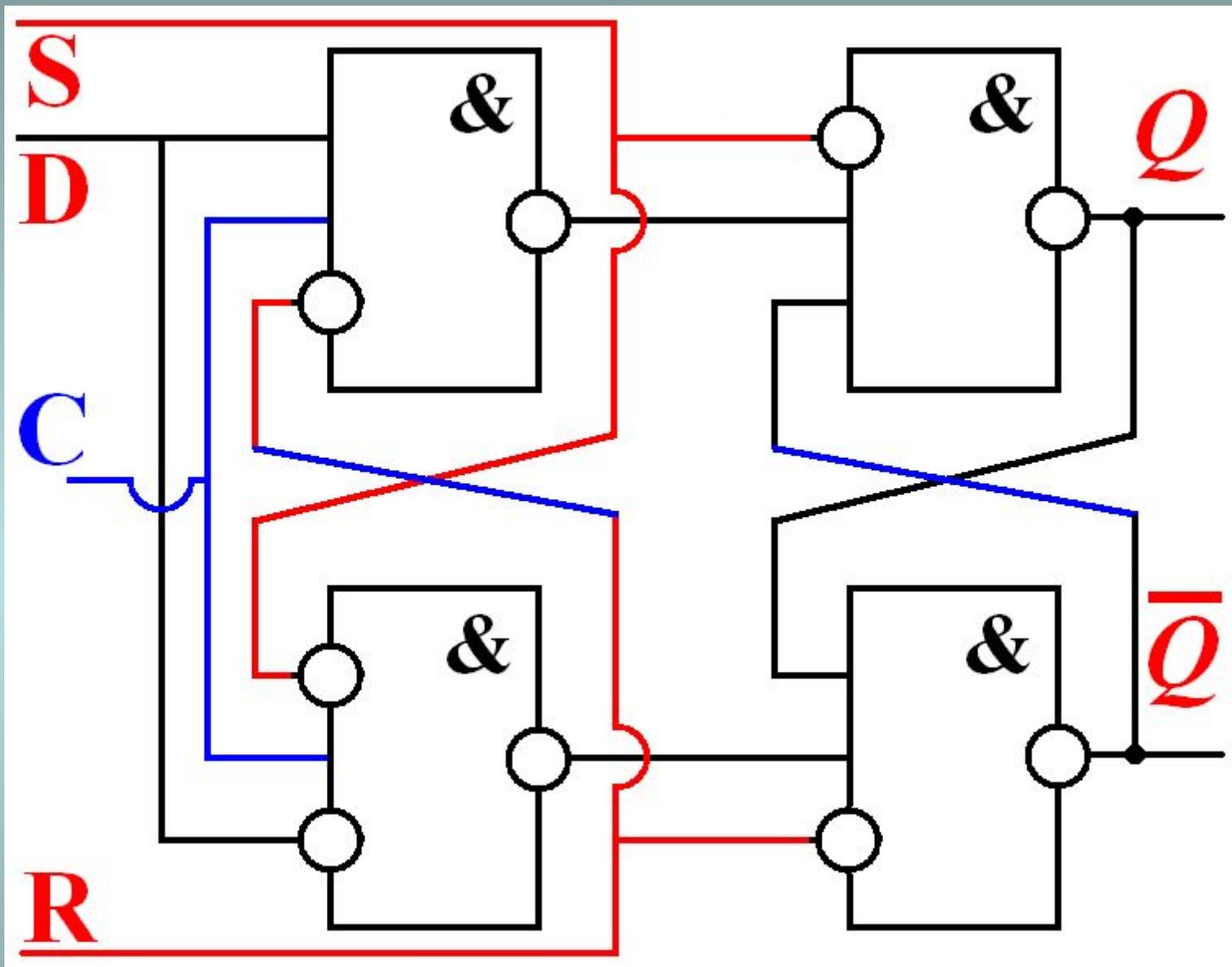
Используются 2 и 3 строки
таблицы истинности RS – триггера

D - триггер с асинхронным *RS* - триггером

R, *S* приоритетные
асинхронные
входы для установки
и сброса.

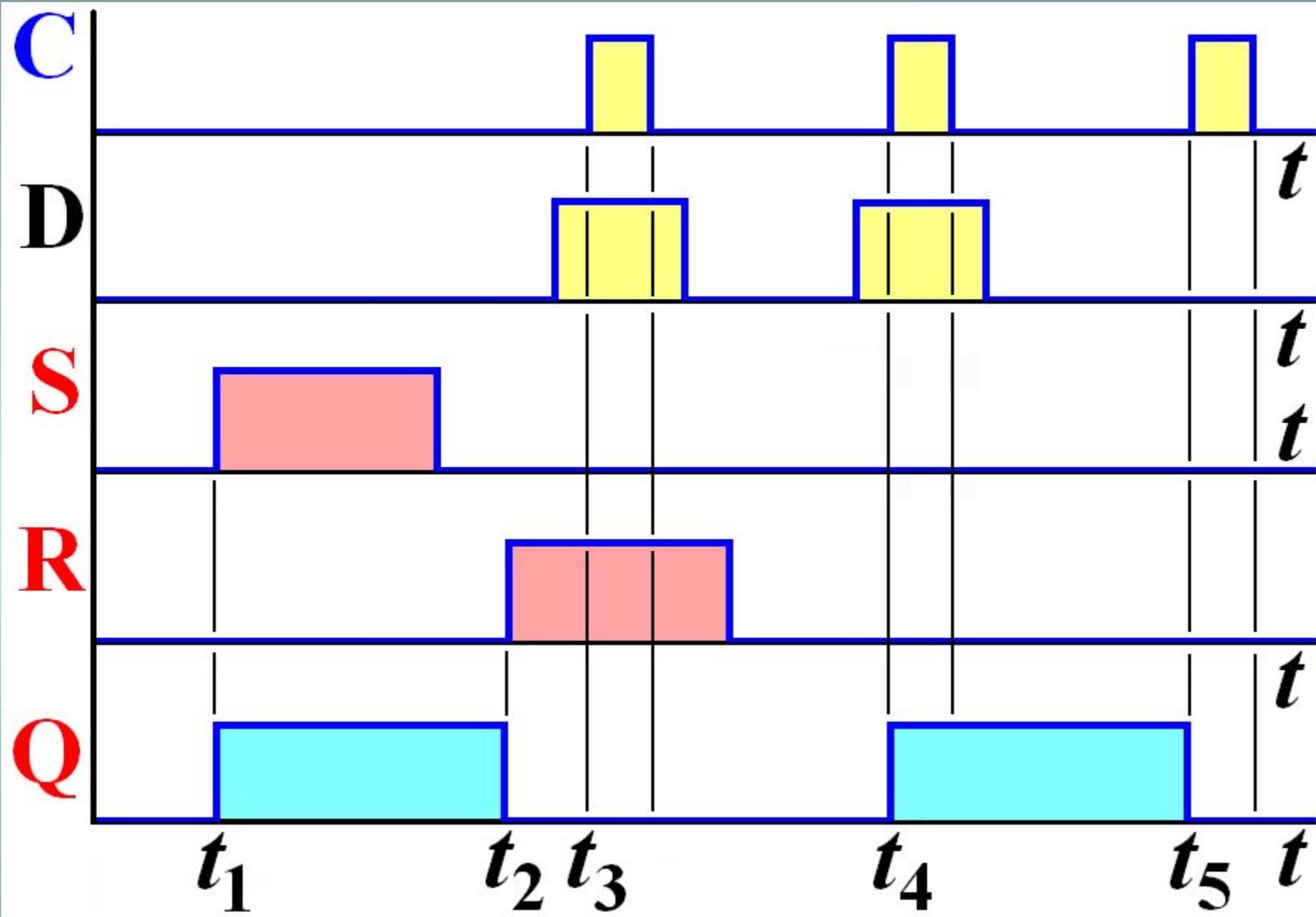


$$Q_{n+1} = S + \overline{R}(\overline{C} \cdot Q_n + C \cdot D)$$



D - триггер

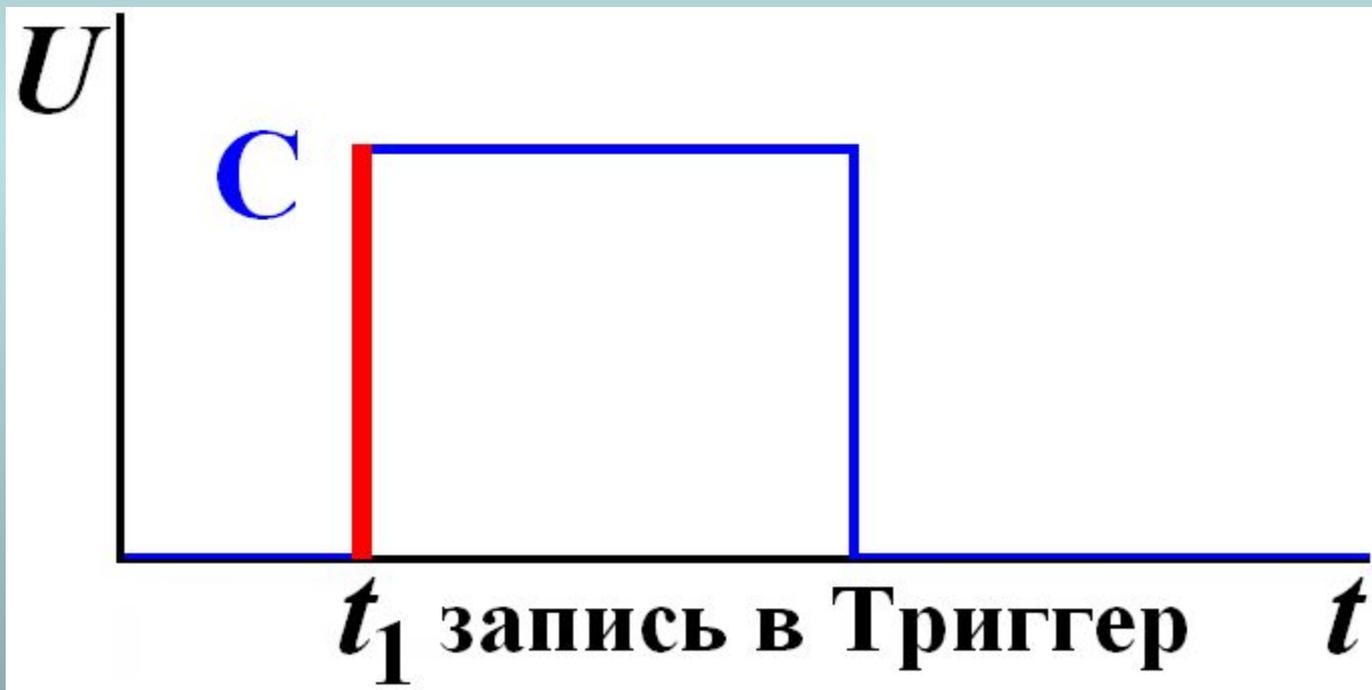
с асинхронным ***RS*** - триггером

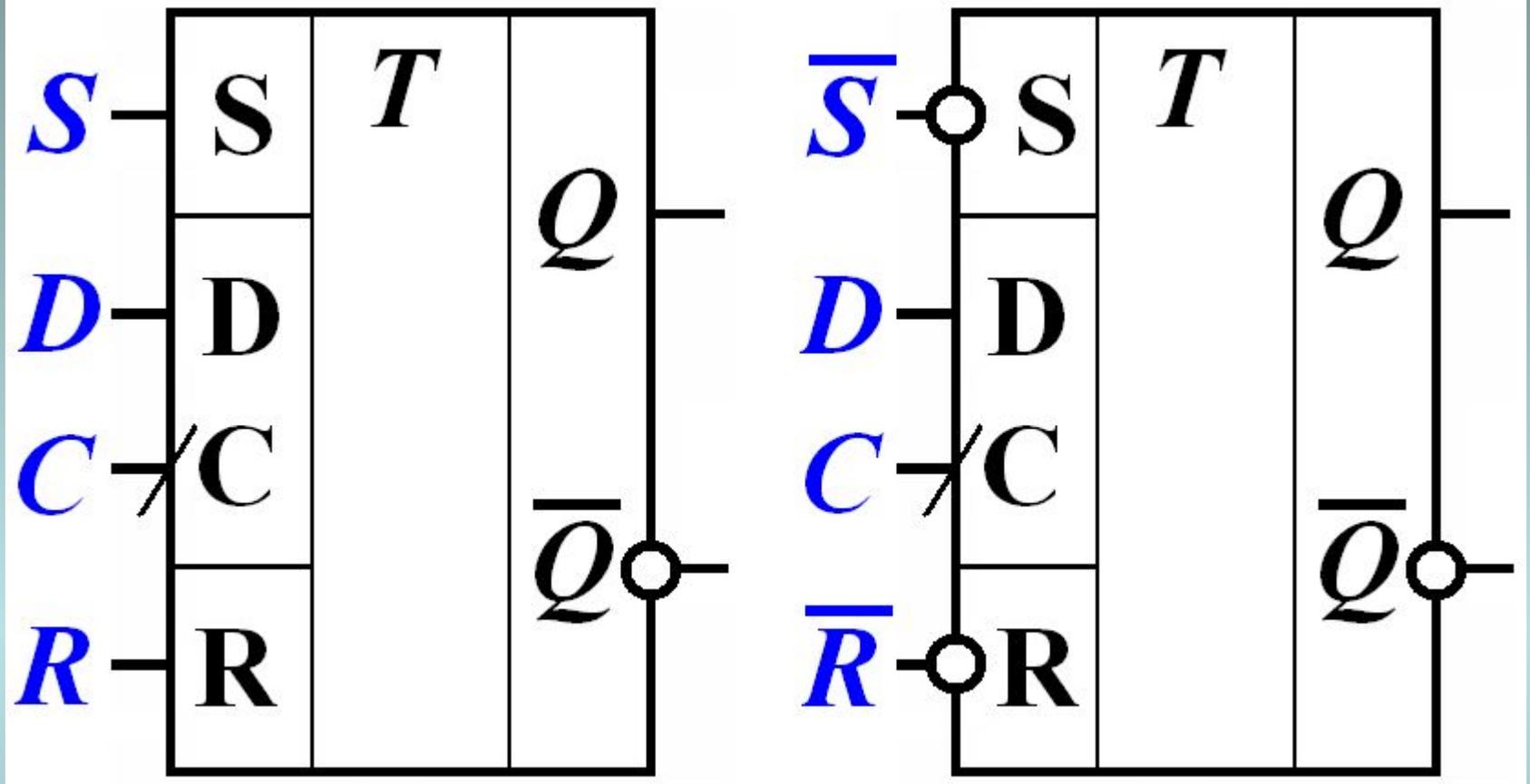


Временная диаграмма *D* - триггера с *RS* входами

***D* - триггер с динамическим управлением**

**Запись в момент перехода сигнала
C из **0** в **1**.**



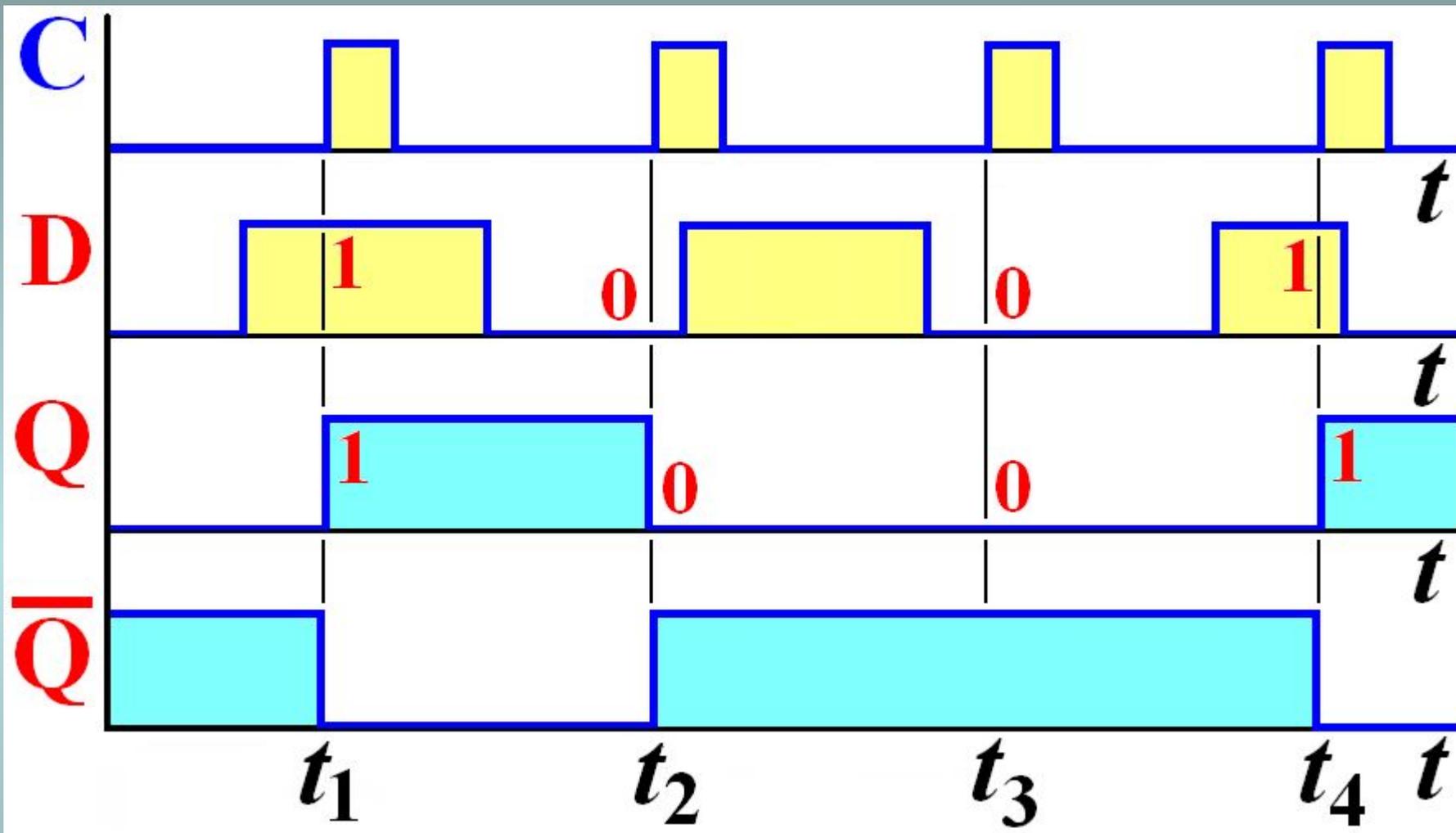


D - триггер

Прямой динамический вход C ,
 асинхронные R , S входы прямые
 и инверсные

текущее состояние				последующее	название режима
S	R	C	D Q_n	Q_{n+1}	
0	0	0, 1, \neg	\times Q	Q_n	хранение
		\neg	0 \times	0	установка в 0
		\neg	1 \times	1	установка в 1
0	1	\times	\times \times	0	установка в 0
1	0	\times	\times \times	1	установка в 1
1	1	\times	\times \times	—	неопределенное состояние

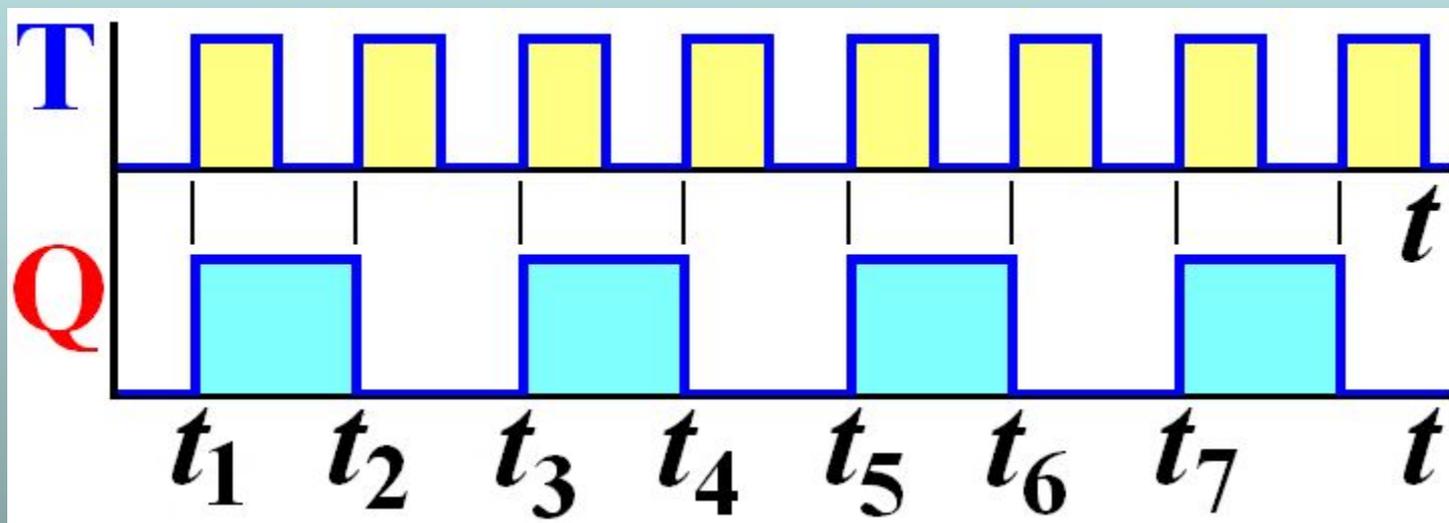
Таблица истинности D - триггера

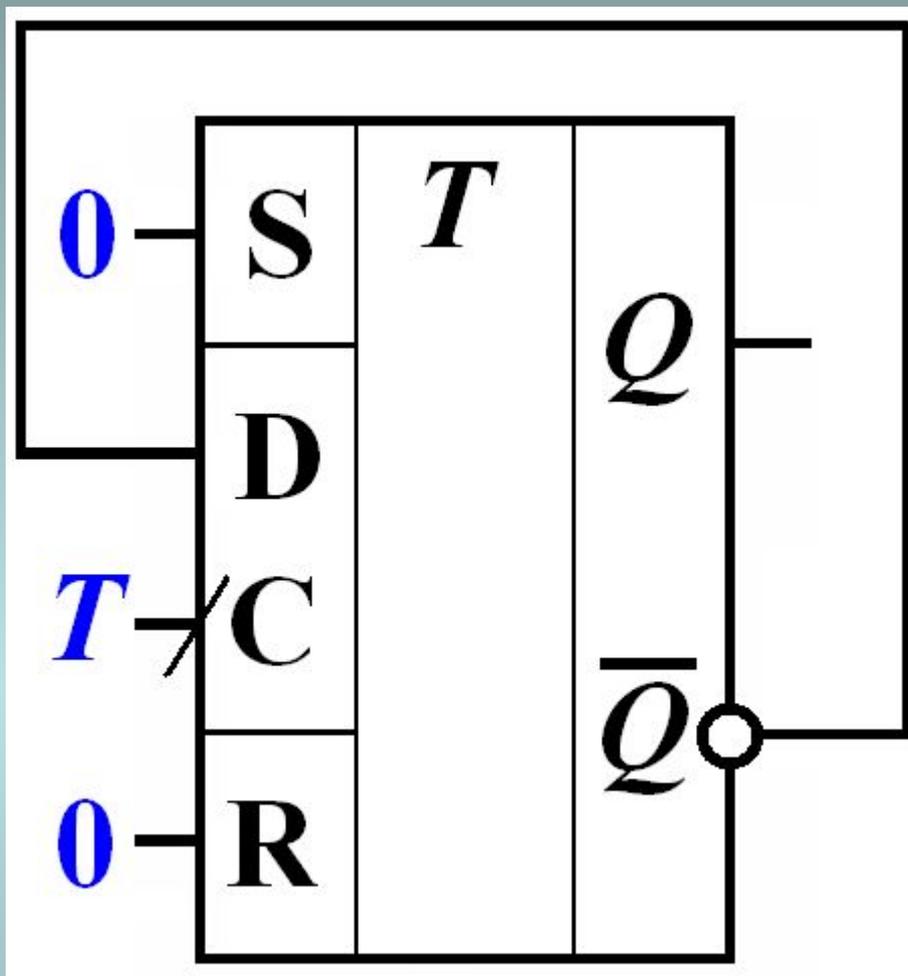


Временная диаграмма **D** - триггера
с динамическим **C** входом

T – триггер

- триггер делит частоту входных импульсов на два (счетный триггер);
- с приходом четного импульса выходной сигнал равен **0**, а с приходом нечетного – **1**, т.е. триггер является счетчиком.





T (*oggles*) -
переключить

T - триггер на *D* - триггере
с динамическим управлением

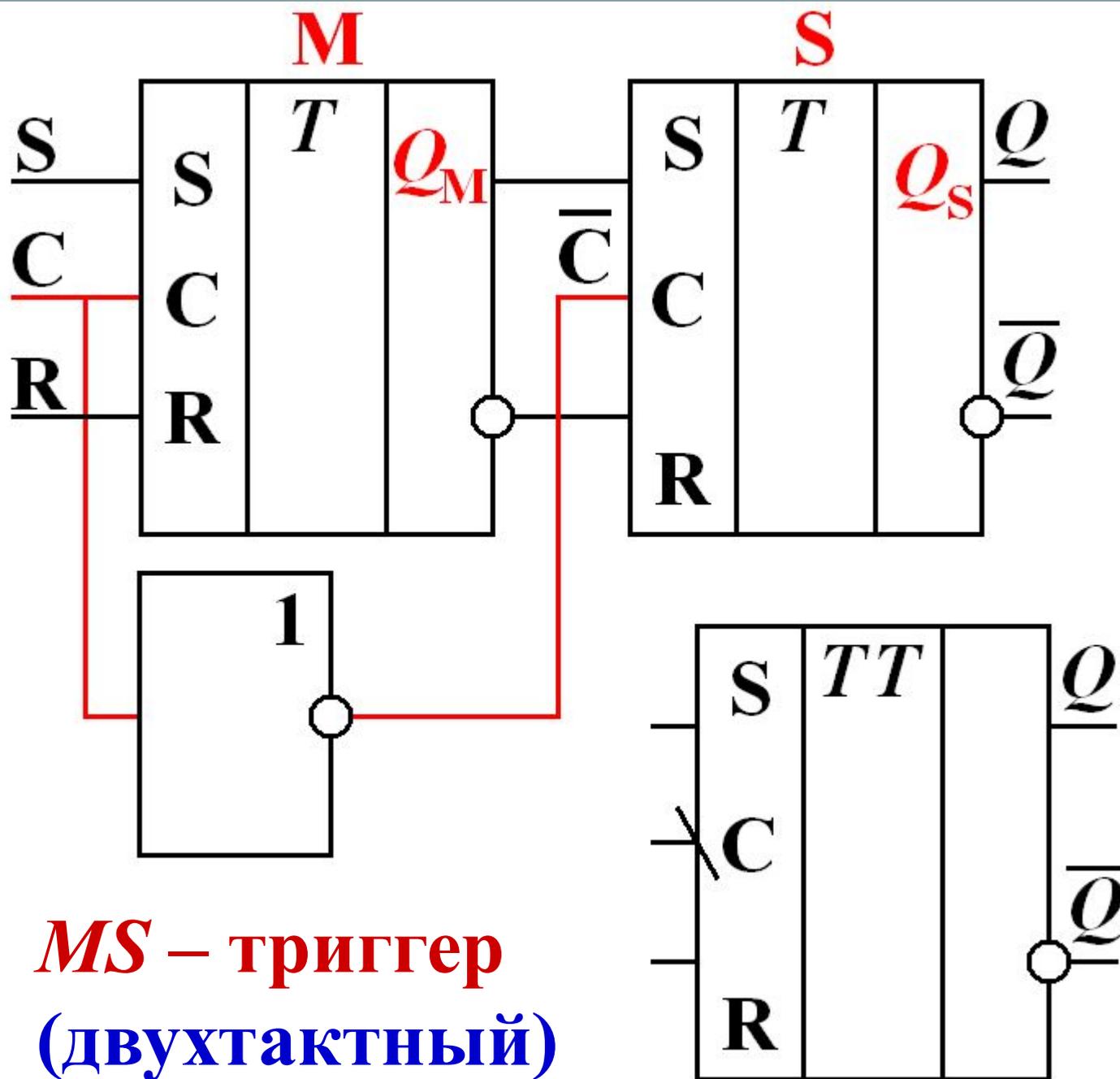
Двухтактные триггеры *MS* (*master-slave*)

Содержат два триггера для одновременной записи новой информации и считывания старой.

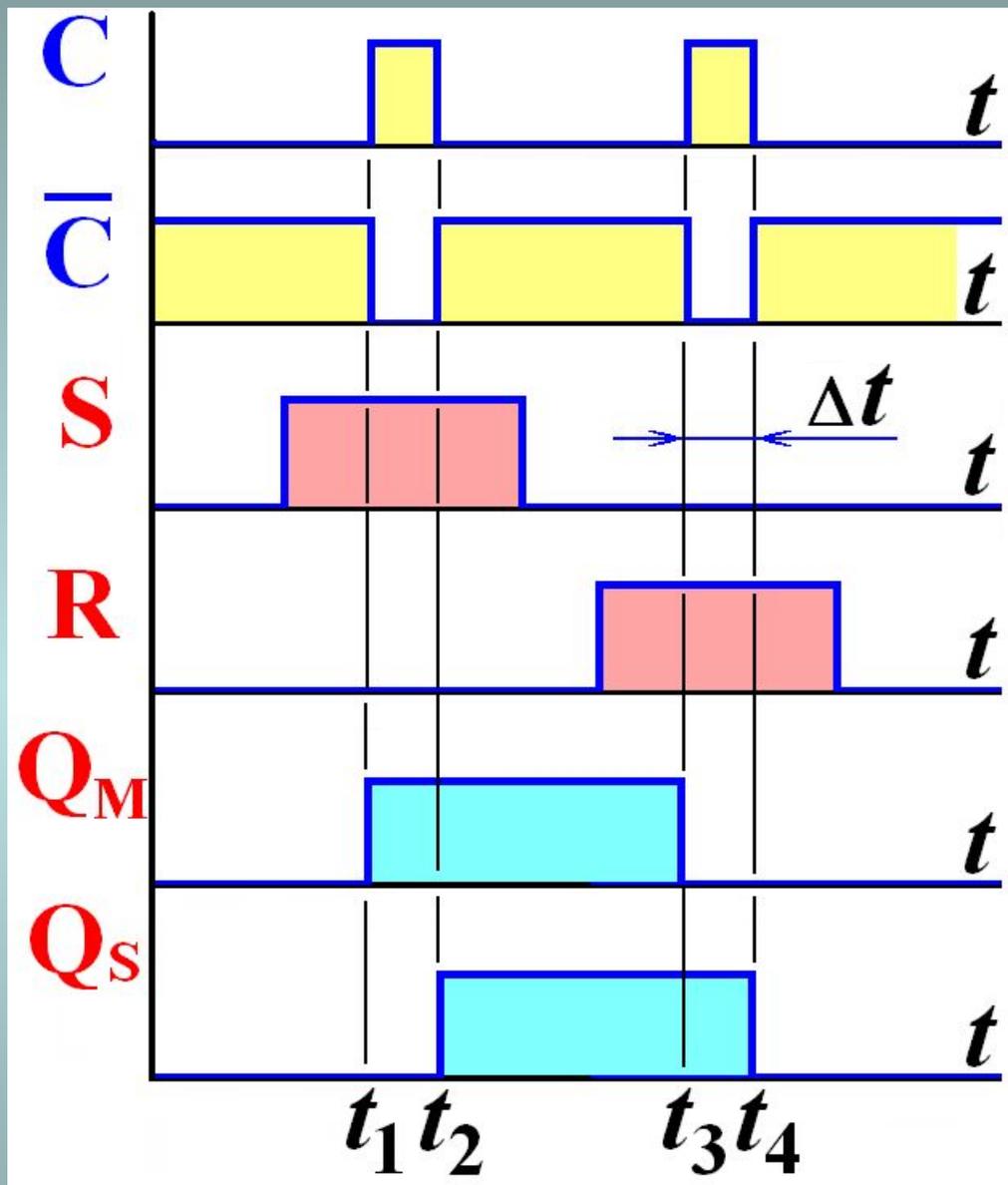
По переднему фронту синхроимпульса *C* первая ступень «*M*» принимает новую входную информацию, на выходе второй ступени «*S*» в это же время старая информация.

После окончания синхроимпульса *C* информация из первой ступени переписывается во вторую ступень (это уже старая информация, ступень «*M*» готова к приему новой информации).

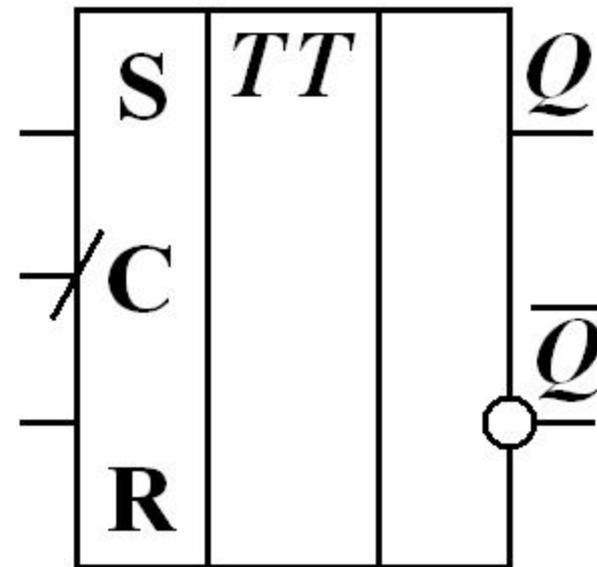
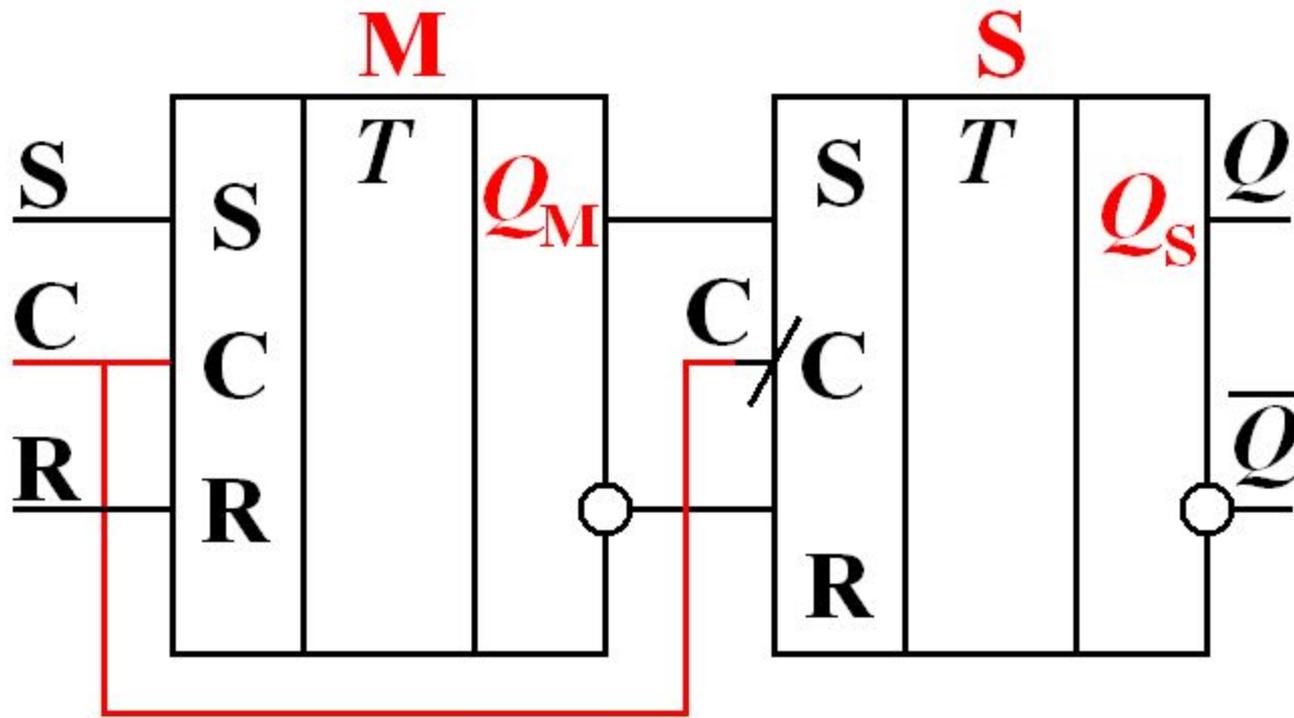
Триггеры используются в последовательных регистрах, для приема и передачи последовательных кодов (по одному биту за каждый тактовый сигнал).



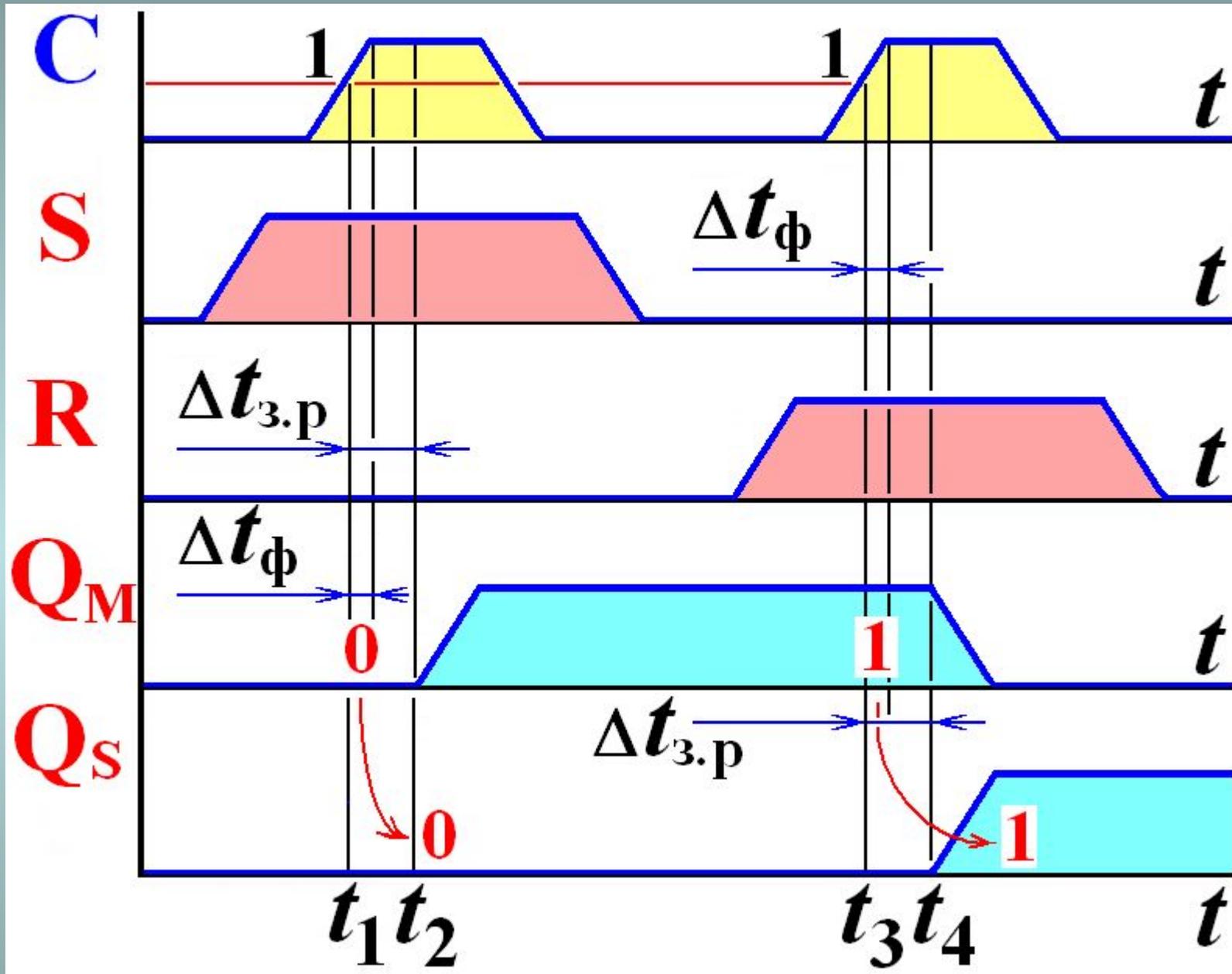
**MS – триггер
(двухтактный)**



Временная диаграмма MS - триггера

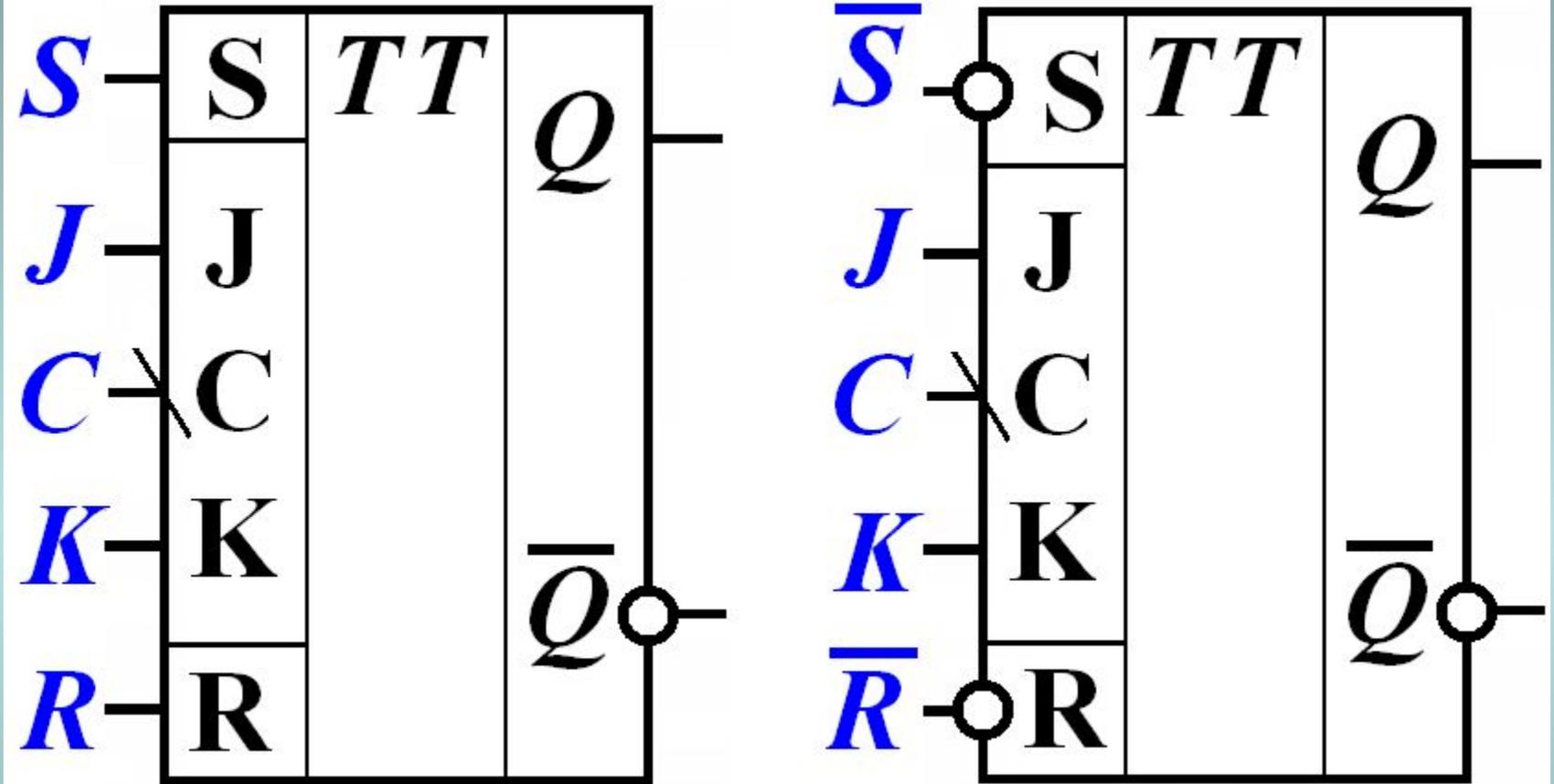


MS – триггер
(двухтактный)



Временная диаграмма **MS** - триггера

Универсальный JK-триггер



J (*итр*) - прыжок;
 K (*илл*) – убить.

JK-триггер может работать как *RS* -, *D* -,
T - триггеры.

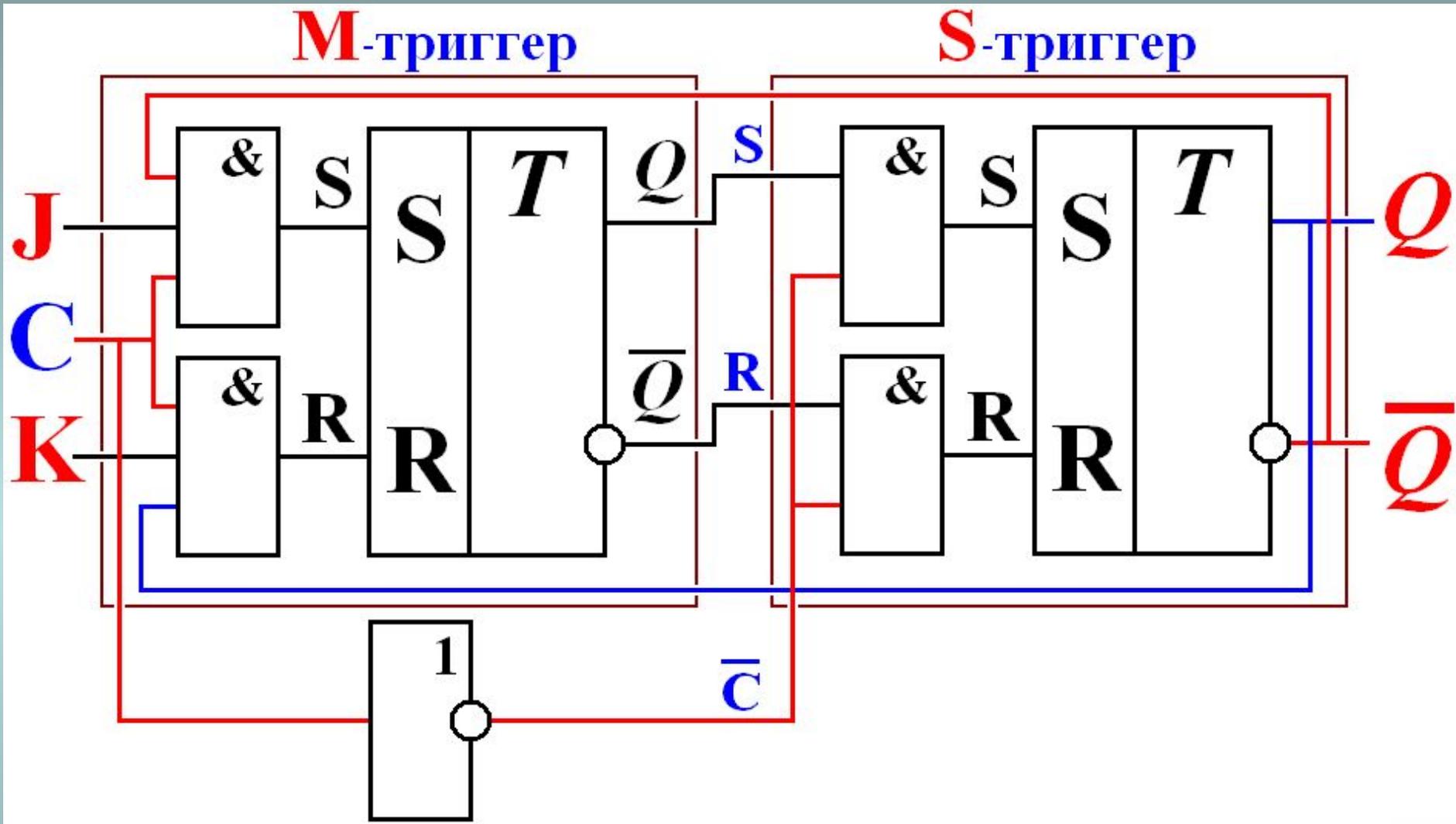
Он срабатывает по фронту тактового сигнала, имеет асинхронные входы *R* и *S*. Переключение триггера происходит по переходу из единицы в ноль сигнала *C* в зависимости от сигналов *J* и *K*.

Уравнение работы *JK*-триггера

$$Q_{n+1} = S + \bar{R} \cdot (J \cdot \bar{Q}_n + \bar{K} \cdot Q_n)$$

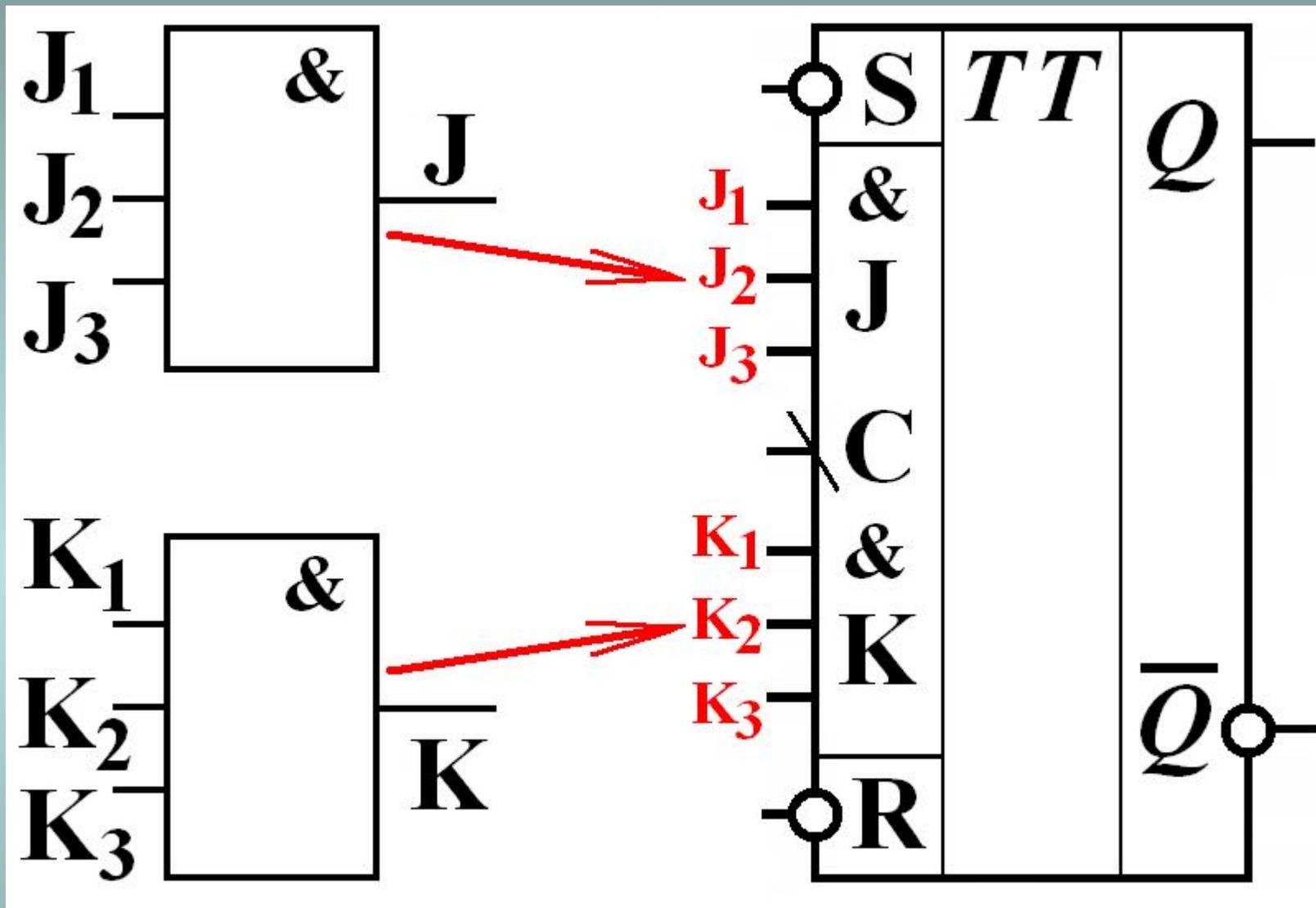
S	R	C	J	K	Q_n	Q_{n+1}
0	0	0, 1, $\sqrt{\quad}$	×	×	Q	Q_n
		\sqsubset	0	0	Q	0
		\sqsubset	1	0	×	1
		\sqsubset	0	1	×	0
		\sqsubset	1	1	Q	$\overline{Q_n}$
0	1	×	×	×	×	0
1	0	×	×	×	×	1
1	1	×	×	×	×	—

Таблица истинности JK - триггера



JK (MS) – триггер

Примечание

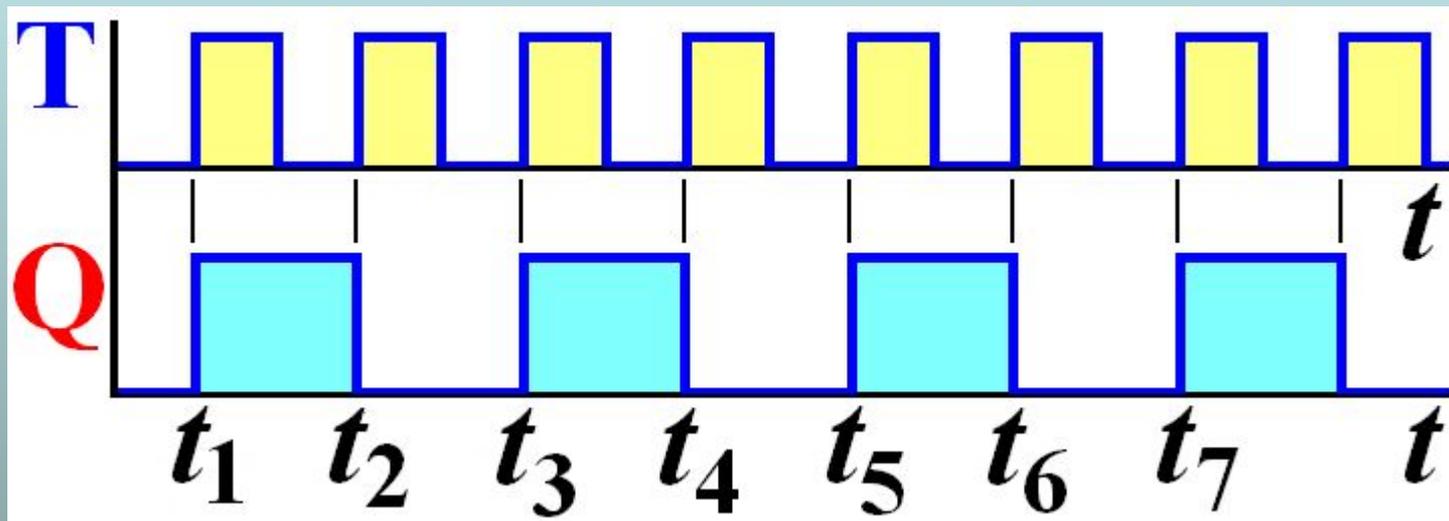


Пример JK – триггера: **К155ТВ1**

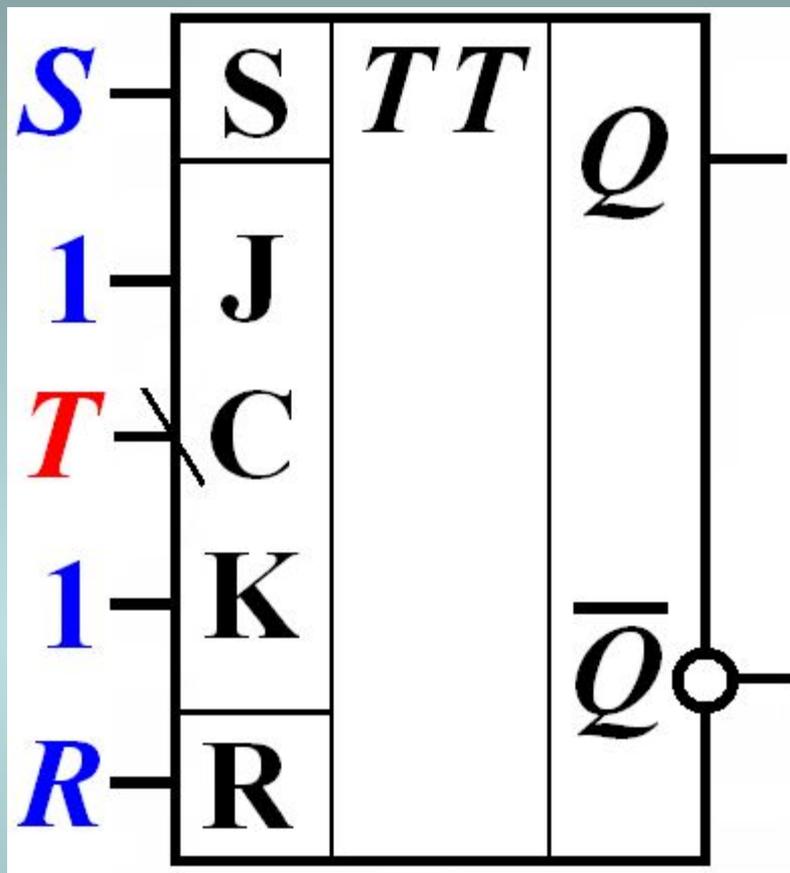
T – триггер

При $J = K = 1$:

- триггер делит частоту входных импульсов на два;
- с приходом четного импульса выходной сигнал равен **0**, а с приходом нечетного - **1**, т.е. триггер является счетчиком.

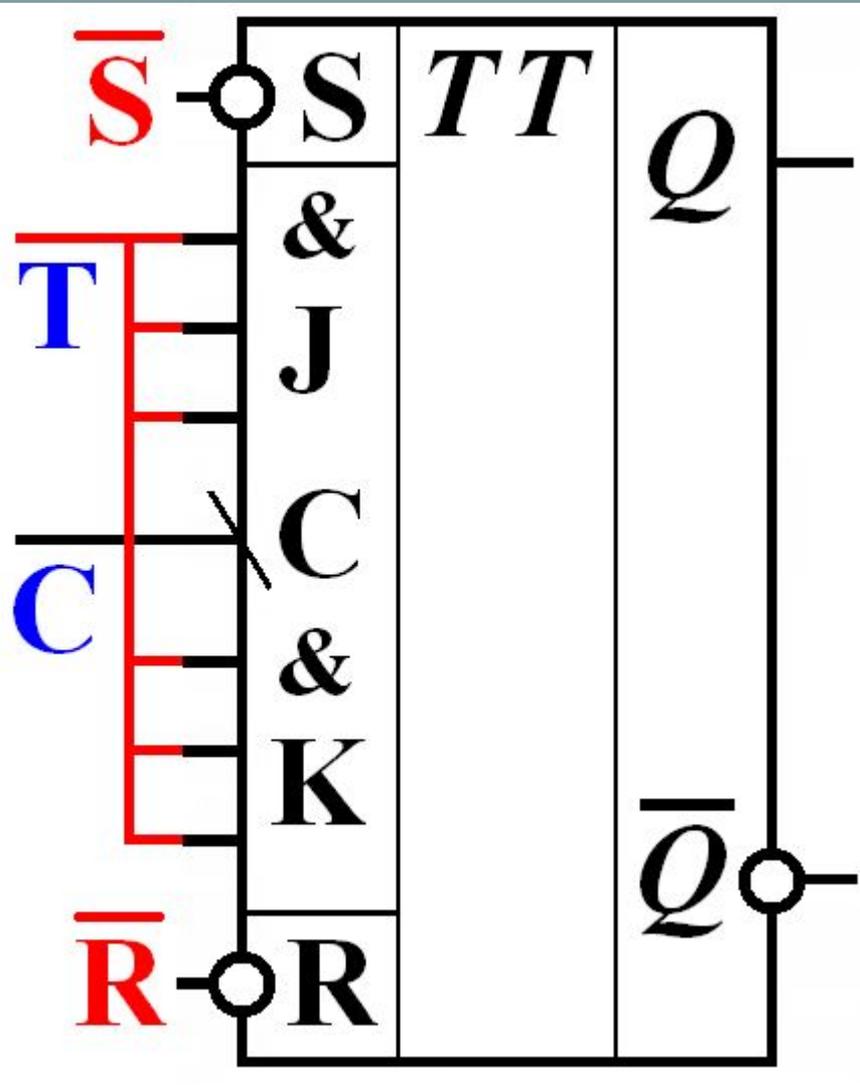


Примечание



T – триггер на основе *JK*– триггера

Примечание



Входы R, S
 приоритетные,
 определяющие работу
 триггера, как RS -.

При $R' = S' = 1$ (режим
 хранения) разрешается
 режим работы триггера,
 как T -.

RST – триггер на основе JK – триггера
 К155ТВ1

Примечание

Обозначение триггеров:

ТР — *SR*-триггеры,

ТВ — *JK*-триггеры,

ТМ — *D*-триггеры,

ТТ — *T*-триггеры,

ТП — прочие триггеры.

Например:

Интегральный *D*-триггер 555ТМ2

Примечание

КОНЕЦ