

## **Тема 5**

***Функциональная и структурная организация процессора, микропроцессоры для IBM-совместимых ПЭВМ***

# Учебные вопросы:

- Назначение и структура центрального процессора (ЦП), состав устройств.
- Центральное устройство управления (УУ).
- Арифметико-логическое устройство (АЛУ): назначение, основные характеристики, обобщенная структурная схема.
- Взаимодействие блоков АЛУ при выполнении различных арифметических и логических операций.
- Архитектура и микроархитектура процессора.
- RISC- и CISC-процессоры, их использование в ПЭВМ будущих поколений.
- Структура базового микропроцессора (МП) современных моделей для IBM-совместимых ПЭВМ, взаимодействие его узлов и блоков.
- Параметры микропроцессоров.
- Понятия: кэш-память, конвейеризация, разрядность, технология производства

# Назначение и структура центрального процессора (ЦП), состав устройств

***Процессором* называется устройство, непосредственно осуществляющее процесс обработки данных и программное управление этим процессом. Процессор дешифрирует и выполняет команды программы, организует обращения к оперативной памяти, в нужных случаях инициирует работу периферийных устройств, воспринимает и обрабатывает запросы, поступающие из устройств машины и из внешней среды (“запросы прерывания”).**

**Процессор занимает центральное место в структуре ЭВМ, так как он осуществляет управление взаимодействием всех устройств, входящих в состав ЭВМ.**

# Центральное устройство управления (УУ)

**Устройство управления организует процесс выполнения программ и координирует взаимодействие всех устройств ЭВМ во время её работы.**

**Центральное устройство управления организует и координирует автоматическое взаимодействие всех устройств ЭВМ в процессе решения задачи.**

**Основной задачей Центрального устройства управления является выборка из памяти кодов команд программ и их преобразование в необходимые последовательности синхронизирующих, разрешающих, устанавливающих, стробирующих и других сигналов**

## **Арифметико-логическое устройство (АЛУ): назначение, основные характеристики, обобщенная структурная схема**

**Арифметико-логическое устройство** процессора выполняет логические и арифметические операции над данными. В общем случае в АЛУ выполняются логические преобразования над логическими кодами фиксированной и переменной длины (над отдельными битами, группами бит, байтами и их последовательностями) , арифметические операции над числами с фиксированной и плавающей точками, над десятичными числами, обработка алфавитно-цифровых слов переменной длины и др. Характер выполняемой АЛУ операции задается командой программы.

В процессоре может быть одно универсальное АЛУ для выполнения всех основных арифметических и логических преобразований или несколько специализированных для отдельных видов операций. В последнем случае увеличивается количество оборудования процессора, но повышается его быстродействие за счет специализации и упрощения схем выполнения отдельных операций.

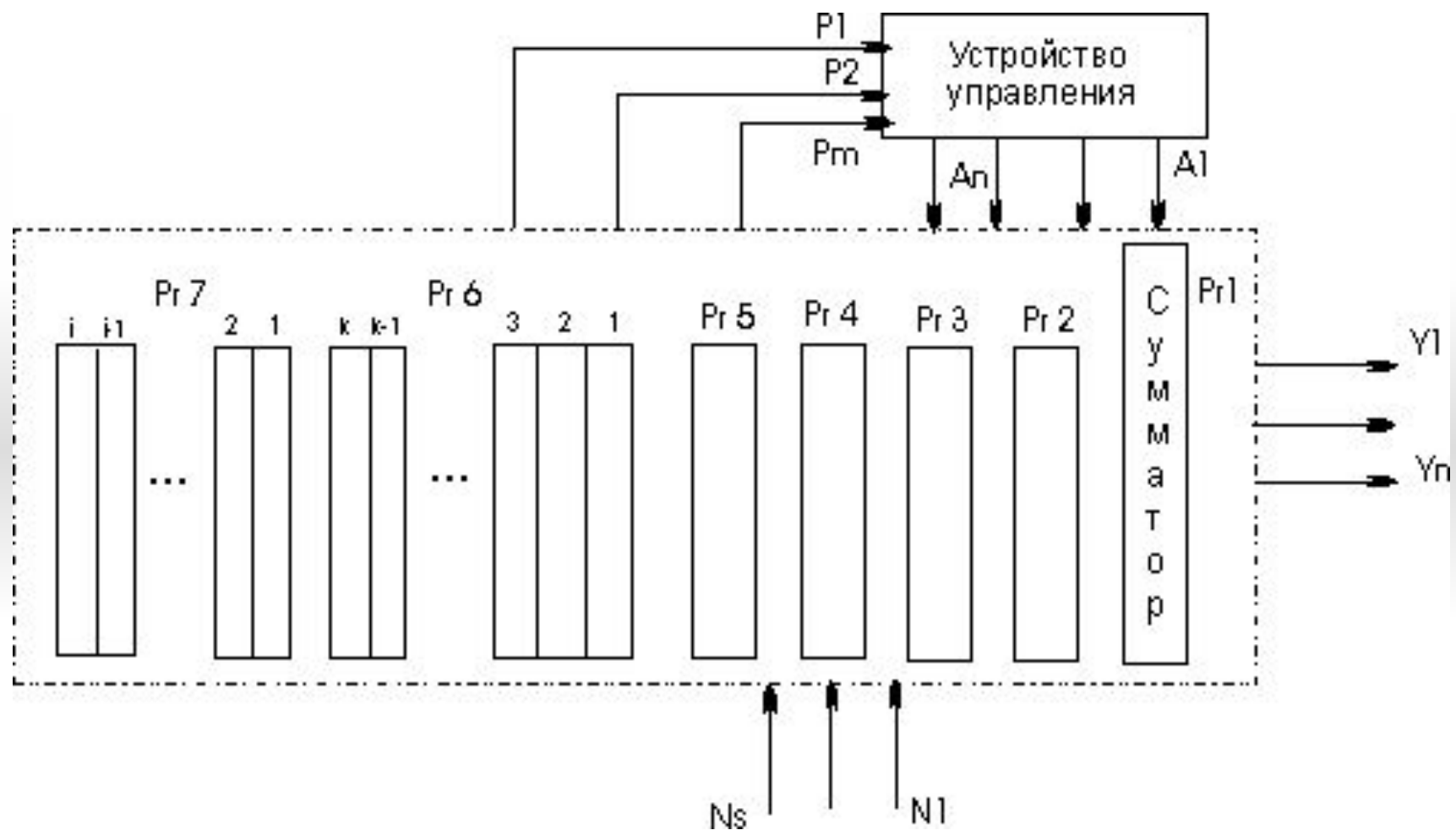
# Арифметико-логическое устройство (АЛУ): назначение

- **Арифметико-логическое устройство (АЛУ) - центральная часть процессора, выполняющая арифметические и логические операции.**
- **АЛУ реализует важную часть процесса обработки данных. Она заключается в выполнении набора простых операций. Операции АЛУ подразделяются на три основные категории: арифметические, логические и операции над битами. Арифметической операцией называют процедуру обработки данных, аргументы и результат которой являются числами (сложение, вычитание, умножение, деление,...). Логической операцией именуют процедуру, осуществляющую построение сложного высказывания (операции И, ИЛИ, НЕ,...). Операции над битами обычно подразумевают сдвиги.**

# Арифметико-логическое устройство (АЛУ): основные характеристики

- **АЛУ состоит из регистров, сумматора с соответствующими логическими схемами и элемента управления выполняемым процессом. Устройство работает в соответствии с сообщаемыми ему именами (кодами) операций, которые при пересылке данных нужно выполнить над переменными, помещаемыми в регистры.**
- **Арифметико-логическое устройство функционально можно разделить на две части :**
  - а) микропрограммное устройство (устройство управления), задающее последовательность микрокоманд (команд);**
  - б) операционное устройство (АЛУ), в котором реализуется заданная последовательность микрокоманд (команд).**

# Арифметико-логическое устройство (АЛУ): обобщенная структурная схема



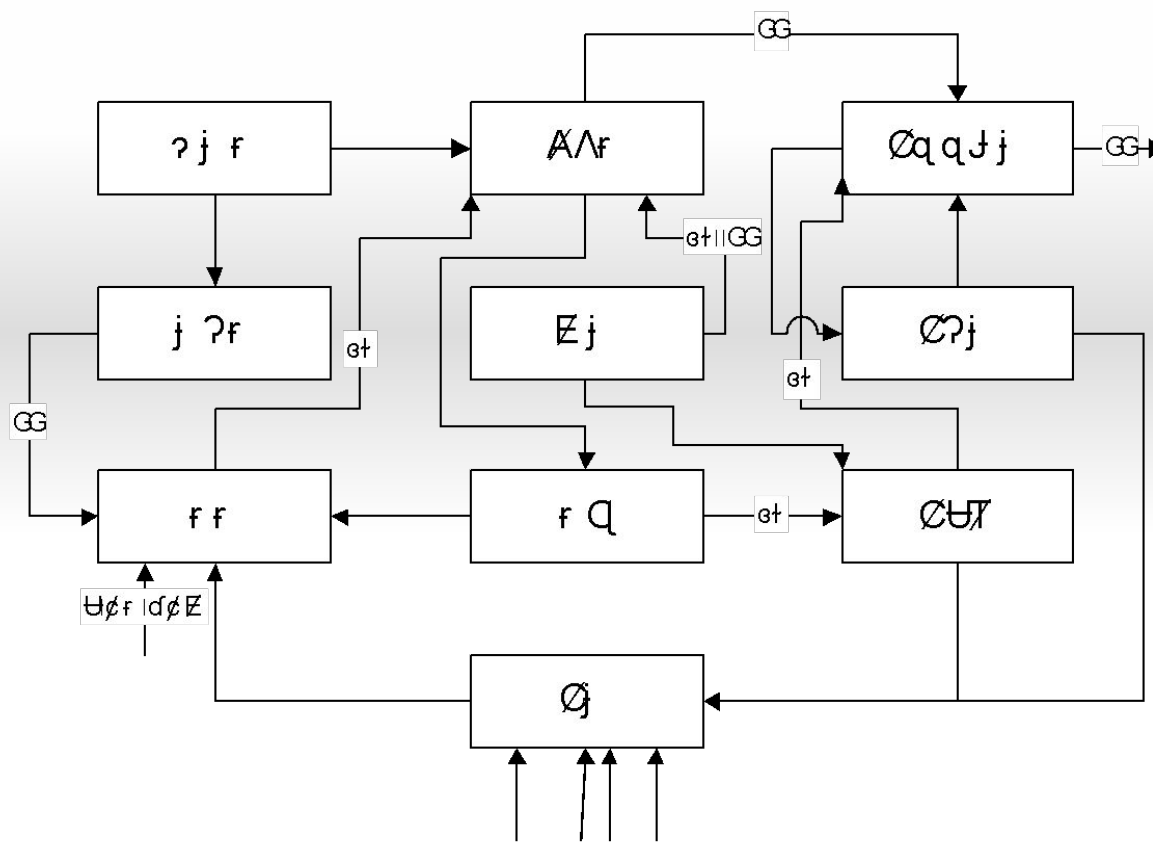


# Структурная схема АЛУ

- Структурная схема АЛУ и его связь с другими блоками машины показаны на рисунке (предыдущий слайд). В состав АЛУ входят регистры Rг1 - Rг7, в которых обрабатывается информация, поступающая из оперативной или пассивной памяти N1, N2, ...NS; логические схемы, реализующие обработку слов по микрокомандам, поступающим из устройства управления.

# Взаимодействие блоков АЛУ при выполнении различных арифметических и логических операций

## □ Обобщенная структура АЛУ

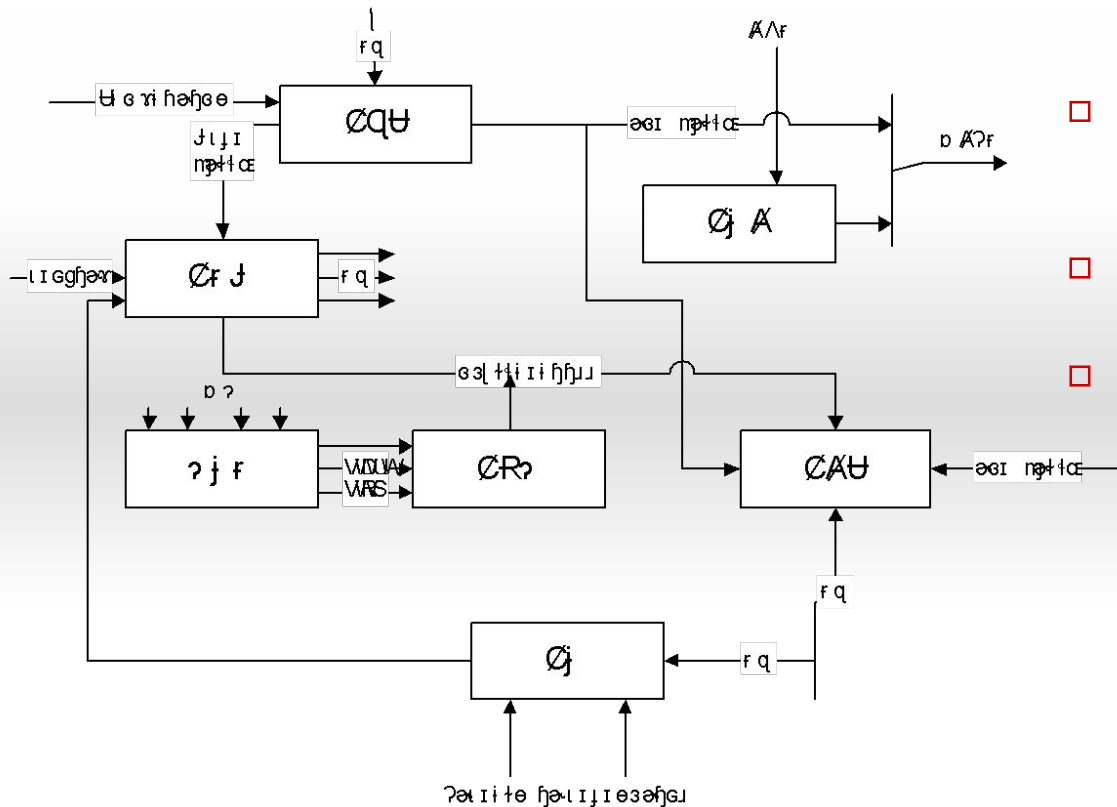


**ИПУ** – Инженерный  
Пульт Управления  
**МП** – Местная Память  
**УР** – Управляющие  
Регистры  
**БКД** – Блок Контроля  
и Диагностики  
**БССОП** – Блок Связи  
С Основной Памятью  
**БЗП** – Блок Защиты  
Памяти

# Центральное Устройство Управления

- **ЦУУ формирует управляющие сигналы для следующих функций:**
- **- выборки из ОЗУ (ПЗУ) кодов очередной команды**
- **- расшифровки кодов операций и признака выбранной операции**
- **- формирование исполнительного адреса операнда**
- **- анализ запросов на прерывание исполняемой программы**
- **- формирование адреса следующей команды**

# Структура ЦУУ



- БРК – Блок Регистра Команд
- БПА – Блок Переадресации Адресов
- БТИ – Блок Тактовых Импульсов
- ИПУ – Инженерный Пульт Управления
- БП – Блок Прерываний
- БАК – Блок Адреса Команд
- БУО – Блок Управления Операциями
- УС – Управляющие Сигналы

## Алгоритм:

- 1) код очередной команды программы принимается для расшифровки и исполнения в БРК, под воздействием УСов. Адрес формируется в БАКе.
- 2)-----
- 3) Перед выборкой очередной команды производится анализ запроса на прерывание. Для этого включается БП.

В состав ЦУУ включается блок для формирования исполнительных адресов – БПА. В его состав включаются: индексные, базовые регистры, а также схема алгебраического сложения. БТИ – Блок Тактовых Импульсов.

Назначение – формирование последовательности тактовых импульсов, которые позволяют провести временное развертывание цикла работы процессора.

ИПУ – обеспечивает:

- а) пуск или остановку ЭВМ
- б) выполнение процессором заданного режима
- в) вывод на средства индикации

# АЛУ

**Назначение – обработка информации (операции +, -, <<, >>, и т.д.) и логические операции. Кроме того в малых и средних машинах, в которых нету отдельного БУО, связ. с формированием действительных адресов в АЛУ выполняется действия адресной арифметики или действия связанные с преобразованием адресов.**

**Алгоритм операции включает последовательность элем. действий:**

- 1) прием кода операнда**
- 2) преобразование кода операнда**
- 3) суммирование кодов двух операндов**
- 4) сдвиг кода операнда**
- 5) выдача кода результата.**

## АЛУ (2)

- **1) Регистры для хранения кодов операндов на время выполнения действий над ними**
- **2) Регистры сдвига вправо/влево на один или несколько разрядов**
- **3) Преобразователи для преобразования ПК в ОК или ДК.**
- **4) Сумматор – для суммирования и других действий.**
- **Самматоры делят по типу используемых для суммирования базовых элементов: 1) комбинационного 2) накапливающего и по способу осуществления 3) последовательного и параллельного действия.**
- **АЛУ ЭВМ малой производительности, сумматоры параллельного типа – средняя и высокая производительность (основа – совокупность Т-триггеров).**

# АЛУ 3

## Алгоритм работы:

- 1) перед суммированием по шине сброс всех триггеров – уст. в 0 состояние (можно использовать парафазное представление)
- 2) на счетные входы триггеров подается первое слагаемое и запоминается
- 3) на входы триггеров подается второе слагаемое.
- 4) триггер, в котором слагаемое=1 изменяет свое состояние на противоположное
- 5) переполнение разрядной сетки выявляется в результате переноса из старшего разряда и знакового.

Быстродействие параллельного сумматора ограничивается временем распространения переноса.  $T_{пер} = T_1(n-1)$ . Для сокращения этого времени в сумматор включают цепь || переноса. В состав АЛУ входят: схема управления – руководство порядком выполнения последовательности микроопераций.

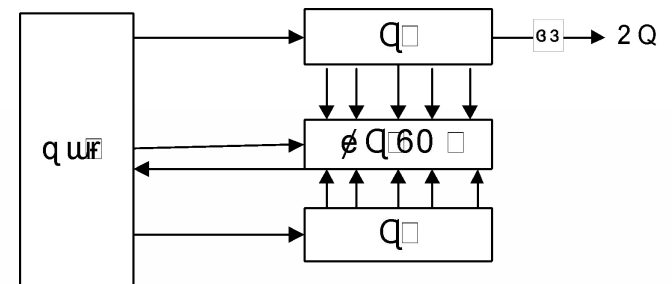


# Назначение и классификация АЛУ

## Типы АЛУ:

- **используемая система счисления**
- **по формам представления числовых данных – с фиксированной или плавающей запятой.**
- **по виду связей между основными узлами – с непосредственной связью и с магистральной структурой.**

# АЛУ с непосредственными связями

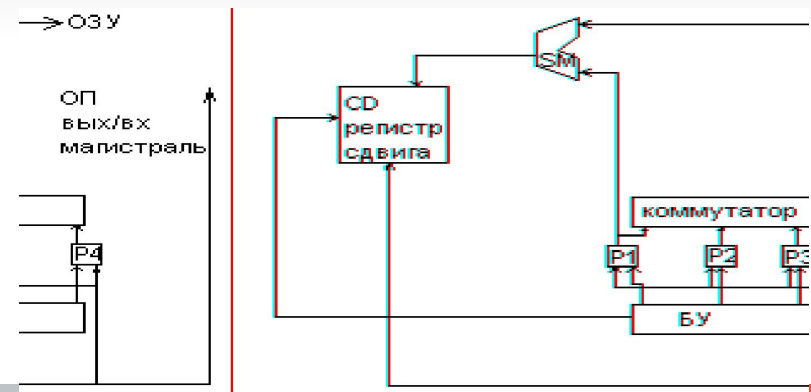


## Принцип организации АЛУ с непосредственными связями:

- сумматор и схема управления соединены непосредственно с выходами соответствующих регистров. Операнды считываются их определенных регистров. Результат определяется и передается также в определенные регистры.

# АЛУ магистральной структуры

Схемы для преобразования информации выделены в отдельные блоки, включающие в себя сумматор и регистр сдвига. Регистры служат лишь для хранения операндов во время их обработки. Вх/вых сумм регистров содержат только схемы приема и выдачи информации.

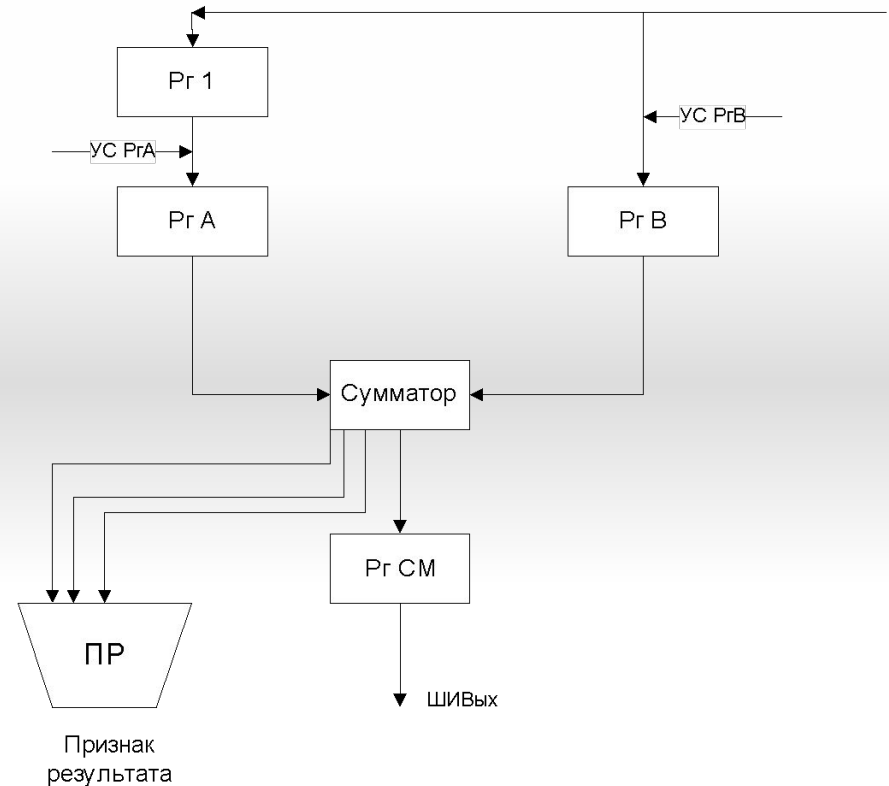


# Структура АЛУ для сложения и вычитания чисел с фиксированной запятой

**При выполнении сложения положительные слагаемые представляются в прямом коде, отрицательные – в дополнительном. Производится сложение двоичных кодов, включая разряды знаков. Если при этом возникает перенос из знакового разряда суммы при отсутствии переноса в этот разряд или перенос в знаковый разряд при отсутствии переноса из разряда знака, то имеется переполнение разрядной сетки соответственно при отрицательной и положительной суммах. Если нет переносов из знакового разряда и в знаковый разряд суммы или есть оба этих переноса, то переполнения нет и при 0 в знаковом разряде сумма положительна, а при 1 отрицательна и представлена в ДК.**

# Алгоритм сложения и вычитания чисел с фиксированной запятой

- **Алгоритм работы:**
- **1) Из памяти по входной информационной шине в АЛУ поступают операнды, причем положительные числа – в прямом, а отрицательные – в дополнительном коде.**
- **2) PrB – первое слагаемое или уменьшаемое**
- **3) PrA – второе слагаемое или вычитаемое. Pr1 связан с PrA цепями прямой и инверсной передачи кода. Прямая передача используется при сложении, инверсная - вычитания**
- **4) Результат операции выдается из АЛУ в оперативную память по выходной информационной шине ШИВых. 5) При выполнении операции в АЛУ формируется 2-разрядный код признака результата ПР.**



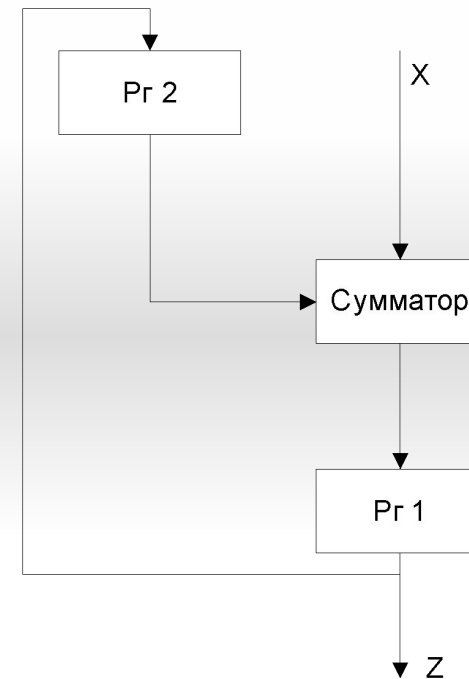
## Алгоритм сложения и вычитания чисел с фиксированной запятой (2)

- 6) Операция алгебраического вычитания  $Z=X-Y=X+(-Y)$  может быть сведена к изменению знака вычитаемого  $Y$  и операции алгебраического сложения. Изменение знака – принятый в  $R_{Г1}$  код инверсно передается в  $R_{ГA}$  и при сложении осуществляется подсуммирование 1 в младший разряд сумматора.
- 7) Передача информации в регистрах АЛУ производится отдельными микрооперациями, инициируемыми соответствующими УСами.

Результат	Признак	результата
0	0	0
<0	0	1
>0	1	0
Переполнение	1	1

# Структура АЛУ для умножения чисел с фиксированной запятой

- (сумматор частичных произведений)
- В ЭВМ операция умножения чисел с фиксированной запятой с помощью соответствующих алгоритмов сводится к операциям сложения и сдвига. Произведение двух  $(n-1)$ -разрядных чисел может иметь  $2(n-1)$  значащих разрядов. Т.о. при операции умножения целых чисел необходимо предусмотреть возможность формирования в АЛУ произведения, имеющего двойную по сравнению с сомножителем длину. В ЭВМ, в которых числа с фиксированной запятой являются дробями, младшие  $n-1$  разрядов произведения часто отбрасываются (возможно с операцией округления).



# Арифметико-логическое устройство (АЛУ): назначение, основные характеристики, обобщенная структурная схема

Обобщенная структурная схема АЛУ включает в себя следующие блоки:

- блок регистров БРег, предназначенный для приёма и размещения операндов и результата операции;
- блок арифметико-логических операций БАЛО, в котором осуществляется преобразование операндов согласно коду операции (КОП) в реализуемой команде;
- блок контроля БКонтр, обеспечивающий непрерывный оперативный контроль и диагностику ошибок;
- блок управления БУ, в котором формируются импульсы синхронизации ИС, координирующие взаимодействие всех блоков АЛУ между собой и с другими блоками процессора.

Устройство работает в соответствии с сообщаемыми ему кодами операций КОП, которые нужно выполнить над переменными, помещаемыми в регистры. На разных этапах выполнения команды операции производится анализ преобразований информации, и на основании сигналов признаков ПР блок БУ формирует и выдает осведомительный сигнал ОС, характеризующий некоторое состояние процессора. В асинхронных АЛУ выполнение операции производится по сигналу НО (начало операции), а переход к выполнению очередной команды — по сигналу КО (конец операции).



# CISC против RISC

**Принципиально новое, что отличает RISC- от CISC-процессоров – это:**

- ***отсутствие аппаратного стека – все операнды хранятся в регистрах общего назначения (РОН);***
- **отсутствие регистра – счетчика команд;**
- ***наличие конвейера, позволяющего за один такт процессора осуществлять несколько вычислений;***
- **четкое разделение потоков команд (инструкций) и данных;**
- **полное равноправие РОН;**

# Структура базового микропроцессора (МП) современных моделей для IBM-совместимых ПЭВМ, взаимодействие его узлов и блоков

- **самостоятельно**

# Параметры микропроцессоров

- **разрядность;**
- **рабочая тактовая частота;**
- **размер кэш-памяти;**
- **состав инструкций;**
- **конструктив;**
- **рабочее напряжение и т. д.**

# Параметры микропроцессоров

**Разрядность шины данных микропроцессора определяет количество разрядов, над которыми одновременно могут выполняться операции; разрядность шины адреса МП определяет его адресное пространство.**

**Адресное пространство -- это максимальное количество ячеек основной памяти, которое может быть непосредственно адресовано микропроцессором.**

**Рабочая тактовая частота МП во многом определяет его внутреннее быстродействие, поскольку каждая команда выполняется за определенное количество тактов. Быстродействие (производительность) ПК зависит также и от тактовой частоты шины системной платы, с которой работает (может работать) МП.**

**Кэш-память, устанавливаемая на плате МП, имеет два уровня:**

- **L1 -- память 1-го уровня, находящаяся внутри основной микросхемы (ядра) МП и работающая всегда на полной частоте МП (впервые кэш L1 был введен в МП i486 и в МП i386SLC);**
- **L2 -- память 2-го уровня, кристалл, размещаемый на плате МП и связанный с ядром внутренней микропроцессорной шиной (впервые введен в МП Pentium II). Память L2 может работать на полной или половинной частоте МП. Эффективность этой кэш-памяти зависит и от пропускной способности микропроцессорной шины.**

# Параметры микропроцессоров

**Состав инструкций -- перечень, вид и тип команд, автоматически исполняемых МП. От типа команд зависит классификационная группа МП (CISC, RISC, VLIW и т. д.). Перечень и вид команд определяют непосредственно те процедуры, которые могут выполняться над данными в МП, и те категории данных, над которыми могут применяться эти процедуры. Дополнительные инструкции в не-больших количествах вводились во многих МП (286, 486, Pentium Pro и т. д.). Но существенное изменение состава инструкций произошло в МП i386 (этот состав далее принят за базовый), Pentium MMX, Pentium III, Pentium 4.**

**Конструктив подразумевает те физические разъемные соединения, в которые устанавливается МП и которые определяют пригодность материнской платы для установки МП. Разные разъемы имеют разную конструкцию (Slot -- щелевой разъем, Socket -- разъем-гнездо), разное количество контактов, на которые подаются различные сигналы и рабочие напряжения.**

**Рабочее напряжение также является фактором пригодности материнской платы для установки МП.**

# Кэш-память

## Кэш – память

**Это статическая память (Static RAM – SRAM), которая, в отличие от динамической памяти, не требует периодической регенерации (обновления). Время доступа у этой памяти не более 2 нс., т. е. она может синхронно работать с процессором на частоте 500 МГц и более. Контроллер кэш – памяти находится в чипе северного моста чипсета материнской платы.**

**В x386 процессорах кэш – память объемом 128 Кб располагалась на материнской плате. Начиная с процессоров x486, появился дополнительный кэш в процессоре, работающий на его частоте, - кэш первого уровня (Level I – L1). На материнской плате устанавливается кэш второго уровня (L2). В большинстве современных процессоров кэш L1 и L2 встроены в ядро процессора. Причем если в Pentium II и Pentium III кэш второго уровня работает на половинной частоте процессора, то у Celeron, AMD K6 – III, Athlon и Pentium IV – на частоте процессора, что положительно сказывается на производительности.**

# Конвейеризация

Существенное повышение производительности МП 80286 по сравнению с базовой моделью семейства стало возможным благодаря внедрению в архитектуру семейства IA32 конвейерной обработки.

*Конвейеризация* позволяет нескольким внутренним блокам МП работать одновременно, совмещая дешифрование команды, операции АЛУ, вычисление эффективного адреса и циклы шины нескольких команд. В составе МП 80286 есть 4 конвейерных устройства:

- BU (Bus Unit) - шинный блок (считывание из памяти и портов ввода/вывода);
- IU (Instruction Unit) - командный блок (дешифрация команд);
- EU (Executive Unit) - исполнительный блок (выполнение команд);
- AU (Address Unit) - адресный блок (вычисляет все адреса, формирует физический адрес).

# Конвейеризация в 286

## Конвейеризация команд в МП 80286

		Циклы шины				
Микрооперации	Выборка <b>V</b> команды <b>U</b>	N+1	N+2			
	N-1	Дешифр. <b>I</b> команды <b>U</b>	N+1	N+2		
	N-2	N-1	Форм. адр. <b>A</b> операнда <b>U</b>	N+1	N+2	
		N-2	N-1	Выборка <b>V</b> операнда <b>U</b>	N+1	N+2
			N-2	N-1	Выполнение <b>E</b> команды <b>U</b>	N+1
				N-2	N-1	Запись <b>V</b> результата <b>U</b>



# Конвейеризация в 486

**Идея конвейеризации** была развита в следующих моделях этого семейства. В МП Intel-486 реализован пятиступенчатый конвейер для обработки команд:

- ❑ **PF (Prefetch)** - предвыборка команд;
- ❑ **D1 (Instruction Decode)** - декодирование команды;
- ❑ **D2 (Address Generate)** - формирование адреса;
- ❑ **EX (Execute)** - выполнение команды в АЛУ и доступ к кэш-памяти;
- ❑ **WB (Write Back)** - обратная запись.

# Конвейеризация в Pentium

## □ Блок-схема архитектуры МП Pentium



# Конвейеризация в Pentium

Новая микроархитектура процессоров Pentium и более поздних базируется на идее суперскалярной обработки. Под суперскалярностью подразумевается наличие более одного конвейера для обработки команд (в отличие от скалярной - одноконвейерной архитектуры). В МП Pentium команды распределяются по двум независимым исполнительным конвейерам (U и V). Конвейер U может выполнять любые команды семейства IA-32, включая целочисленные команды и команды с плавающей точкой. Конвейер V предназначен для выполнения простых целочисленных команд и некоторых команд с плавающей точкой. Команды могут направляться в каждое из этих устройств одновременно, причем при выдаче устройством управления в одном такте пары команд более сложная команда поступает в конвейер U, а менее сложная - в конвейер V ([табл. 5.2](#)). Однако, такая попарная обработка команд (спаривание) возможна только для ограниченного подмножества целочисленных команд. Команды вещественной арифметики не могут запускаться в паре с целочисленными командами. Одновременная выдача двух команд возможна только при отсутствии зависимостей по регистрам.

# Конвейеризация в Pentium

## □ Конвейеризация команд в МП Pentium

Этапы конвейеров	Циклы шины							
PF	K1	K3	K5	K7				
	K2	K4	K6	K8				
D1		K1	K3	K5	K7			
		K2	K4	K6	K8			
D2			K1	K3	K5	K7		
			K2	K4	K6	K8		
EX				K1	K3	K5	K7	
				K2	K4	K6	K8	
WB					K1	K3	K5	K7
					K2	K4	K6	K8

# Динамическое (спекулятивное) исполнение

Одной из главных особенностей шестого поколения микропроцессоров архитектуры IA32 является *динамическое(спекулятивное) исполнение*. Под этим термином подразумевается следующая совокупность возможностей:

- *Глубокое предсказание ветвлений* (с вероятностью  $>90\%$  можно предсказать 10-15 ближайших переходов).
- *Анализ потока данных* (на 20-30 шагов вперед просмотреть программу и определить зависимость команд по данным или ресурсам).
- *Опережающее исполнение команд* (МП P6 может выполнять команды в порядке, отличном от их следования в программе).

## Особенности P6

**Внутренняя организация МП P6 соответствует архитектуре RISC, поэтому блок выборки команд, считав поток инструкций IA-32 из L1 кэша инструкций, декодирует их в серию микроопераций. Поток микроопераций попадает в буфер переупорядочивания (пул инструкций). В нем содержатся как не выполненные пока микрооперации, так и уже выполненные, но еще не повлиявшие на состояние процессора. Для декодирования инструкций предназначены три параллельных дешифратора: два для простых и один для сложных инструкций. Каждая инструкция IA-32 декодируется в 1-4 микрооперации. Микрооперации выполняются пятью параллельными исполнительными устройствами: два для целочисленной арифметики, два для вещественной арифметики и блок интерфейса с памятью. Таким образом, возможно выполнение до пяти микроопераций за такт.**

## Особенности P6

**Блок исполнительных устройств способен выбирать инструкции из пула в любом порядке. При этом благодаря блоку предсказания ветвлений возможно выполнение инструкций, следующих за условными переходами. Блок резервирования постоянно отслеживает в пуле инструкций те микрооперации, которые готовы к исполнению (исходные данные не зависят от результата других невыполненных инструкций) и направляет их на свободное исполнительное устройство соответствующего типа. Одно из целочисленных исполнительных устройств дополнительно занимается проверкой правильности предсказания переходов. При обнаружении неправильно предсказанного перехода все микрооперации, следующие за переходом, удаляются из пула и производится заполнение конвейера команд инструкциями по новому адресу.**

**Взаимная зависимость команд от значения регистров архитектуры IA-32 может требовать ожидания освобождения регистров. Для решения этой проблемы предназначены 40 внутренних регистров общего назначения, используемых в реальных вычислениях.**

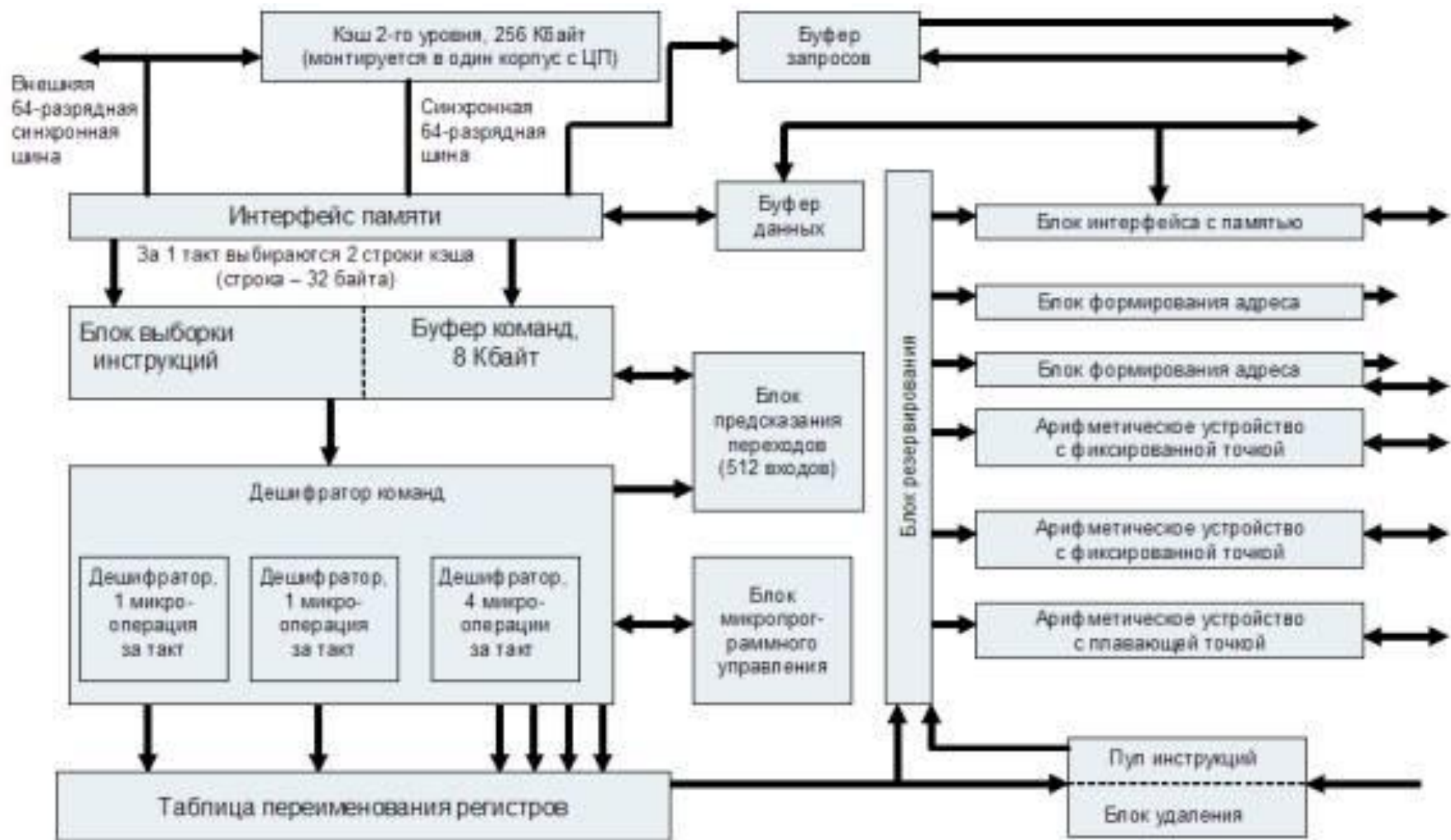
# Разрядность

## Разрядность

**Первые процессорные регистры могли хранить лишь 4 – битные числа. Затем появились 8 – и 16 – битные процессоры, с появлением процессора x386 был реализован 32 – битный режим, что позволило работать с числами размерностью свыше двух миллиардов.**



# Блок схема микропроцессора Pentium Pro



# Технология производства МП

- **Выращивание диоксида кремния и создание проводящих областей**
- **Тестирование**
- **Изготовление корпуса.**
- **Доставка.**

# Технология производства

- <http://www.modlabs.net/articles/sovremennye-mikroprocessor>



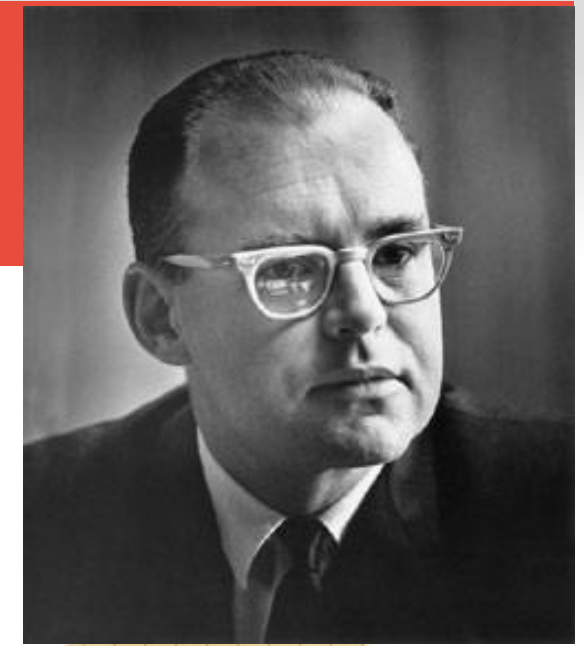
# Закон Мура

Микропроцессор	Год выпуска	Число транзисторов
4004	1971	2.300
8008	1972	2.500
8080	1974	5.000
8086	1978	29.000
286	1982	120.000
Intel 386™ processor	1985	275.000
Intel 486™ processor	1989	1.180.000
Intel® Pentium® processor	1993	3.100.000
Intel® Pentium® II processor	1997	7.500.000
Intel® Pentium® III processor	1999	24.000.000
Intel® Pentium® 4 processor	2000	42.000.000
Intel® Itanium® processor	2002	220.000.000
Intel® Itanium® 2 processor	2003	410.000.000

# Закон Мура

- **50 лет назад микроэлектроника пребывала в зачаточном состоянии. Чипов тогда производилось совсем мало, в самой сложной микросхеме компании Fairchild было всего 64 транзистора, о каких-либо достоверных статистических данных в этой отрасли не приходилось и говорить. Остается лишь поражаться, как в таких обстоятельствах Гордон Мур сумел предугадать фантастические темпы развития всей отрасли на несколько десятилетий вперед и предсказать, что количество транзисторов на чипе ежегодно будет удваиваться. Более того, одновременно он сделал провидческий прогноз последствий этого, предсказав, что по мере экспоненциального увеличения числа транзисторов на микросхеме процессоры будут становиться все более дешевыми и быстродействующими, а их производство — все более массовым.**
- **В своей первоначальной формулировке он действовал до 1975 года, когда, выступая на конференции «International Electron Devices Meeting», Гордон Мур внес в него коррективы, высказав предположение, что при производстве все более сложных чипов удвоение числа транзисторов будет происходить каждые два года. И опять он оказался прав, разве что в последние годы количество транзисторов на микропроцессоре порой удваивается с интервалом в полтора года.**

# Закон Мура



- В 1978 году авиабилет по маршруту Нью-Йорк-Париж стоил около 900 долларов, а перелет длился около 7 часов. Если бы авиаиндустрия развивалась в соответствии с законом Мура, то сегодня авиабилет на тот же маршрут стоил бы менее цента, а перелет занял бы менее одной секунды.
- За время существования корпорации Intel (то есть с 1968 года) себестоимость производства транзисторов упала до такой степени, что теперь обходится примерно во столько же, сколько стоит напечатать любой типографский знак — например, запятую.

