

*Курс лекций по дисциплине
«Цифровая схемотехника»*

Системы счисления

Изначально число – способ выражения **количества** предметов или количественного отношения между предметами

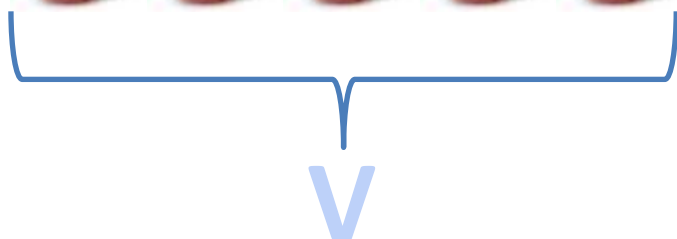
Можно придумать разные способы изображения (хранения) числа. Значение числа от способа его изображения **не** зависит

Системы счисления бывают:

- непозиционная;
- позиционная.

Системы счисления

- Римская система счисления



IIIIII

Число = количество
значков,
натуральный счет
Римская система.

Число = сумма значений
разных значков



MCCLVIII

ябло
к

I – 1

V – 5

X – 10

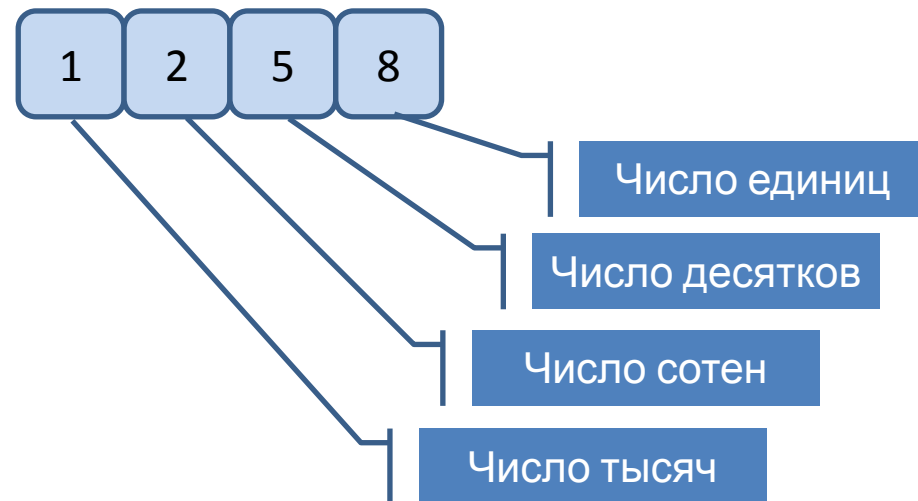
L – 50

C – 100

M – 1000

Системы счисления

- Десятичная система счисления



$$1 \cdot 1000 + 2 \cdot 100 + 5 \cdot 10 + 8 = 1258$$

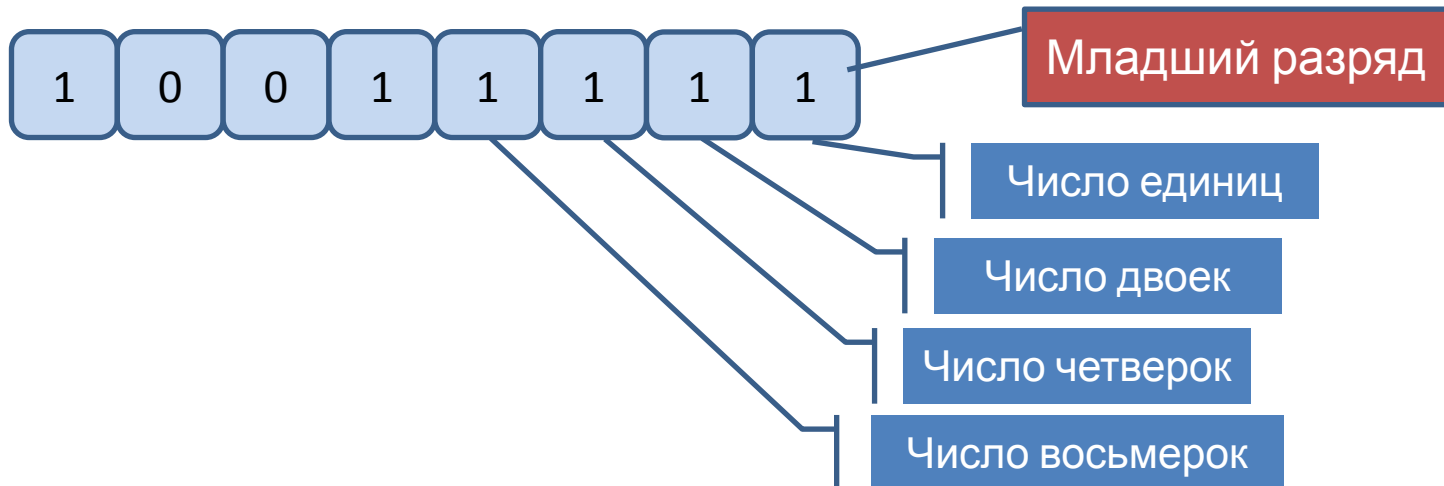
- Позиционная** система записи и хранения чисел очень удобна для вычислений
- В позиционной системе фиксированное количество значков позволяет записать любое число
- Чем больше используется значков, тем короче запись числа

Системы счисления

- Двоичная система счисления

$9 + 5 \cdot 10 + 1 \cdot 100 = 159$ – это **десятичная** запись числа

Двоичная система использует всего **два знака** для записи чисел. Соответственно, **младший** разряд хранит число **единиц**, следующий за ним – число **двоек**, следующий – число **четверок** и т. д. Что хранит **старший** разряд – зависит от разрядности.



$$1 + 1 \cdot 2 + 1 \cdot 4 + 1 \cdot 8 + 1 \cdot 16 + 0 \cdot 32 + 0 \cdot 64 + 1 \cdot 128 = 159$$

Системы счисления


- Шестнадцатеричная система счисления

В шестнадцатеричном виде числа

записываются с помощью

последовательности значков 0 – 9 и A – F

1258 или **4EA** яблоко



$$\begin{array}{r} A = 10 \times 16^0 \\ + \\ E = 14 \times 16^1 \\ + \\ 4 = 4 \times 16^2 \\ \hline = 1258 \end{array}$$

Представление числа		
Шестнадцатеричное	Двоичное	Десятичное
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
A	1010	10
B	1011	11
C	1100	12
D	1101	13
E	1110	14
F	1111	15

СИСТЕМЫ СЧИСЛЕНИЯ

Перевод чисел из двоичной системы в шестнадцатеричную и наоборот

- Для перевода многозначного двоичного числа в шестнадцатеричную систему нужно разбить его на тетрады справа налево и заменить каждую тетраду соответствующей шестнадцатеричной цифрой.
- Для перевода числа из шестнадцатеричной системы в двоичную нужно заменить каждую его цифру на соответствующую тетраду двоичной системы.

Например: $010110100011_2 = 0101\ 1010\ 0011 = 5A3_{16}$

Логические устройства

Основные положения алгебры логики

Переменная величина X в алгебре логики может принимать: $X = 1$ (*логическая единица лог. «1»*);
 $X = 0$ (*логический ноль лог. «0»*)

Три основных операции:

- инверсия (логическое отрицание);
- дизъюнкция (логическое сложение);
- конъюнкция (логическое умножение).

Инверсия (логическое отрицание)

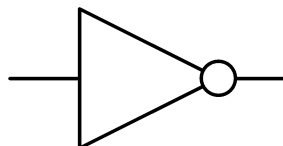
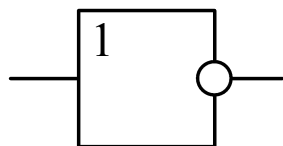
Операция инверсии на языке логики называется «НЕ», «NOT».

Инвертированный сигнал X в алгебре логики обозначается как \bar{X} . $Y = \bar{X}$

Зависимость между логическими переменными отображается таблицами истинности.

X	Y
0	1
1	0

На электрических схемах:



Дизъюнкция (логическое сложение)

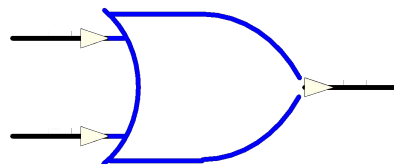
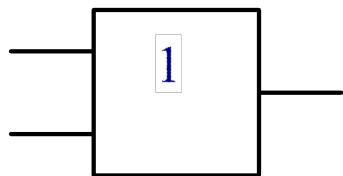
Операция дизъюнкции на языке логики называется «ИЛИ», «OR»

Дизъюнкция сигналов X_1 и X_2 в алгебре логики записывается как $Y = X_1 + X_2$; $Y = X_1 \vee X_2$

Таблица истинности

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	1

На электрических схемах:



Конъюнкция (логическое умножение)

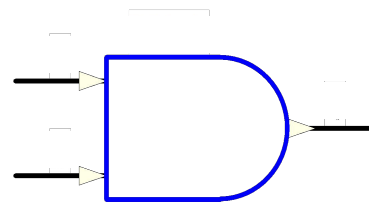
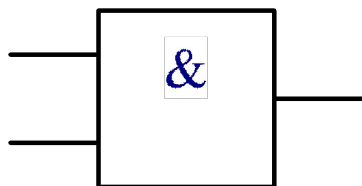
Операция конъюнкции на языке логики называется «И», «AND».

Конъюнкция сигналов X_1 и X_2 в алгебре логики записывается как $Y = X_1 * X_2$; $Y = X_1 \vee X_2$

Таблица истинности

X_1	X_2	Y
0	0	0
0	1	0
1	0	0
1	1	1

На электрических схемах:



«Исключающее или»

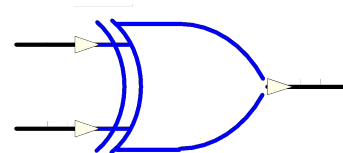
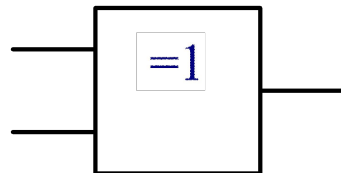
Операция «исключающее или» на языке логики называется «XOR», «eXclusive OR»

XOR сигналов X_1 и X_2 в алгебре логики записывается как $Y = X_1 \oplus X_2$; $Y = X_1 \bar{X}_2 + \bar{X}_1 X_2$

Таблица истинности

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	0

На электрических схемах:



Основные соотношения , правила, теоремы

- $$X+0=X \qquad X \cdot 0 = 0$$
$$X+1=1 \qquad X \cdot 1 = X$$
$$X+X=X \qquad X \cdot X=X$$
$$X+\bar{X}=1 \qquad X \cdot \bar{X}=0$$

Дистрибутивный закон:

$$X_1 + X_2 \cdot X_3 = (X_1 + X_2) \cdot (X_1 + X_3)$$
$$X_1 \cdot (X_2 + X_3) = X_1 \cdot X_2 + X_1 \cdot X_3$$

Закон поглощения:

$$X_1 + X_1 \cdot X_2 = X_1; \quad X_1 \cdot (X_1 + X_2) = X_1$$

Правило склеивания:

$$(X_1 + X_2) \cdot (\bar{X}_1 + X_2) = X_2; \quad X_1 \cdot X_2 + \bar{X}_1 \cdot X_2 = X_2$$

Правило двойного отрицания $X = \bar{\bar{X}}$

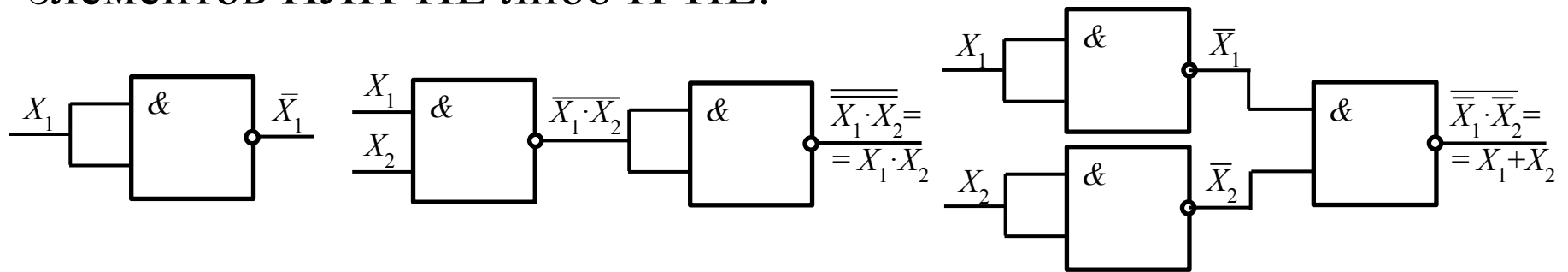
Теорема де Моргана:

$$\overline{X_1 + X_2} = \bar{X}_1 \cdot \bar{X}_2; \quad \overline{X_1 \cdot X_2} = \bar{X}_1 + \bar{X}_2$$

Логические функции

При реализации логических устройств, предназначенных для обработки логических сигналов, необходимо иметь элементы, осуществляющие операции НЕ, ИЛИ, И. Это есть *функционально полная система логических элементов* или *логический базис*.

Но эта система является структурно избыточной, потому что учитывая соотношения теоремы де Моргана можно осуществить все три логических операции с использованием только двух элементов ИЛИ-НЕ либо И-НЕ.



При схемной реализации систем с *минимальным логическим базисом* идут по пути использования универсальных логических элементов.

Логические функции

В общем случае логическая функция Y может зависеть от нескольких переменных X_1, X_2, \dots, X_n . Наиболее часто связь между логической функцией и логическими переменными задается в виде таблицы истинности или в алгебраической форме. Определить структуру логического устройства можно, исходя из алгебраической формы записи. Переход от таблицы истинности к алгебраической форме записи осуществляется с использованием совершенной конъюнктивной нормальной формы (СКНФ), либо совершенной дизъюнктивной нормальной формы (СДНФ). Также может использоваться метод карт Карно.

СДНФ – составляется сумма (дизъюнкция) произведений независимых логических переменных, для которых функция принимает значение равно единице. Если какая-либо переменная равна нулю, то берется ее инверсное значение.

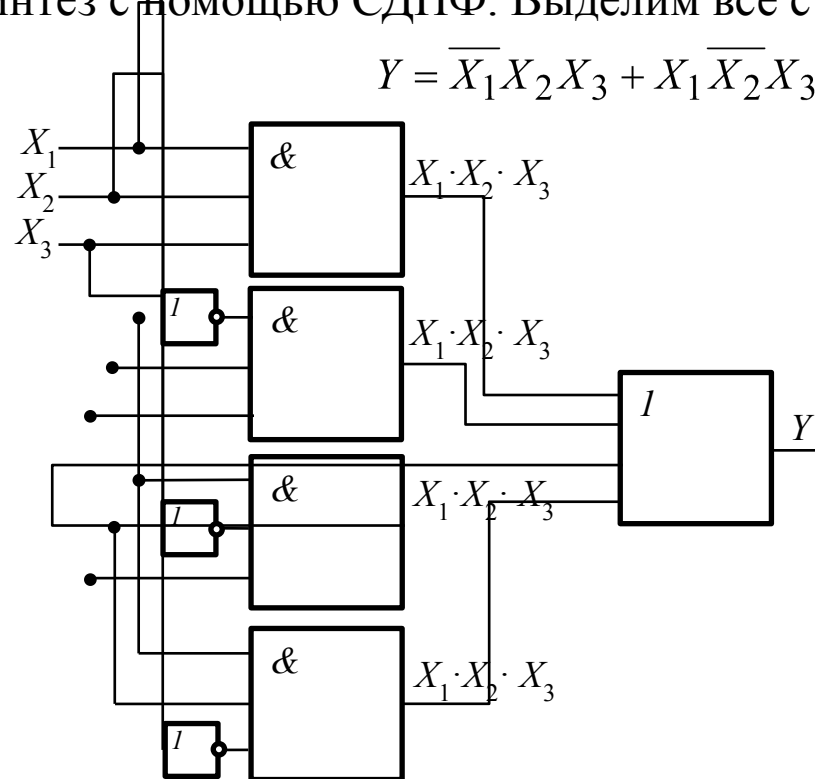
СКНФ – составляется произведение (конъюнкция) сумм логических переменных, для которых логическая функция принимает значение равно нулю. Если какая-либо переменная равна единице, то берется ее инверсное значение.

Логические функции

Синтезировать систему мажоритарного голосования. Данное устройство должно вырабатывать лог. 1 на выходе, если хотя бы на двух из трех входов присутствует высокий уровень напряжения.

1. Синтез с помощью СДНФ. Выделим все строки, в которых $Y = 1$.

X_1	X_2	X_3	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



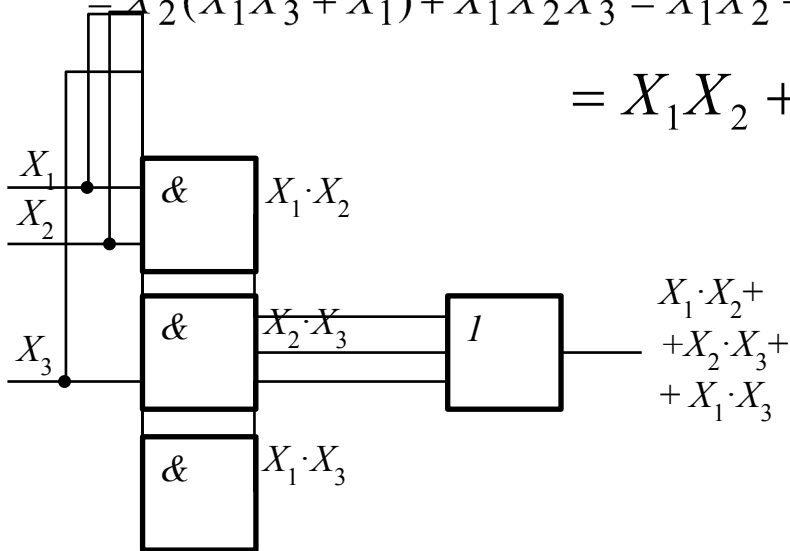
2. Синтез с помощью СКНФ. Выделим все строки, у которых $Y = 0$.

$$Y = (X_1 + X_2 + X_3)(X_1 + X_2 + \overline{X_3})(X_1 + \overline{X_2} + X_3)(\overline{X_1} + X_2 + X_3)$$

Минимизация логических функций

Минимизация логических функций осуществляется с использованием основных аксиом алгебры логики.

$$\begin{aligned}
 Y &= \overline{X_1}X_2X_3 + X_1\overline{X_2}X_3 + X_1X_2\overline{X_3} + X_1X_2X_3 = \overline{X_1}X_2X_3 + X_1\overline{X_2}X_3 + X_1X_2 = \\
 &= X_2(\overline{X_1}X_3 + X_1) + X_1\overline{X_2}X_3 = X_1X_2 + X_2X_3 + X_1\overline{X_2}X_3 = X_1X_2 + X_3(X_2 + X_1\overline{X_2}) = \\
 &= X_1X_2 + X_2X_3 + X_1X_3
 \end{aligned}$$



Наиболее широкое распространение получил метод с использованием карт Карно. Карта Карно представляет собой несколько модернизированную таблицу истинности.

X1X2				
X3	00	10	11	01
0	0	0	1	0
1	0	1	1	1

В данном случае можно выделить три области смежных ячеек с единичным значением Y :

a – X_1X_3 , **б** – X_1X_2 , **в** – X_2X_3 .

Результат синтеза: $Y = a + б + в = X_1X_3 + X_1X_2 + X_2X_3$.

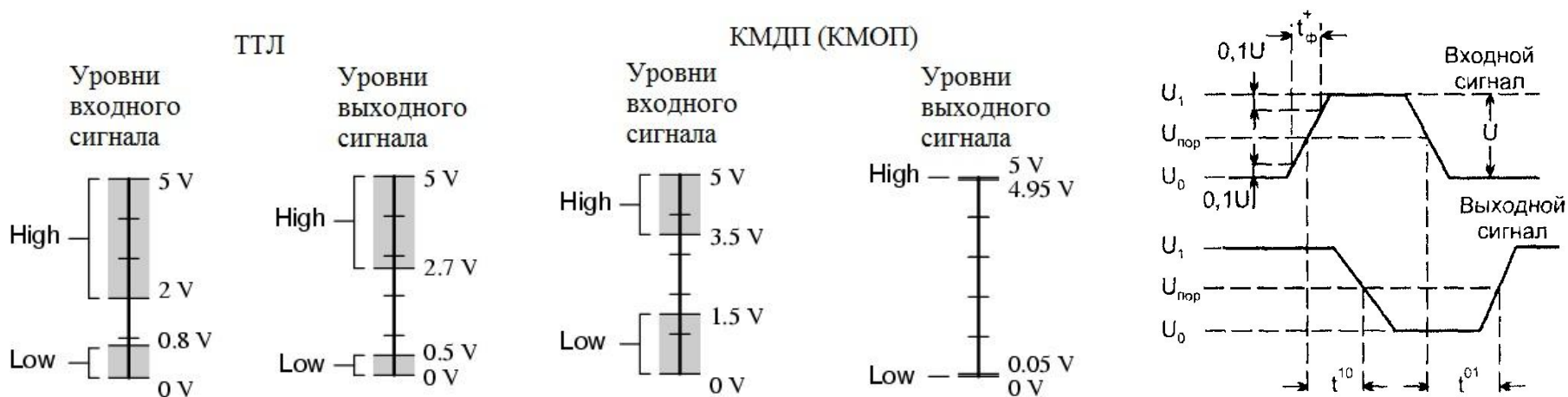
Типы логических элементов

Существует несколько типов транзисторных логик, которые реализуют универсальные логические элементы. Из основных можно выделить:

- а) транзисторно-транзисторная логика (ТТЛ);
- б) эмиттерно-связанная логика (ЭСЛ);
- в) транзисторная логика на комплементарных ключах (КМДП (КМОП)).

Параметры логических элементов можно разделить:

- а) статические (напряжение питания, уровни логических нуля и единицы, логический перепад, токи);
- б) динамические (быстродействие, определяемое скоростями перехода из одного состояния в другое).

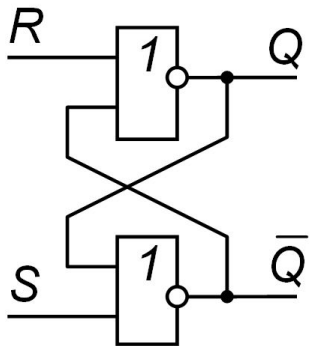


Триггеры

Триггер – устройство, имеющие два устойчивых состояния и способное под действием управляющих сигналов скачком переходить из одного устойчивого состояния в другое.

Два типа: асинхронные и синхронные.

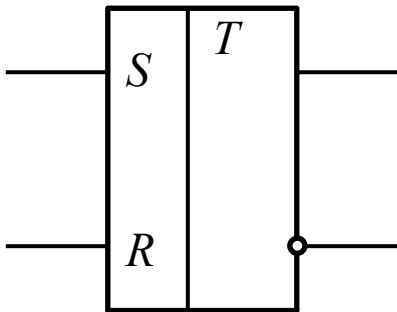
RS-триггер с прямыми входами:



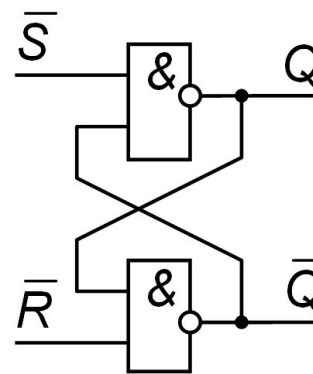
$$Q_{n+1} = f(S_n, R_n, Q_n)$$

$$Q_{n+1} = S_n + \bar{R}_n Q_n$$

S_n	R_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X



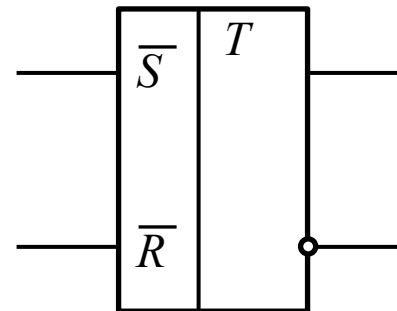
RS-триггер с инверсными входами



$$Q_{n+1} = f(S_n, R_n, Q_n)$$

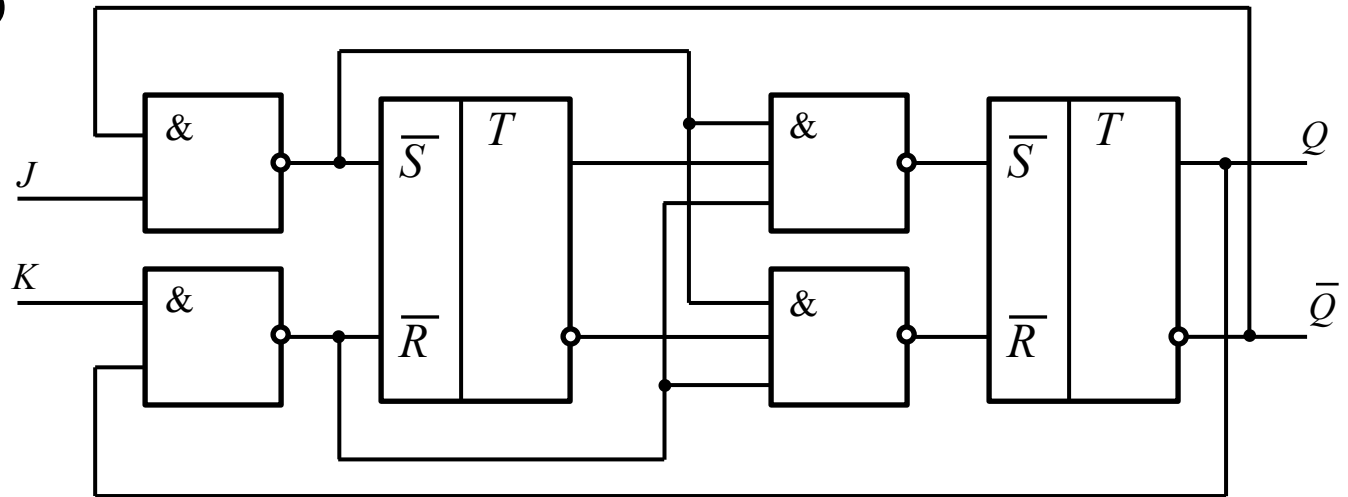
$$Q_{n+1} = \bar{S}_n + R_n Q_n$$

S_n	R_n	Q_n	Q_{n+1}
0	0	0	X
0	0	1	X
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



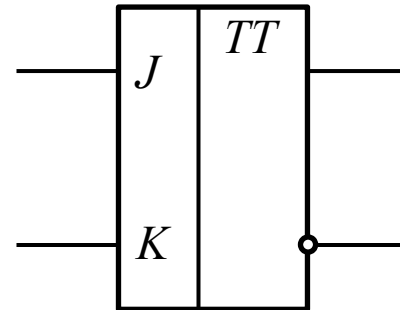
Асинхронные триггеры

JK-триггер



J_n	K_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

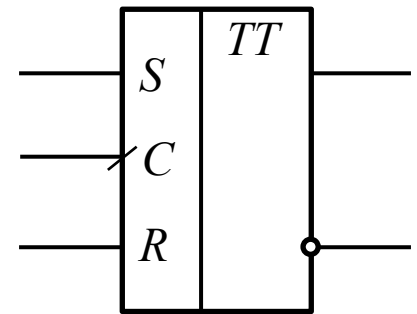
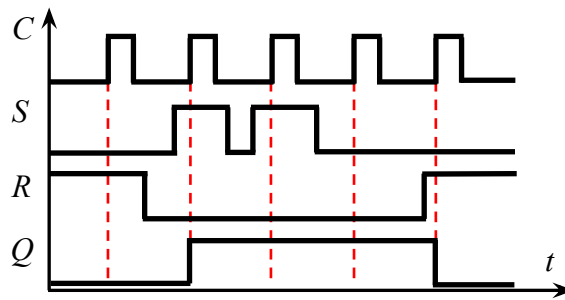
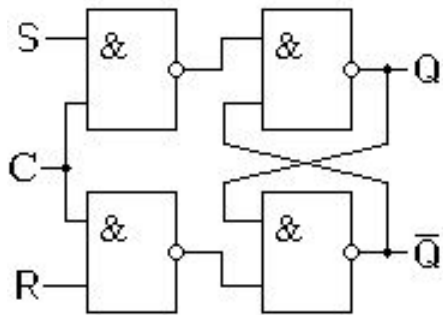
$$Q_{n+1} = \overline{K_n} \cdot Q_n + J_n \overline{Q_n}$$



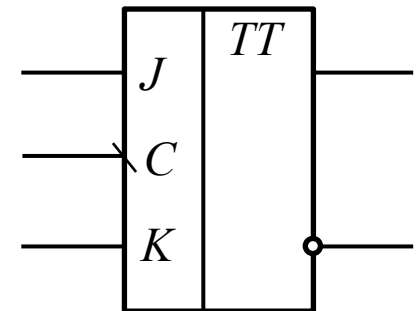
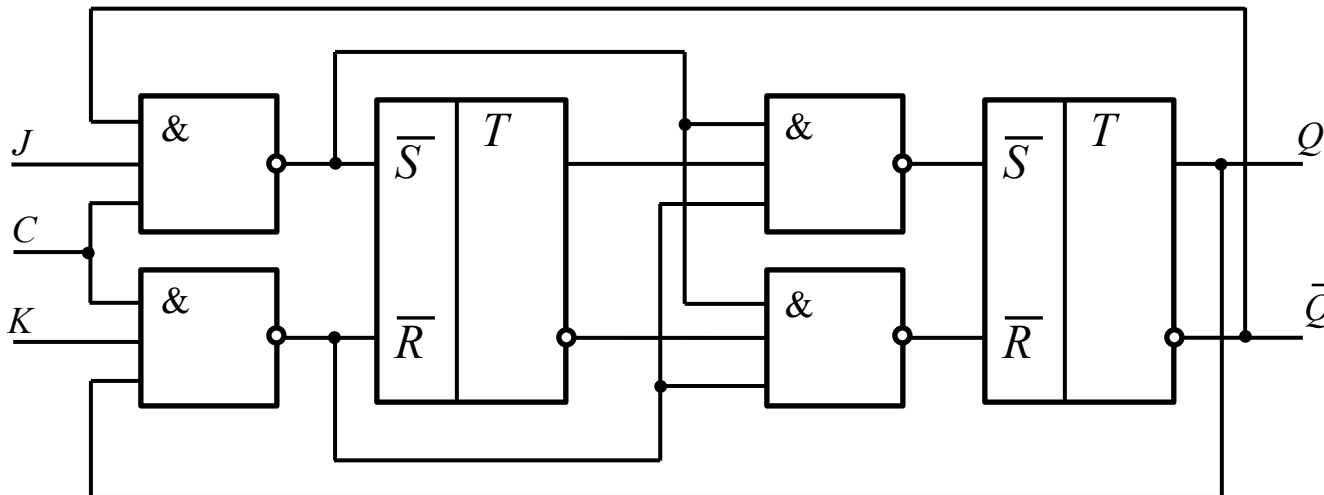
Синхронные триггеры

Синхронные триггеры срабатывают при наличии информационных сигналов в момент подачи сигнала синхронизации.

Синхронный RS -триггер:

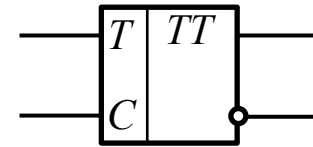
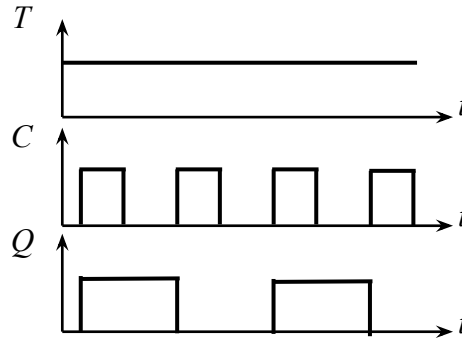
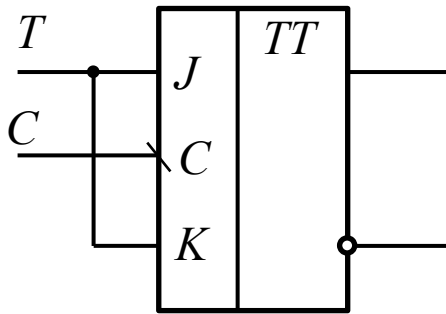


Синхронный JK -триггер:

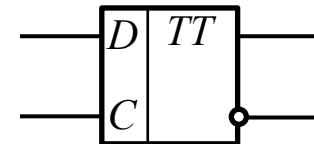
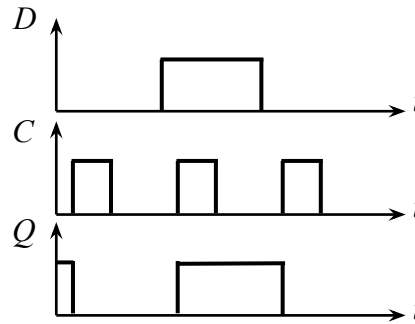
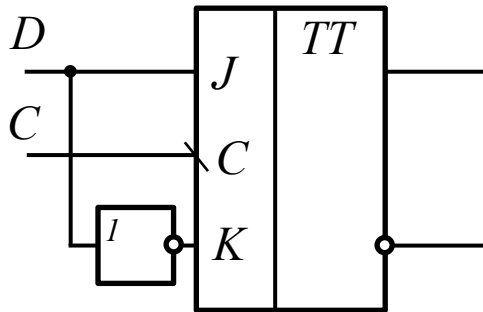


Синхронные триггеры

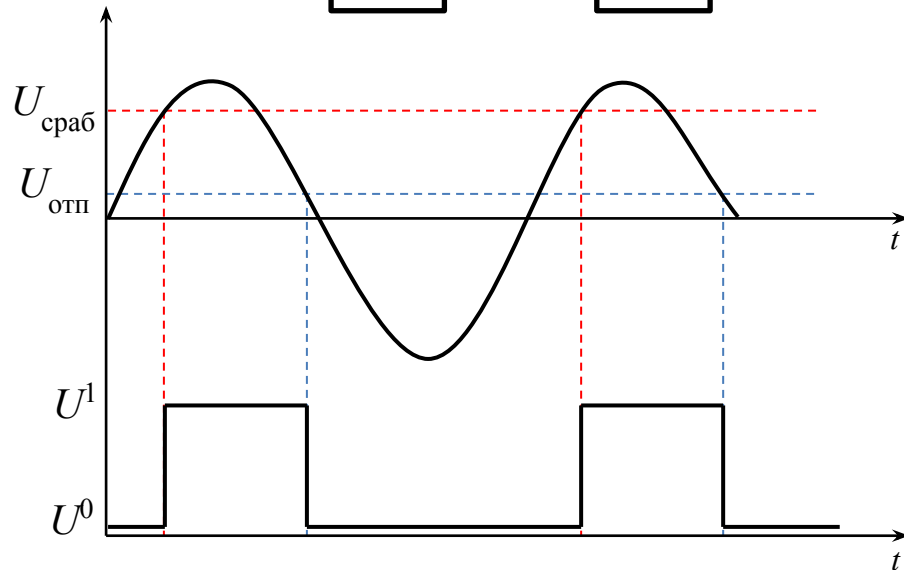
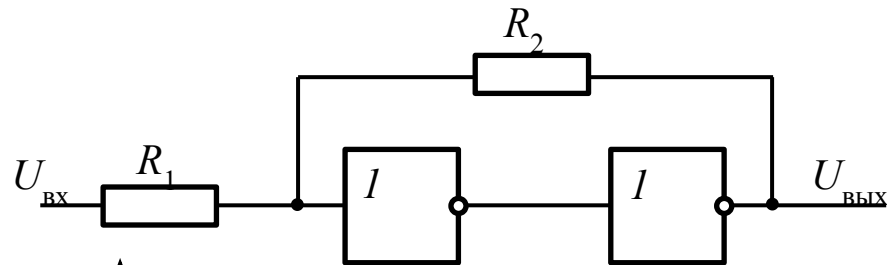
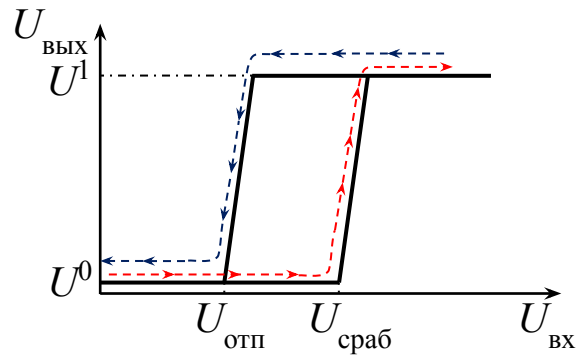
T-триггер



D-триггер



Несимметричный триггер



Цифровые функциональные узлы

Это устройство, предназначенное для выполнения определенных действий с двоичными переменными: сложение, преобразование, счет, прием, передачу и хранение цифровой информации.

Два класса функциональных узлов:

- комбинационный тип;
- последовательностный тип.

Комбинационными называются функциональные узлы, выходной сигнал которых определяется комбинацией логических сигналов на входах, действующих в данный момент времени.

Последовательностными называются функциональные узлы, выходной сигнал которых зависит не только от значений входных сигналов, действующих в данный момент времени, но и от предыдущих значений.

Шифратор

Функциональный узел, предназначенный для преобразования поступающих на его входы управляющих сигналов (команд) в n -разрядный двоичный код.

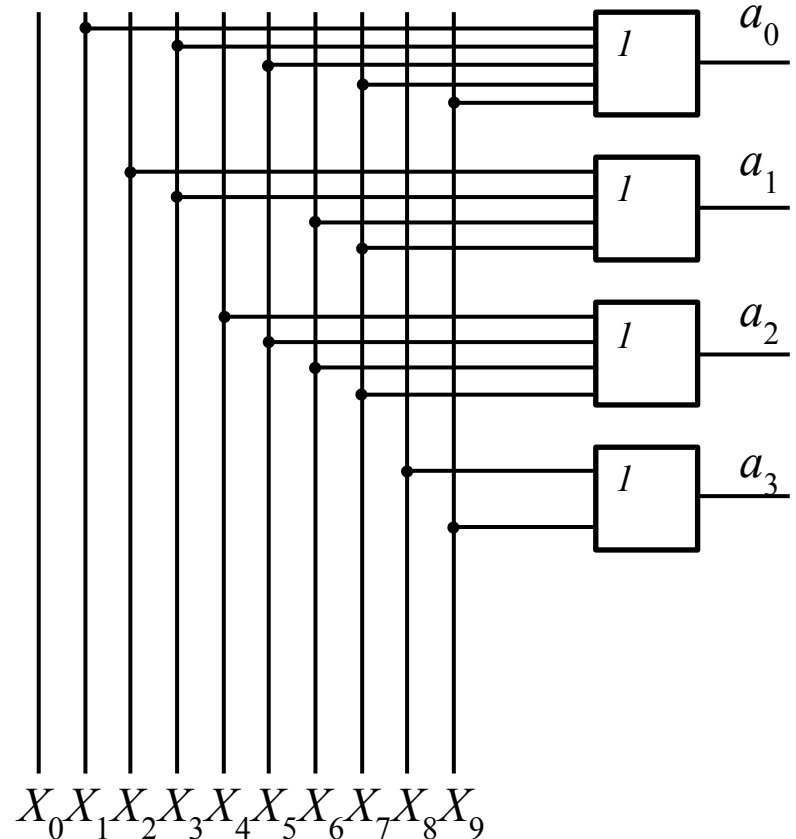
число	a_3	a_2	a_1	a_0
X_0	0	0	0	0
X_1	0	0	0	1
X_2	0	0	1	0
X_3	0	0	1	1
X_4	0	1	0	0
X_5	0	1	0	1
X_6	0	1	1	0
X_7	0	1	1	1
X_8	1	0	0	0
X_9	1	0	0	1

$$a_0 = X_1 + X_3 + X_5 + X_7 + X_9$$

$$a_1 = X_2 + X_3 + X_6 + X_7$$

$$a_2 = X_4 + X_5 + X_6 + X_7$$

$$a_3 = X_8 + X_9$$



Дешифратор

Функциональный узел, предназначенный для преобразования n-разрядного двоичного кода в комбинацию управляющих выходных сигналов.

ВХОДНОЙ КОД				ВЫХОДНОЙ СИГНАЛ									
a_3	a_2	a_1	a_0	X_0	X_1	X_2	X_3	X_4	X_5	X_6	X_7	X_8	X_9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

$$X_0 = \overline{a_3} \cdot \overline{a_2} \cdot \overline{a_1} \cdot \overline{a_0}$$

$$X_1 = \overline{a_3} \cdot \overline{a_2} \cdot \overline{a_1} \cdot a_0$$

$$X_2 = \overline{a_3} \cdot \overline{a_2} \cdot a_1 \cdot \overline{a_0}$$

$$X_3 = \overline{a_3} \cdot \overline{a_2} \cdot a_1 \cdot a_0$$

$$X_4 = \overline{a_3} \cdot a_2 \cdot \overline{a_1} \cdot \overline{a_0}$$

$$X_5 = \overline{a_3} \cdot a_2 \cdot \overline{a_1} \cdot a_0$$

$$X_6 = \overline{a_3} \cdot a_2 \cdot a_1 \cdot \overline{a_0}$$

$$X_7 = \overline{a_3} \cdot a_2 \cdot a_1 \cdot a_0$$

$$X_8 = a_3 \cdot \overline{a_2} \cdot \overline{a_1} \cdot \overline{a_0}$$

$$X_9 = a_3 \cdot \overline{a_2} \cdot \overline{a_1} \cdot a_0$$

Дешифратор

$a_0 a_1$	00	10	11	01
$a_2 a_3$	00	10	11	01
00	X_0	X_1	X_3	X_2
10	X_4	X_5	X_7	X_6
11	1	1	1	1
01	X_8	X_9	1	1

$$X_0 = \overline{a_3} \cdot \overline{a_2} \cdot \overline{a_1} \cdot \overline{a_0}$$

$$X_1 = \overline{a_3} \cdot \overline{a_2} \cdot \overline{a_1} \cdot a_0$$

$$X_2 = \overline{a_2} \cdot a_1 \cdot \overline{a_0}$$

$$X_3 = \overline{a_2} \cdot a_1 \cdot a_0$$

$$X_4 = a_2 \cdot \overline{a_1} \cdot \overline{a_0}$$

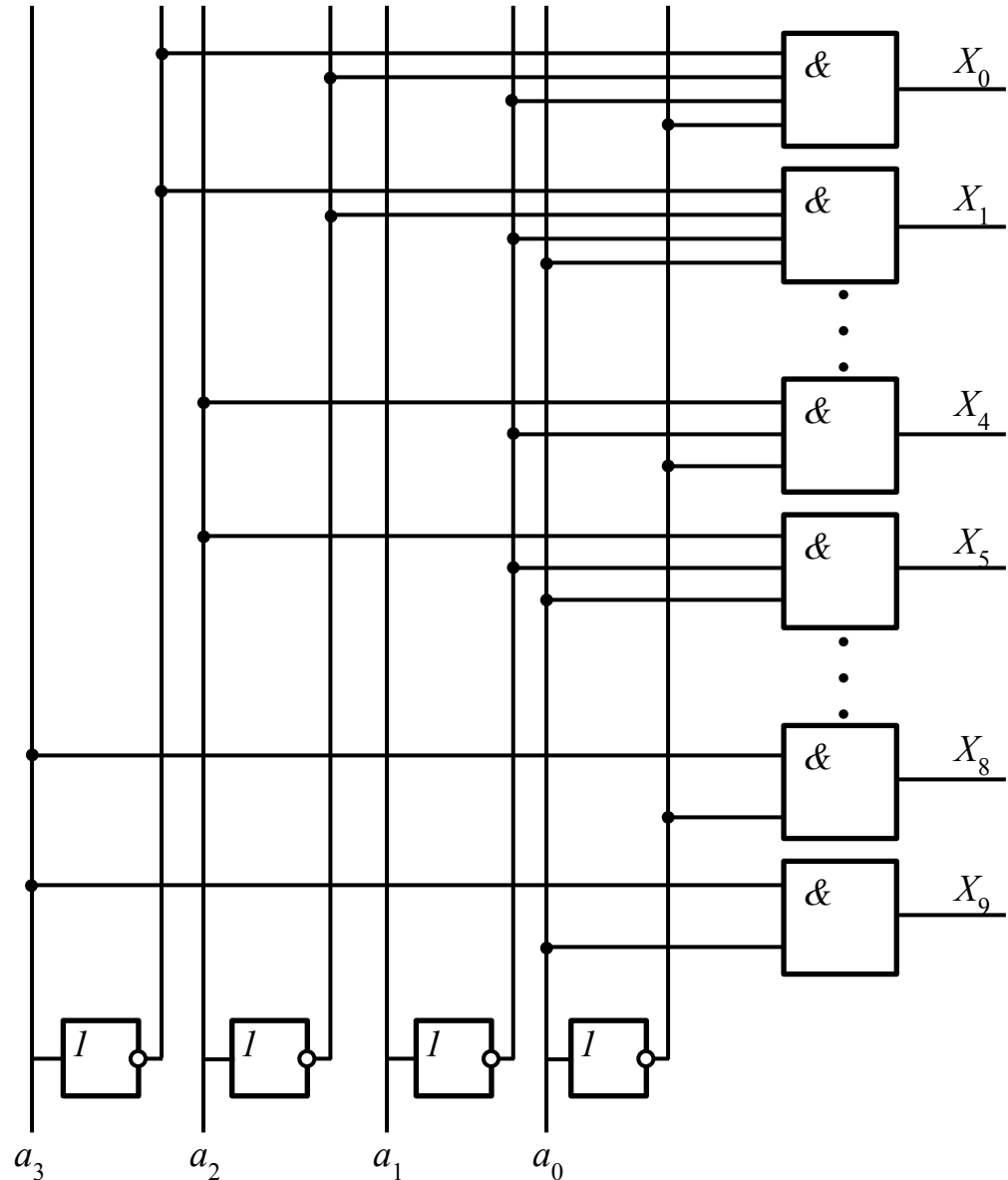
$$X_5 = a_2 \cdot \overline{a_1} \cdot a_0$$

$$X_6 = a_2 \cdot a_1 \cdot \overline{a_0}$$

$$X_7 = a_2 \cdot a_1 \cdot a_0$$

$$X_8 = a_3 \cdot \overline{a_0}$$

$$X_9 = a_3 \cdot a_0$$



Мультиплексор

Функциональный узел, который осуществляет управляемую коммутацию информации, поступающей по N входным линиям, на одну выходную линию. Коммутация определенной входной линии происходит в соответствии с двоичным адресным кодом.

Если адресный код имеет n разрядов, то можно осуществить $N = 2^n$ комбинаций адресных сигналов.

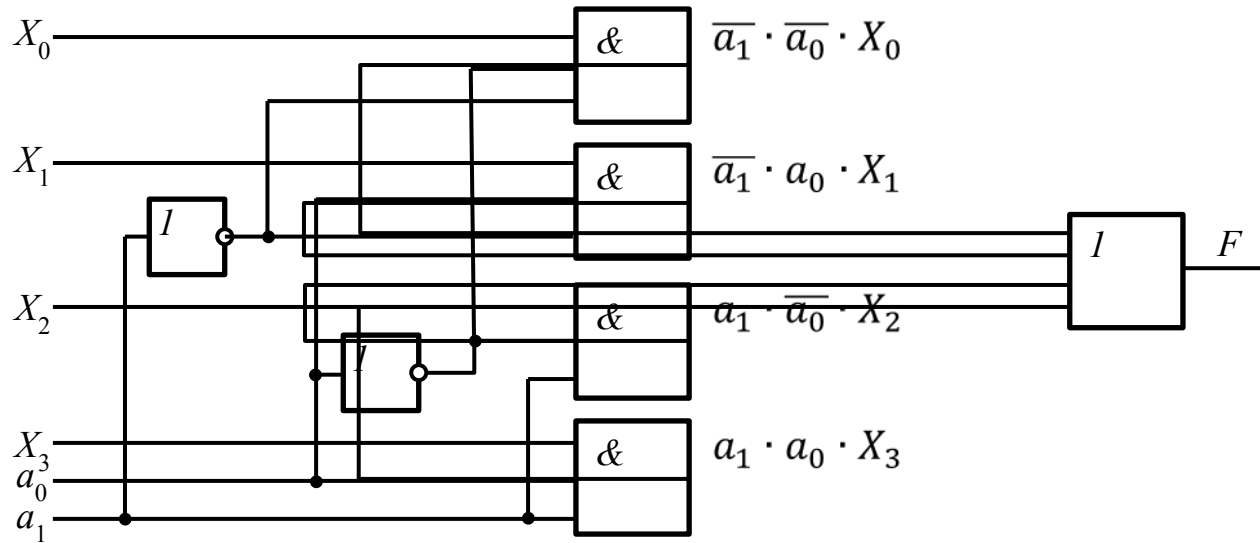
Рассмотрим $n = 2$, $N = 4$. F – значение информации.

Таблица функционирования будет следующей:

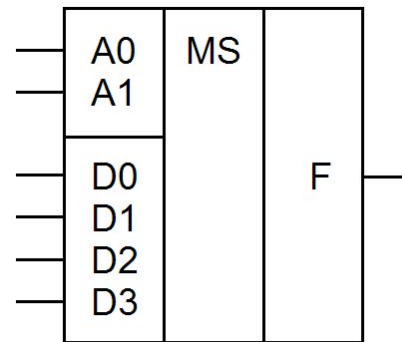
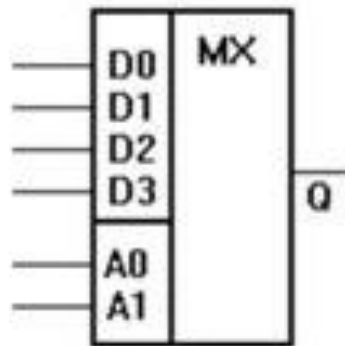
a_1	a_0	F
0	0	X_0
0	1	X_1
1	0	X_2
1	1	X_3

$$F = \bar{a}_1 \cdot \bar{a}_0 \cdot X_0 + \bar{a}_1 \cdot a_0 \cdot X_1 + a_1 \cdot \bar{a}_0 \cdot X_2 + a_1 \cdot a_0 \cdot X_3$$

Мультиплексор



Условное обозначение:



Демультимплексор

Функциональный узел, осуществляющий управляемую коммутацию информации, поступающей по одному входу на один из N выходов.

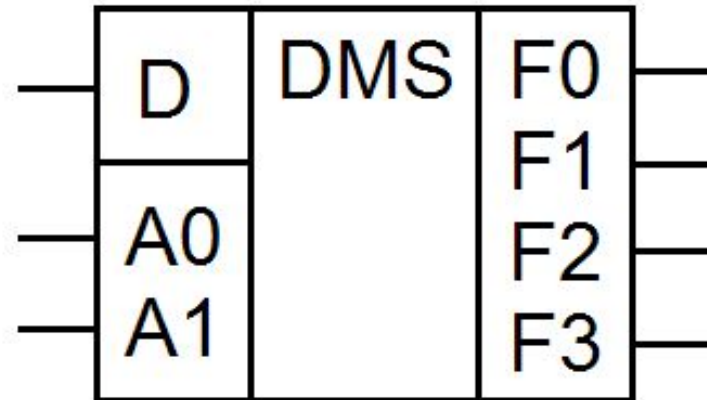
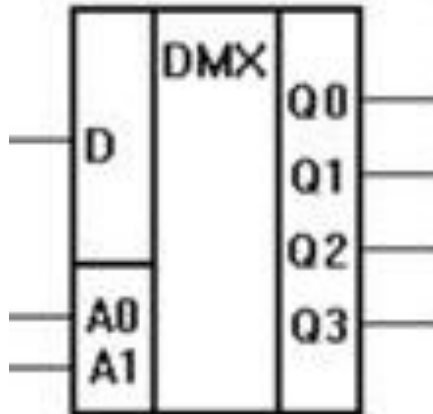
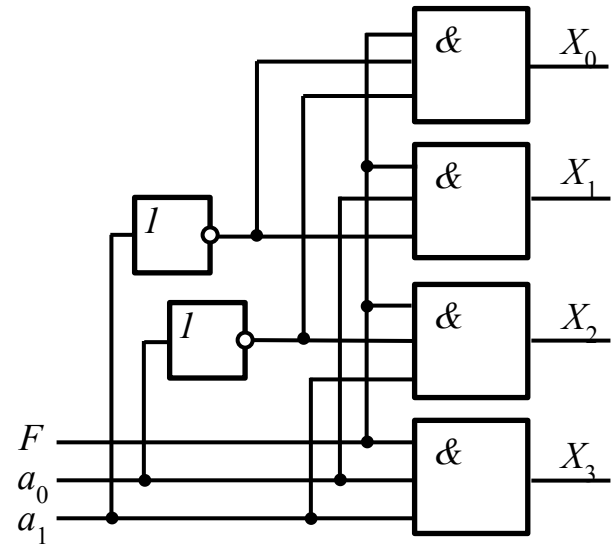
a_1	a_0	X_0	X_1	X_2	X_3
0	0	F	0	0	0
0	1	0	F	0	0
1	0	0	0	F	0
1	1	0	0	0	F

$$X_0 = \overline{a_1} \cdot \overline{a_0} \cdot F$$

$$X_1 = \overline{a_1} \cdot a_0 \cdot F$$

$$X_2 = a_1 \cdot \overline{a_0} \cdot F$$

$$X_3 = a_1 \cdot a_0 \cdot F$$



Сумматор

Функциональный узел, выполняющий арифметическое сложение кодов двух чисел.

По количеству одновременно обрабатываемых разрядов складываемых чисел:

- одноразрядные,
- многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров:

- четвертьсумматоры;
- полусумматоры;
- полные одноразрядные двоичные сумматоры.

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

- последовательные, в которых обработка чисел ведется поочередно, разряд за разрядом на одном и том же оборудовании;
- параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется свое оборудование.

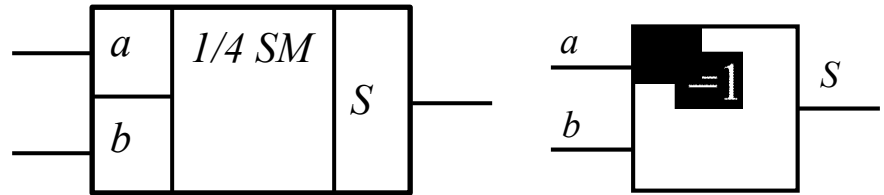
Сумматор

Четвертьсумматор

характеризуется наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма.

a	b	S
0	0	0
0	1	1
1	0	1
1	1	0

$$S = a \oplus b = a\bar{b} + \bar{a}b$$

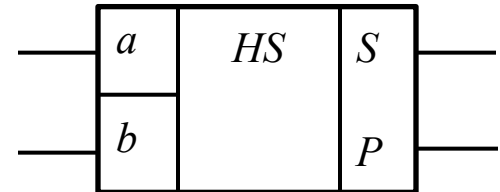


Полусумматор

характеризуется наличием двух входов, на которые подаются одноименные разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом перенос в следующий (более старший разряд).

a	b	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = a \oplus b = a\bar{b} + \bar{a}b$$
$$P = ab$$



Сумматор

Полный одноразрядный двоичный сумматор

характеризуется наличием трех входов, на которые подаются одноименные разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом перенос в следующий (более старший разряд).

Для S :

a	b	P_0	S	P_1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

ab	00	10	11	01
P_0				
0	0	1	0	1
1	1	0	1	0

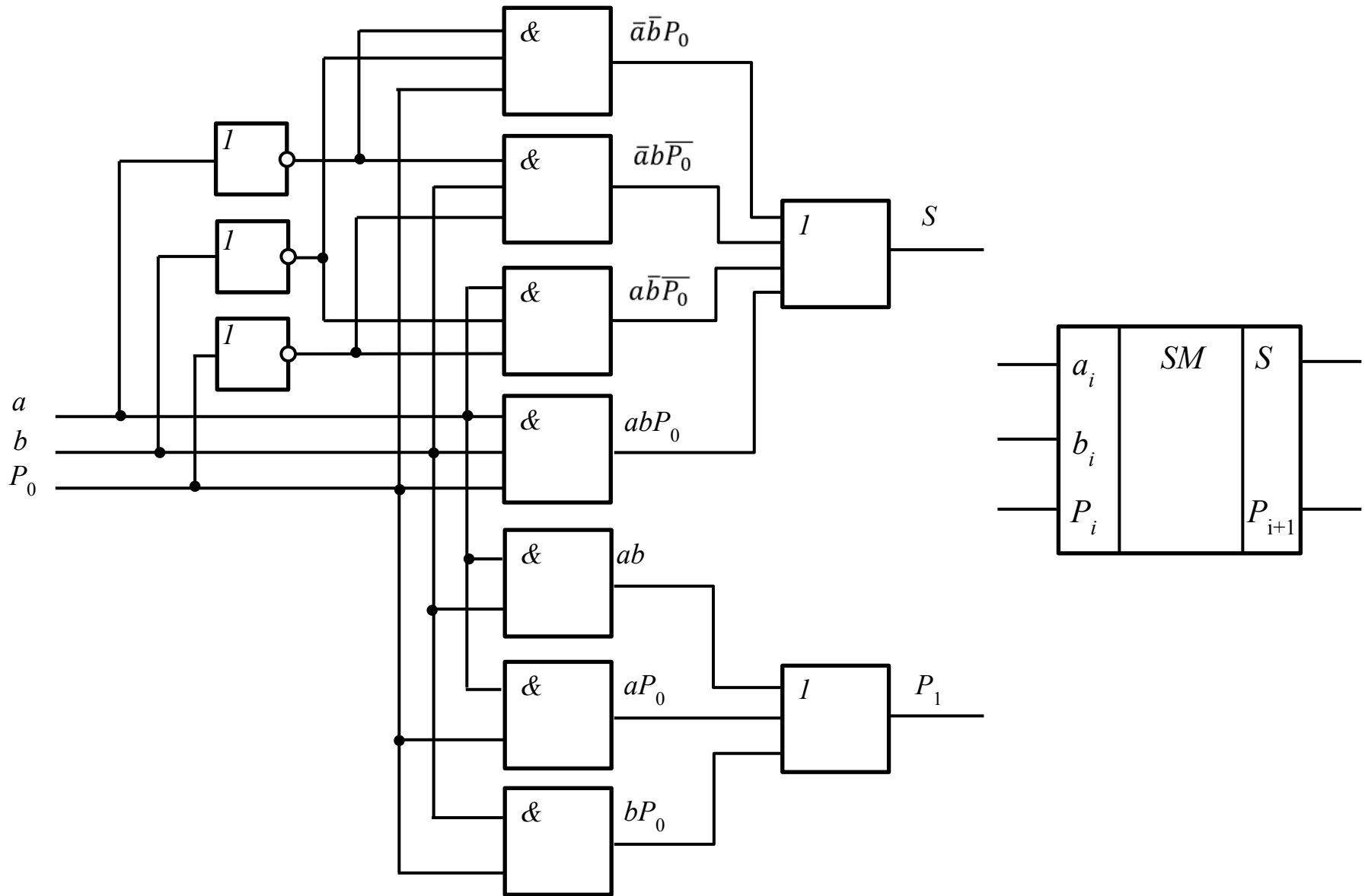
$$S = \bar{a}\bar{b}P_0 + \bar{a}b\bar{P}_0 + a\bar{b}\bar{P}_0 + abP_0$$

Для P_1 :

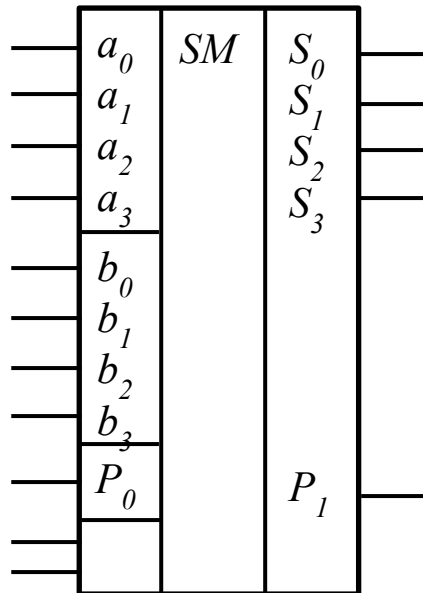
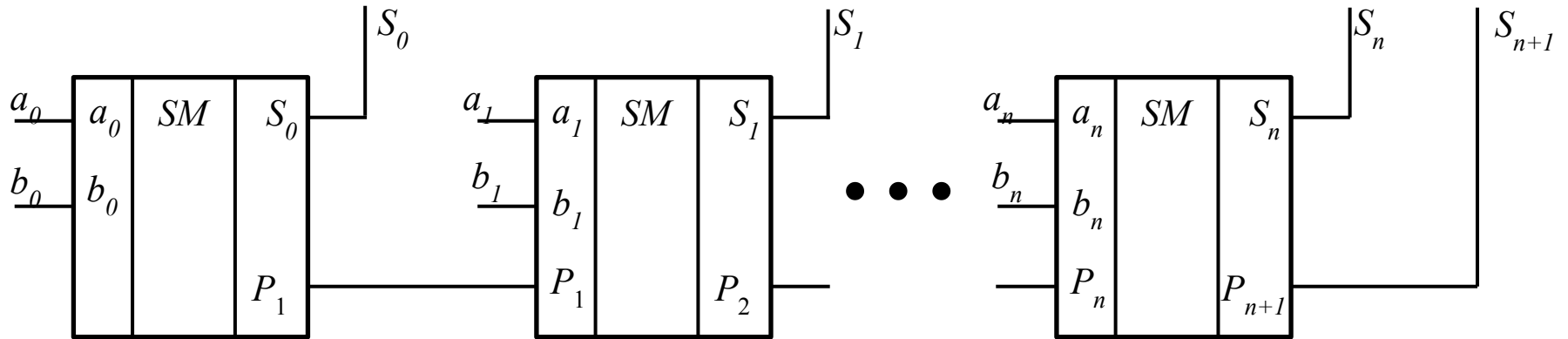
ab	00	10	11	01
P_0				
0	0	0	1	0
1	0	1	1	1

$$P_1 = aP_0 + bP_0 + ab$$

Сумматор



Многоразрядный сумматор



Функциональные узлы последовательного типа

Регистры

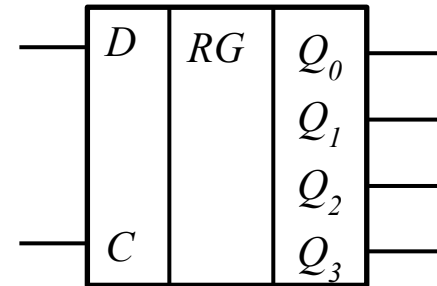
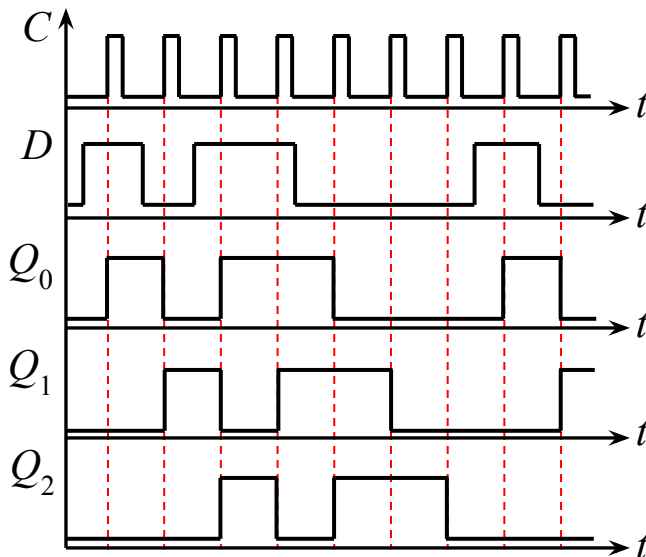
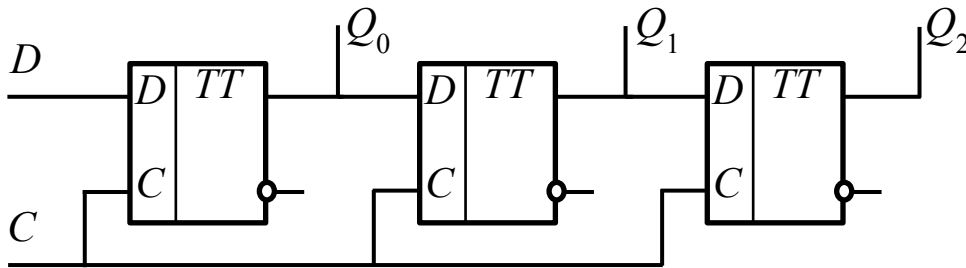
Функциональный узел, осуществляющий прием, хранение и передачу информации.

2 типа регистров:

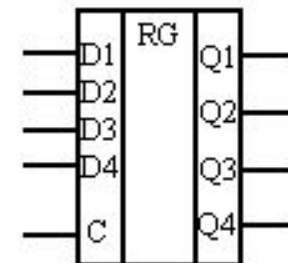
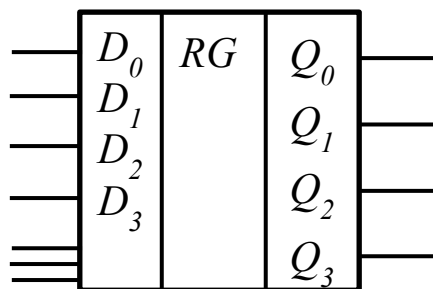
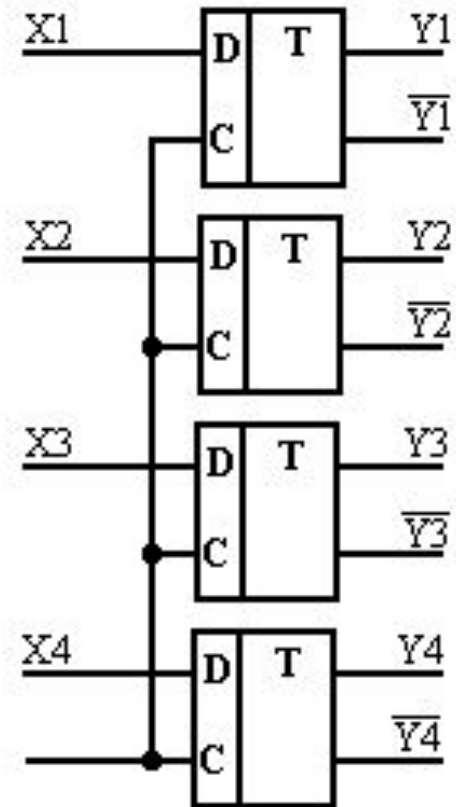
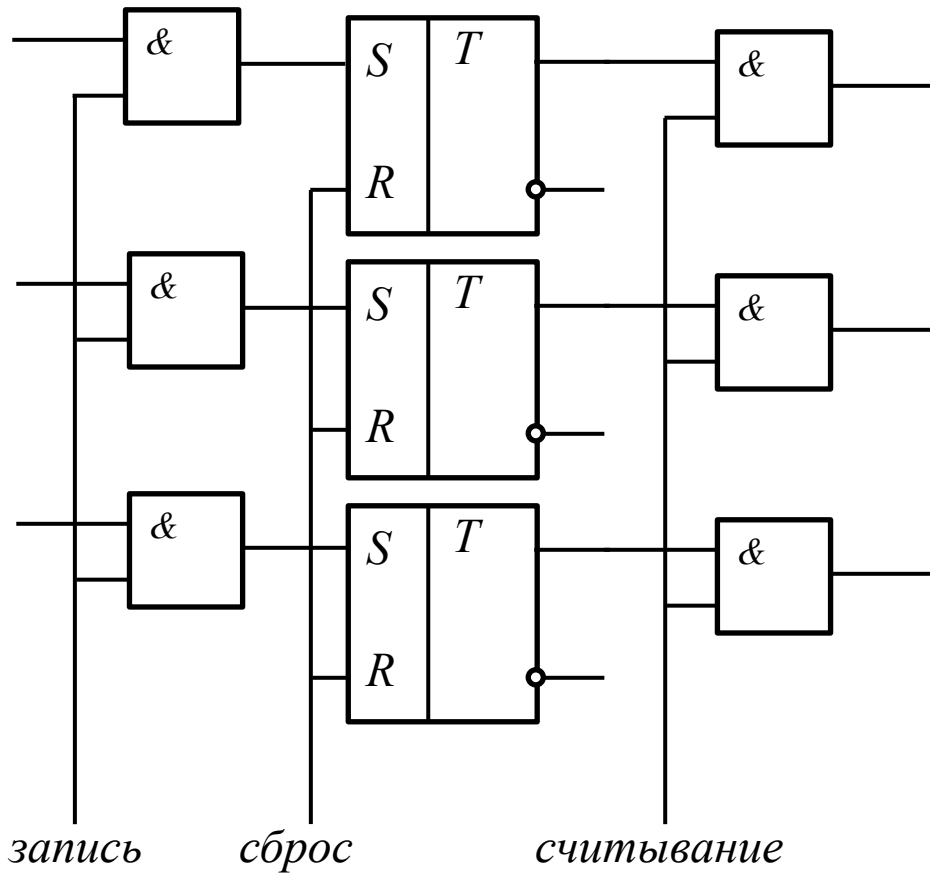
- регистры с последовательным приемом и выдачей информации (сдвиговые регистры);
- регистры с параллельным приемом и выдачей информации (регистры памяти).

Сдвиговой регистр

Для хранения одного разряда информации предназначен отдельный триггер. Для N разрядов информации необходимо N триггеров.



Регистр памяти



Счетчики

Функциональный узел, предназначенный для подсчета количества импульсов.

2 класса счетчиков: двоичные и недвоичные.

Основные параметры: коэффициент пересчета и быстродействие.

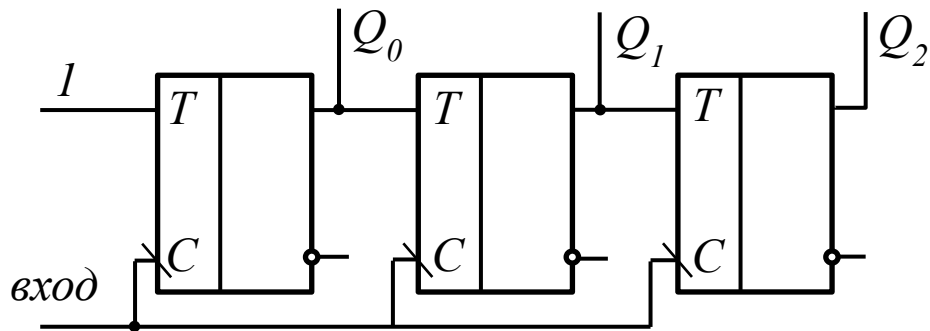
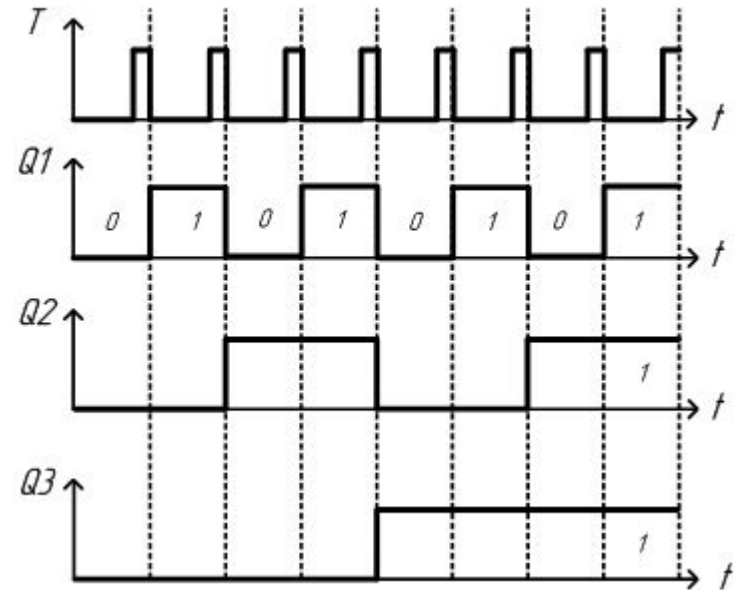
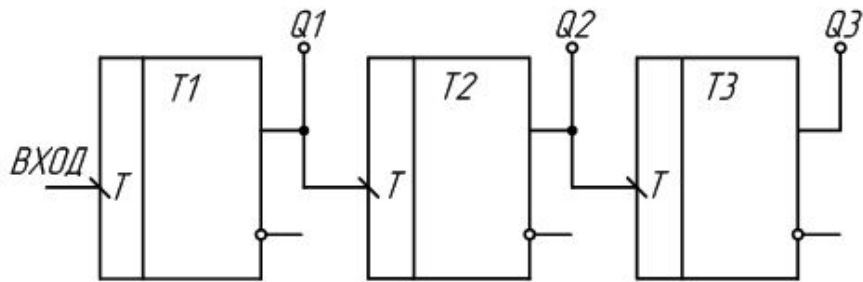
Коэффициент пересчета $K_{\text{сч}}$ – максимальное число импульсов, которое может быть подсчитано данным счетчиком, и зависит от количества разрядов n ($K_{\text{сч}} = 2^n$).

Быстродействие счетчика определяется двумя величинами: разрешающей способностью и временем установки очередного состояния. Разрешающая способность $t_p = 1/f_{\text{сч}}$ ($f_{\text{сч}}$ – частота следования входных импульсов) определяется минимально допустимым временным интервалом между двумя выходными импульсами, при котором не происходит потери счета (сбоя).

Время установки представляет собой интервал времени между поступлением импульса на вход счетчика и переходом его в новое состояние.

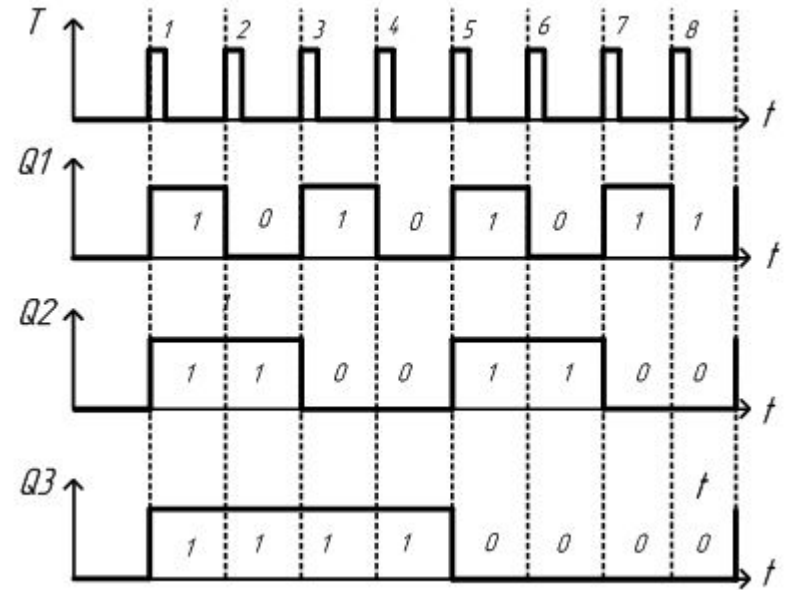
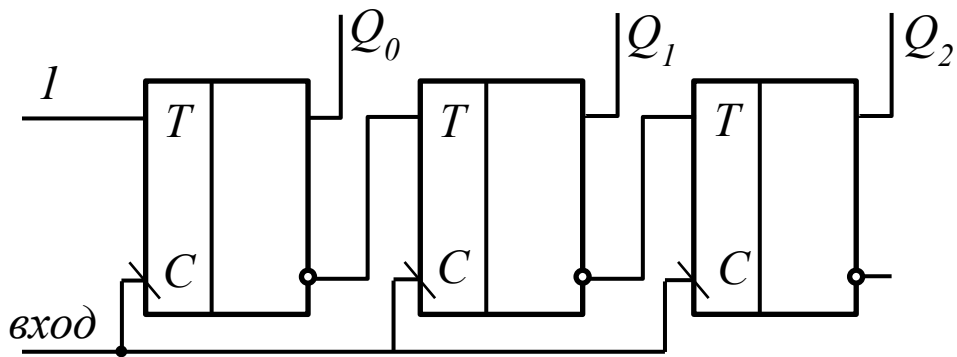
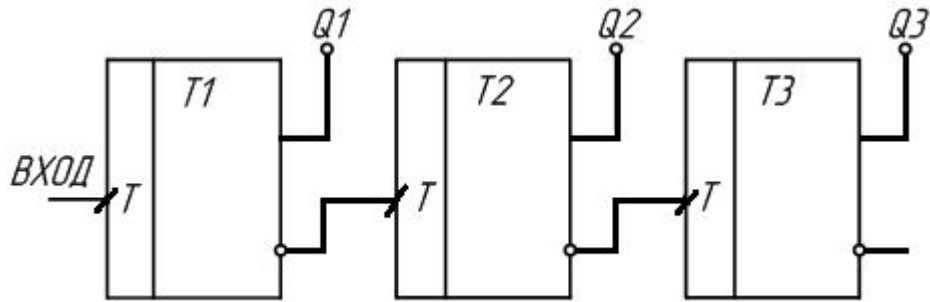
Двоичные счетчики

Суммирующий счетчик



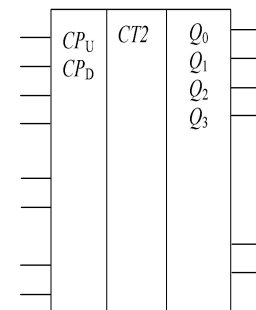
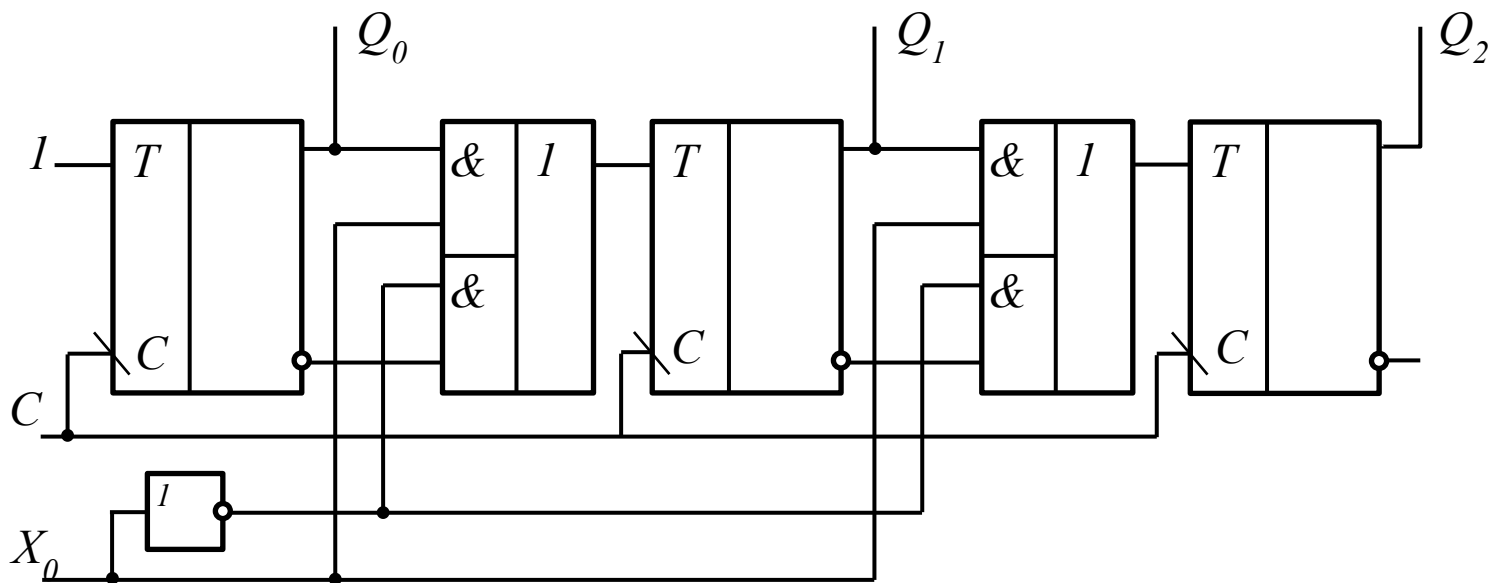
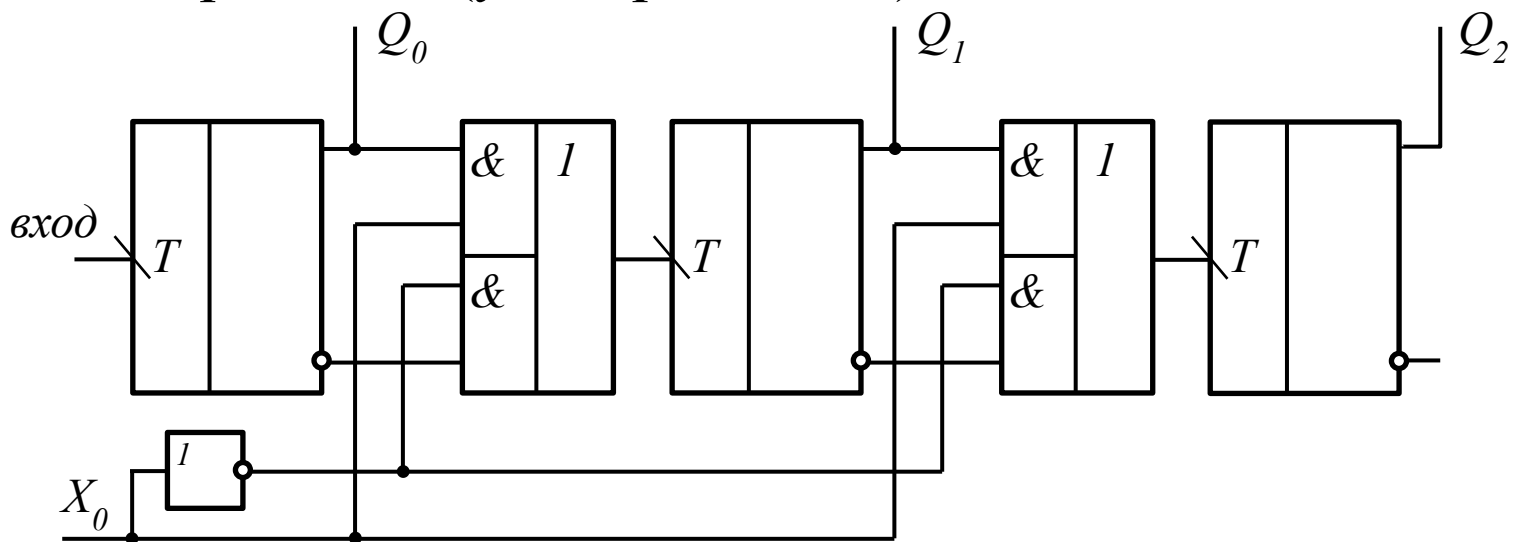
Двоичные счетчики

Вычитающий счетчик



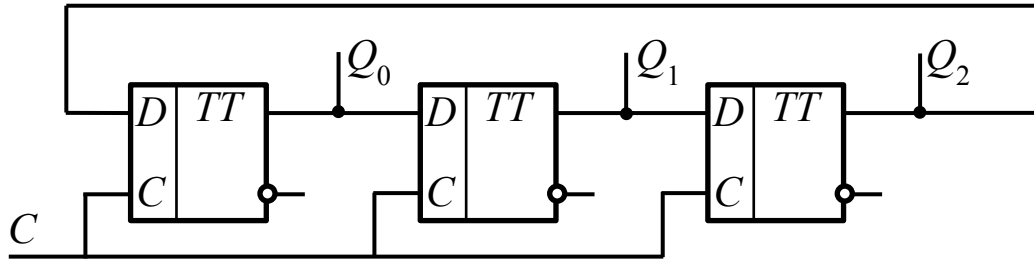
Двоичные счетчики

Реверсивный (универсальный) счетчик



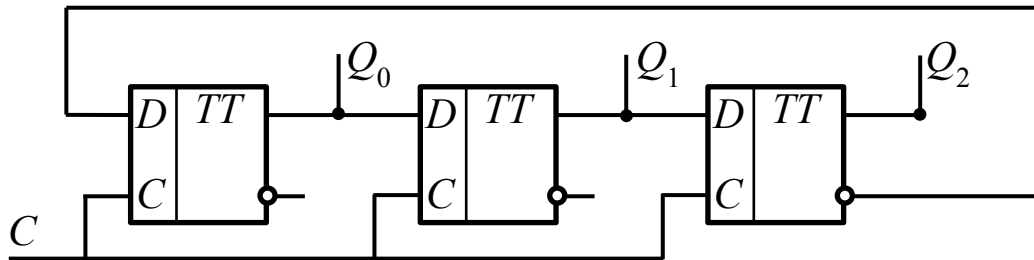
Недвоичные счетчики

Кольцевые счетчики



$$K_{\text{сч}} = 3; \quad K_{\text{сч}} = n$$

C	Q_2	Q_1	Q_0
0	1	0	0
1	0	0	1
2	0	1	0
3	1	0	0
4	0	0	1



$$K_{\text{сч}} = 6; \quad K_{\text{сч}} = 2n$$

C	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0
5	1	0	0
6	0	0	0
7	0	0	1

Недвоичные счетчики

Счетчики с обратными связями

На примере $K_{сч} = 5$.

Имп.	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	F_{Q_2}	F_{Q_1}	F_{Q_0}
1	0	0	0	0	0	1	0	0	Δ
2	0	0	1	0	1	0	0	Δ	∇
3	0	1	0	0	1	1	0	1	Δ
4	0	1	1	1	0	0	Δ	∇	∇
5	1	0	0	0	0	0	∇	0	0

Для F_{Q_0} :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	Δ	∇	∇	Δ
1	0	X	X	X

F_{Q_1} :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	0	Δ	∇	1
1	0	X	X	X

F_{Q_2} :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	0	0	Δ	0
1	∇	X	X	X

Недвоичные счетчики

Для J_0 :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	X	X	X	1
1	0	X	X	X

J_1 :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	0	1	X	X
1	0	X	X	X

J_2 :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	0	0	1	0
1	X	X	X	X

Для K_0 :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	X	1	1	X
1	X	X	X	X

K_1 :

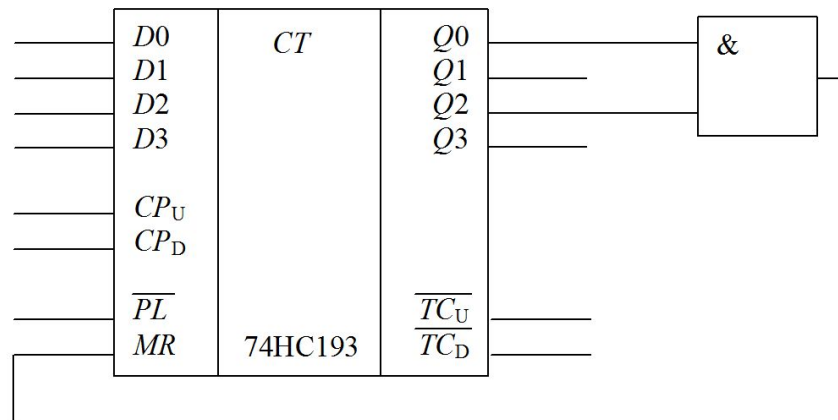
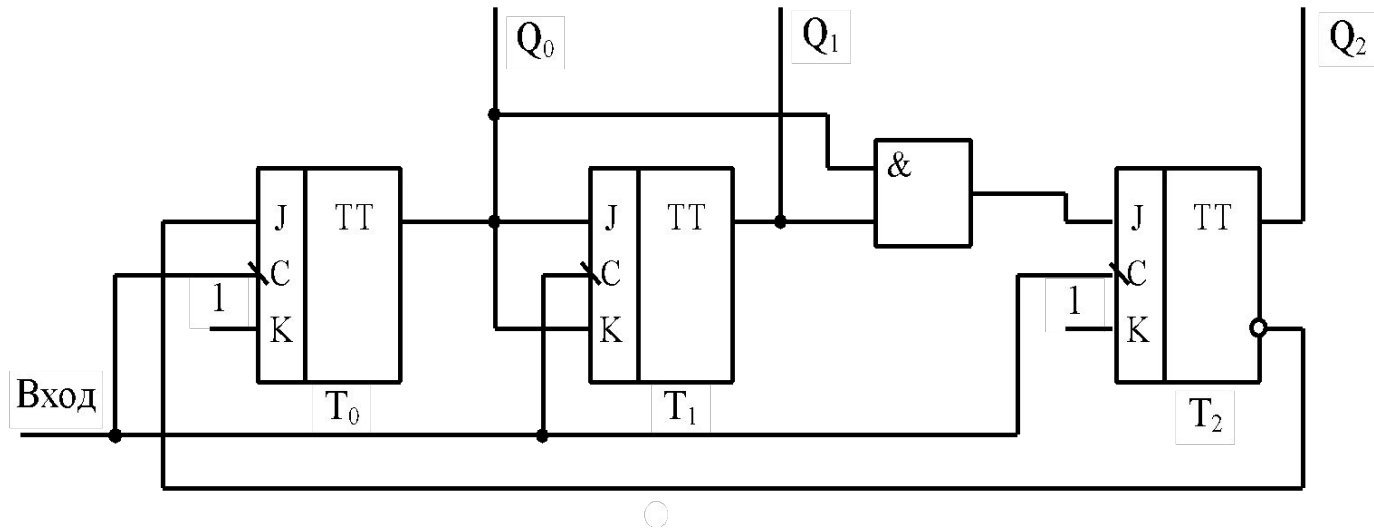
Q_2	$Q_0 Q_1$			
	00	10	11	01
0	X	X	1	0
1	X	X	X	X

K_2 :

Q_2	$Q_0 Q_1$			
	00	10	11	01
0	X	X	X	X
1	1	X	X	X

$$J_0 = \bar{Q}_2; \quad K_0 = 1; \quad J_1 = K_1 = Q_0; \quad J_2 = Q_0 Q_1; \quad K_2 = 1.$$

Недвоичные счетчики



Цифро-аналоговый преобразователь (ЦАП)

Идея заключается в получении мгновенного значения аналогового сигнала, соответствующего входному цифровому коду, путем суммирования эталонных токов с последующим преобразованием их в напряжение. Управление эталонными токами или эталонными напряжениями осуществляется с помощью двоичного кода. Величины эталонных напряжений нормируются.

Старшему разряду СР соответствует максимальное значение эталонного напряжения:

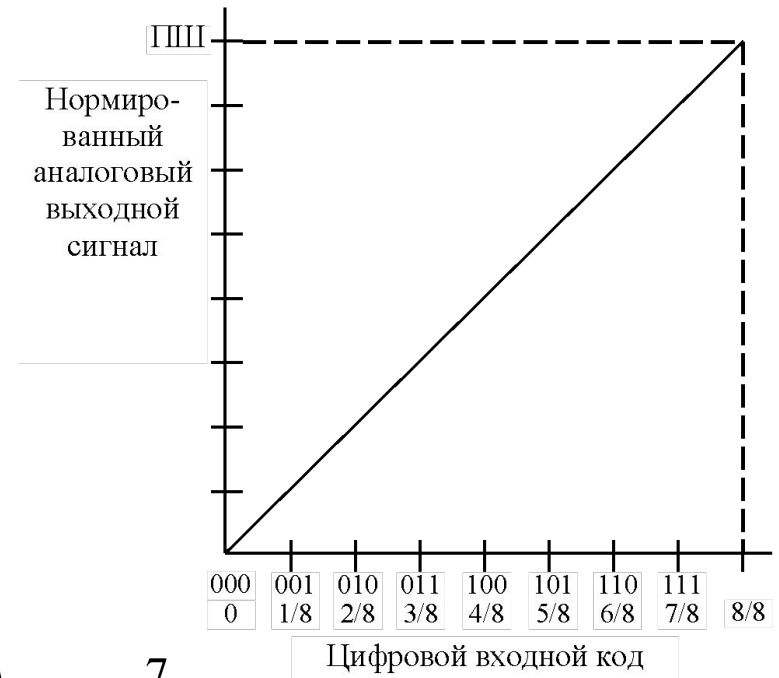
$$U_1 = U_{\text{ср}} = \frac{1}{2} U_{\text{пш}}.$$

$$U_2 = U_{\text{пш}}/4$$

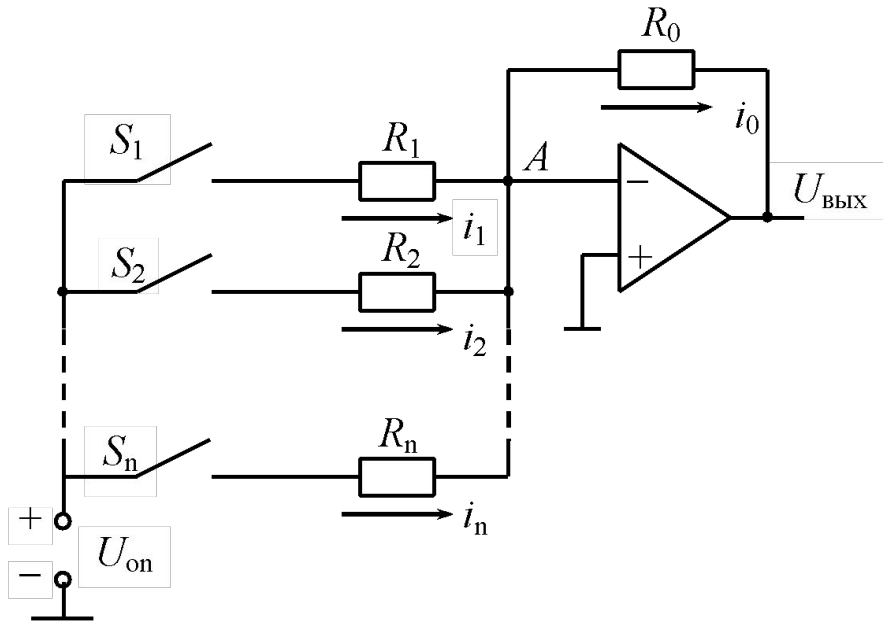
$$U_n = U_{\text{пш}}/2^n$$

$$U_{\text{вых}} = \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^n} \right) U_{\text{пш}} = (1 - 2^{-n}) U_{\text{пш}}$$

Если три разряда, то $U_{\text{вых}} = \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} \right) U_{\text{пш}} = \frac{7}{8} U_{\text{пш}}$



ЦАП с резисторами веса



$$i_0 = i_1 + i_2 + \dots + i_i + \dots + i_n.$$

$$i_0 = \frac{U_{\text{ВЫХ}}}{R_0} = \frac{U_{\text{оп}}}{R_1} + \frac{U_{\text{оп}}}{R_2} + \dots + \frac{U_{\text{оп}}}{R_i} + \dots + \frac{U_{\text{оп}}}{R_n}.$$

$$\Delta U_{\text{ВЫХ}} = \frac{R_0}{R_i} U_{\text{оп}}$$

$$U_{\text{ВЫХ}} = U_{\text{оп}} \left(\frac{R_0}{R_1} + \frac{R_0}{R_2} + \dots + \frac{R_0}{R_i} + \dots + \frac{R_0}{R_n} \right)$$

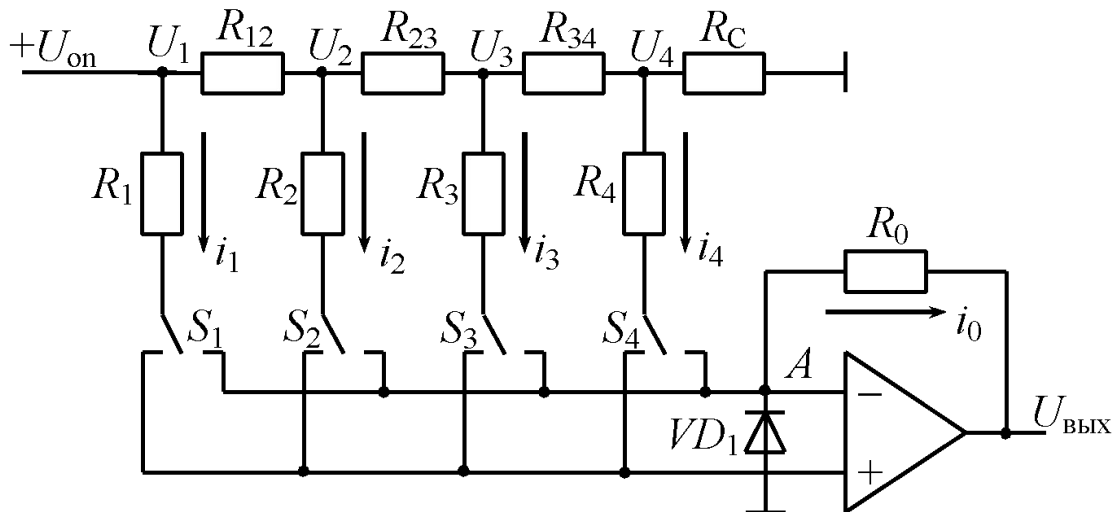
$$\frac{R_0}{R_1} = \frac{1}{2} \quad R_1 = 2R_0, \quad R_2 = 4R_0 \quad \square \quad R_n = 2^n$$

$$U_{\text{ВЫХ}} = U_{\text{оп}} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^n} \right) = U_{\text{оп}} (1 - 2^{-n})$$

Погрешность воспроизведения определяется весом младшего разряда.

Для практической реализации схемы ЦАП с резисторами веса требуется большое количество резисторов с разными значениями сопротивлений.

ЦАП с резистивной матрицей



$$R_1 = R_2 = R_3 = R_4 = 2R$$

$$R_{12} = R_{23} = R_{34} = R$$

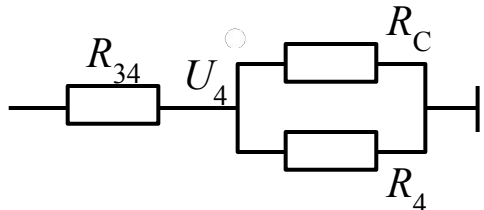
Рассмотрим код 1111:

$$i_0 = i_1 + i_2 + i_3 + i_4$$

$$i_0 = U_{\text{ВЫХ}}/R_0 \quad i_4 = U_4/R_4$$

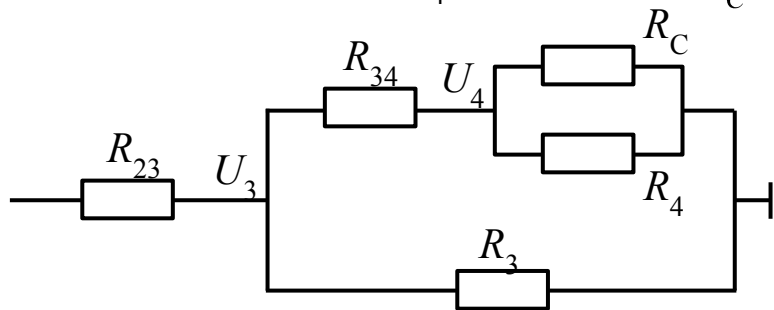
$$i_3 = U_3/R_3 \quad i_2 = U_2/R_2 \quad i_1 = U_1/R_1$$

$$U_4 = U_3 \frac{R_{\text{ЭКВ4}}}{R_{\text{ЭКВ4}} + R_{34}}$$



$$R_{\text{ЭКВ4}} = \frac{R_C R_4}{R_C + R_4} = R \quad \Rightarrow \quad U_4 = \frac{1}{2} U_3$$

$$U_3 = U_2 \frac{R_{\text{ЭКВ3}}}{R_{\text{ЭКВ3}} + R_{23}}$$



$$R_{\text{ЭКВ3}} = R \quad \Rightarrow \quad U_3 = \frac{1}{2} U_2$$

$$U_2 = U_{\text{оп}} \frac{R_{\text{ЭКВ2}}}{R_{\text{ЭКВ2}} + R_{12}}$$

$$R_{\text{ЭКВ2}} = R \quad \Rightarrow \quad U_2 = \frac{1}{2} U_{\text{оп}}$$

ЦАП с резистивной матрицей

Следовательно: $U_2 = 2U_3 = 4U_4$ и, соответственно $i_2 = 2i_3 = 4i_4$.

$$U_{\text{оп}} = U_1 = 2U_2 = 4U_3 = 8U_4$$

$$i_1 = \frac{U_1}{R_1} = \frac{U_{\text{оп}}}{2R}; \quad i_2 = \frac{U_2}{R_2} = \frac{U_{\text{оп}}}{4R}; \quad i_3 = \frac{U_3}{R_3} = \frac{U_{\text{оп}}}{8R}; \quad i_4 = \frac{U_4}{R_4} = \frac{U_{\text{оп}}}{16R}.$$

$$U_{\text{вых}} = R_0 \sum_{n=1}^4 i_n = U_{\text{оп}} \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} \right).$$

Преимущество: нет бросков токов.

Недостаток: постоянно протекает ток, что ведет к большим затратам энергии.

Параметры ЦАП

Разрешение – количество разрядов входного двоичного кода.

Шагом квантования – расчетное приращение выходного напряжения ЦАП при изменении входного кода на единицу младшего разряда (1 МР). Из формулы (11.1) для двух кодов, отличающихся на единицу младшего разряда, получим: $h = U_{\text{оп}} R_{\text{о.с}} / R(2^b - 1)$.

Погрешность смещения нуля (δ_{OFF}) – смещение выходного напряжения ЦАП относительно нуля в начальной точке преобразования.

Погрешность коэффициента передачи, или погрешность наклона (δ_G) – смещение выходного напряжения ЦАП относительно значения $U_{\text{оп}}$ в конечной точке преобразования.

Нелинейностью (интегральная нелинейность) (δ_L) называется максимальное отклонение реальной характеристики ЦАП от теоретической прямой, соединяющей нулевое и максимальное значения выходного сигнала.

Дифференциальной нелинейностью преобразования (δ_{LD}) называется отклонение шага преобразования ЦАП от идеального, который должен точно соответствовать 1 МР.

Динамические параметры:

время установления выходного сигнала t_c – интервал времени от момента подачи цифрового кода на вход ЦАП до момента появления выходного аналогового сигнала, отличающегося от окончательного на некоторую величину (обычно ± 1 МР);

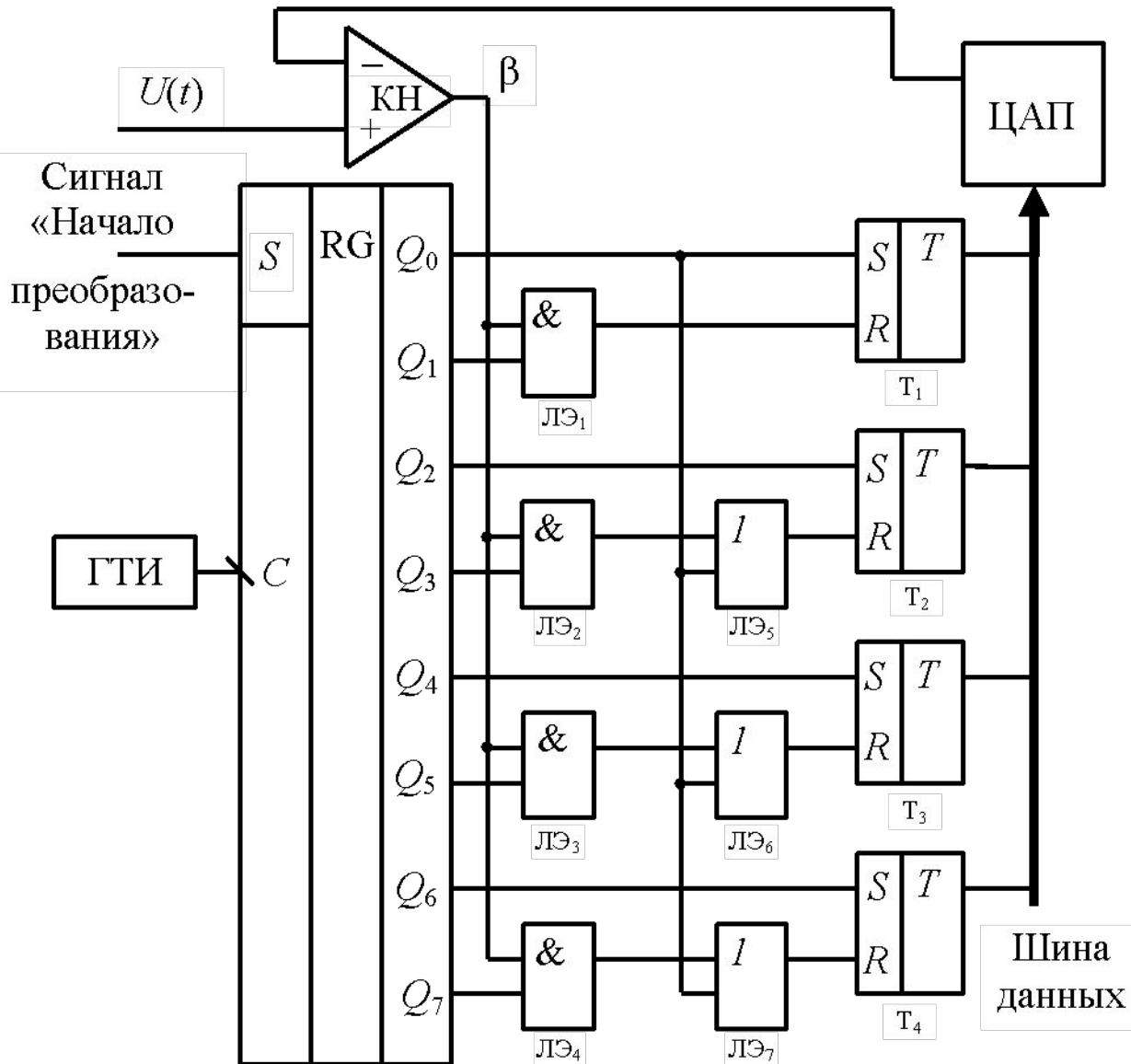
максимальная частота преобразования – наибольшая частота дискретизации, при котором параметры ЦАП соответствуют заданным значениям.

Аналого-цифровой преобразователь (АЦП)

Существуют три основных типа аналого-цифровых преобразователей:

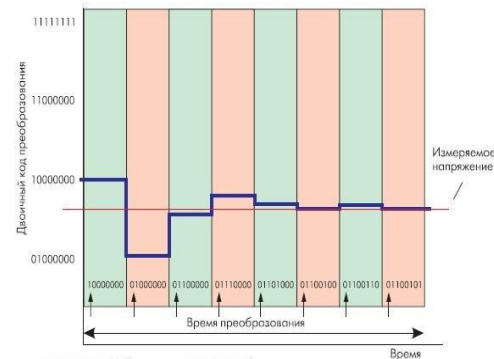
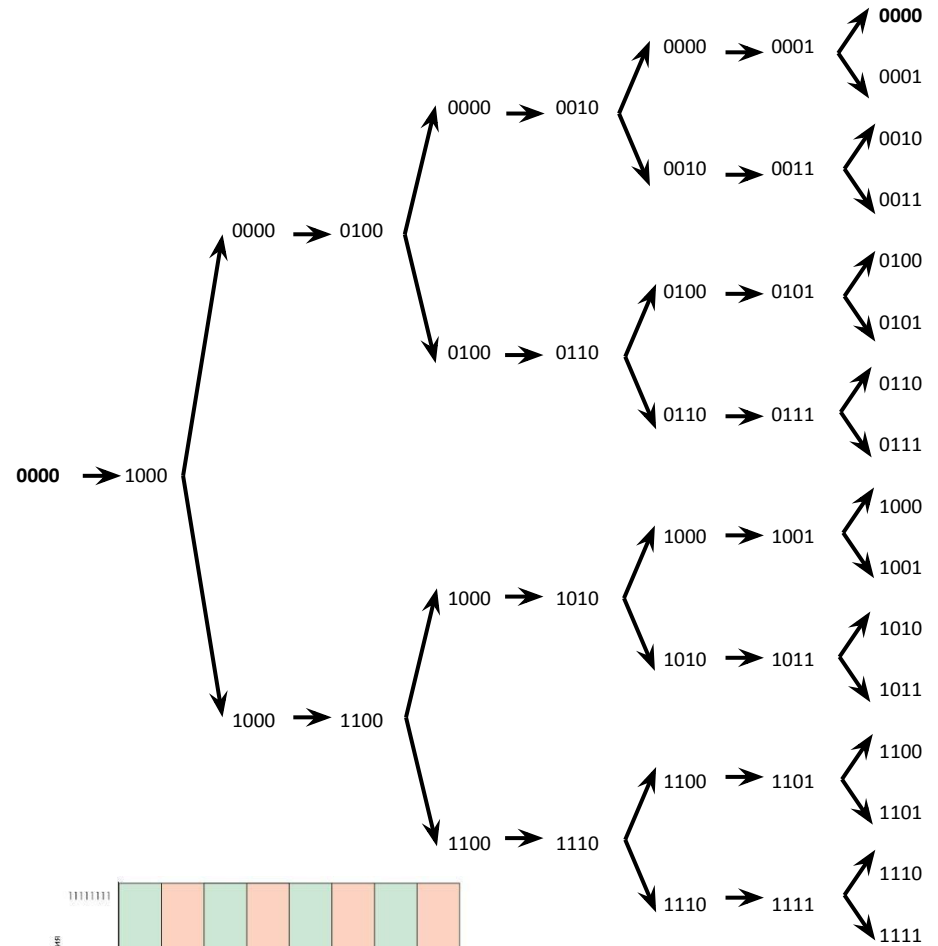
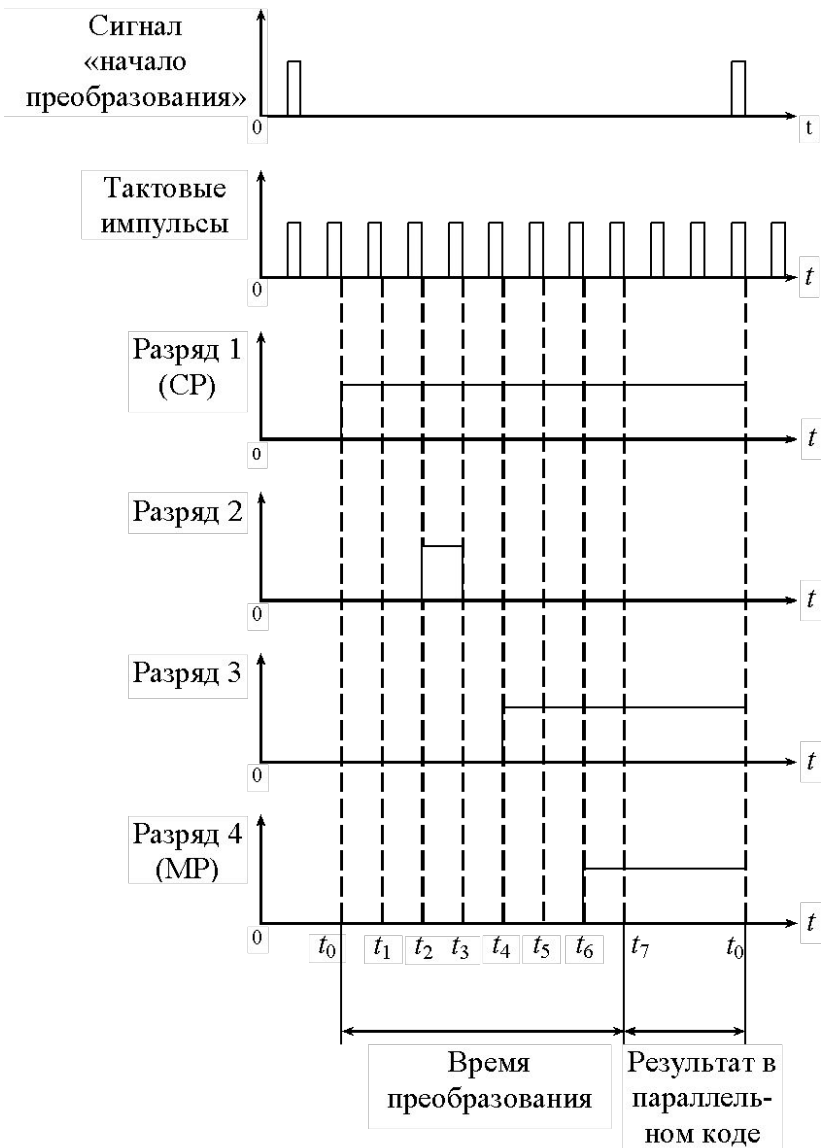
- АЦП последовательных приближений обладают сравнительно высоким быстродействием и точностью, преобразуемый аналоговый сигнал последовательно сравнивается с весовыми значениями напряжений, которые соответствуют весовым коэффициентам разрядов.
- АЦП параллельного преобразования, входной аналоговый сигнал одновременно (параллельно) сравнивается с $2^n - 1$ градациями опорного напряжения, образуемыми резистивным делителем. Получаемый результат сравнения преобразуется в параллельный n -разрядный двоичный код. Такие АЦП обладают максимальным быстродействием.
- АЦП с двойным интегрированием: на первом этапе происходит интегрирование входного аналогового сигнала за определенный промежуток времени. Затем осуществляется интегрирование противоположного по знаку известного постоянного напряжения и фиксируется интервал времени, за который выходное напряжение станет равным нулю, путем подсчета импульсов, следующих с известной частотой. Зафиксированное счетчиком число импульсов представляется в виде кода.

АЦП последовательных приближений

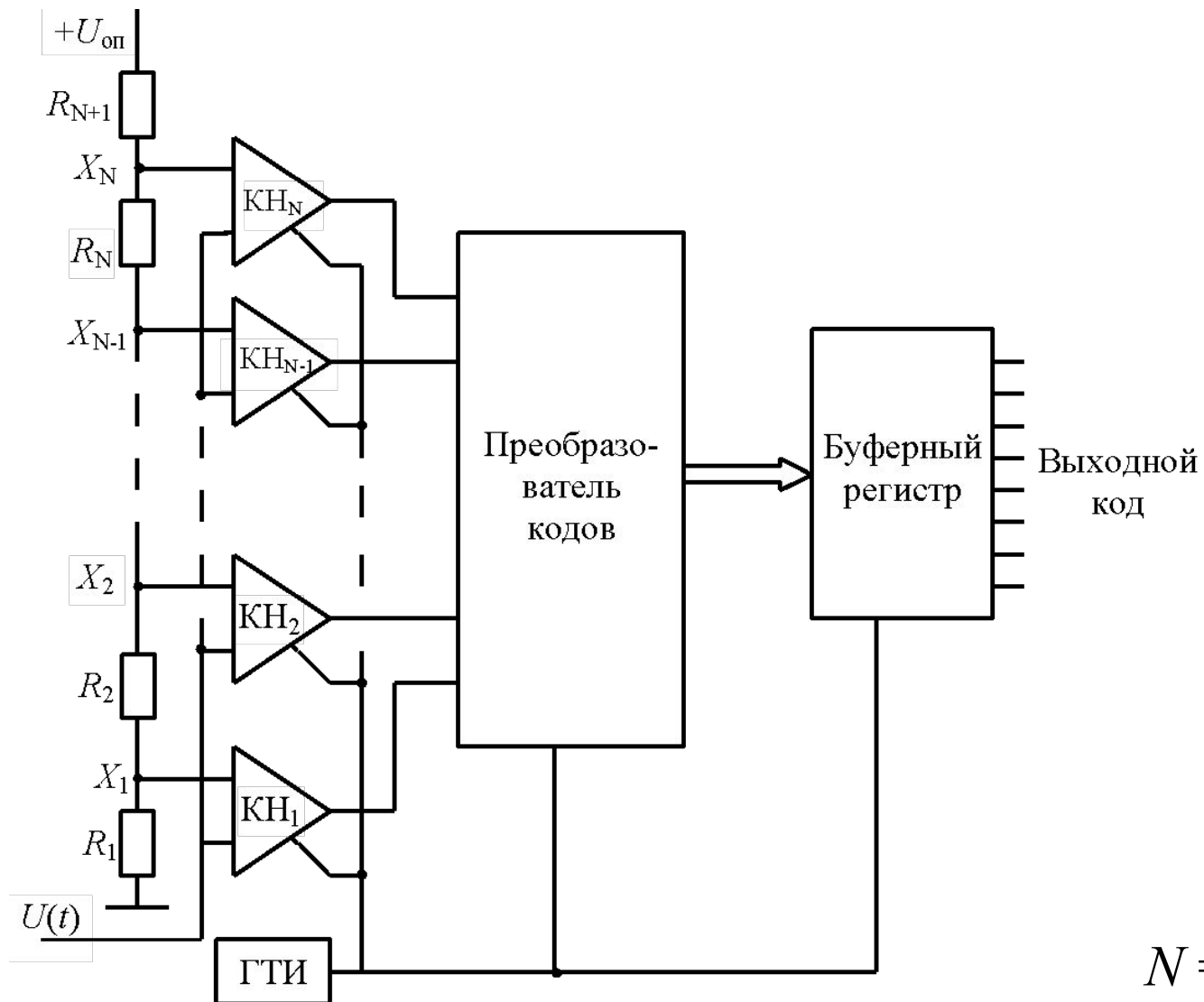


$$\beta = \begin{cases} 0, & \text{если } U(n) < U(t); \\ 1, & \text{если } U(n) > U(t). \end{cases}$$

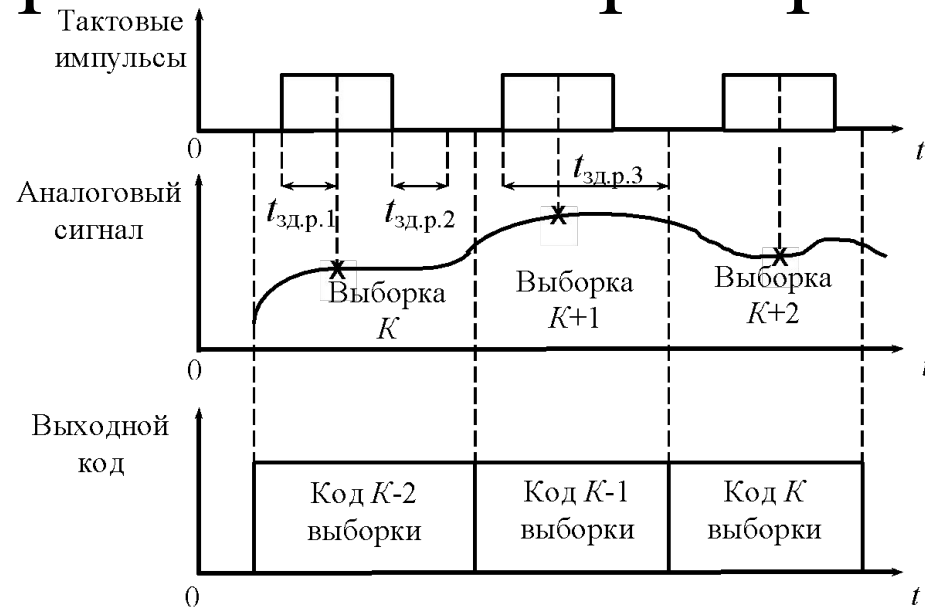
АЦП последовательных приближений



АЦП параллельного преобразования



АЦП параллельного преобразования



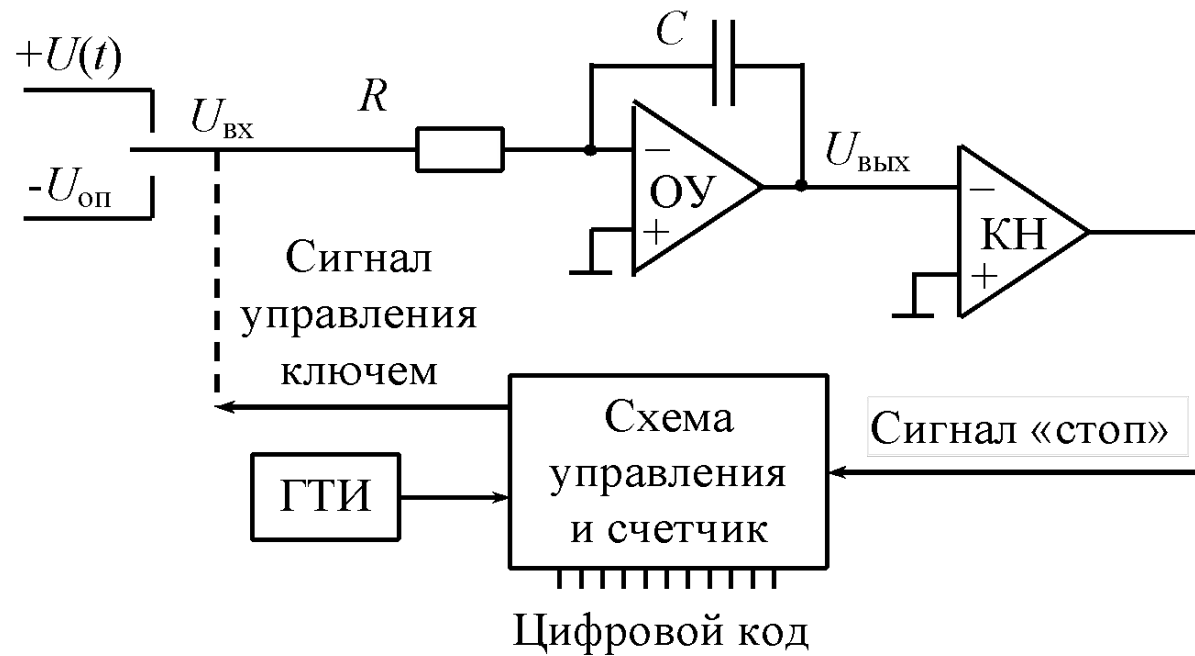
Входной унитарный код							Двоичный код		
X_1	X_2	X_3	X_4	X_5	X_6	X_7	a_0	a_1	a_2
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	1	1	0
1	1	1	1	0	0	0	0	0	1
1	1	1	1	1	0	0	1	0	1
1	1	1	1	1	1	0	0	1	1
1	1	1	1	1	1	1	1	1	1

$$a_0 = X_1 \bar{X}_2 + X_3 \bar{X}_4 + X_5 \bar{X}_6 + X_7$$

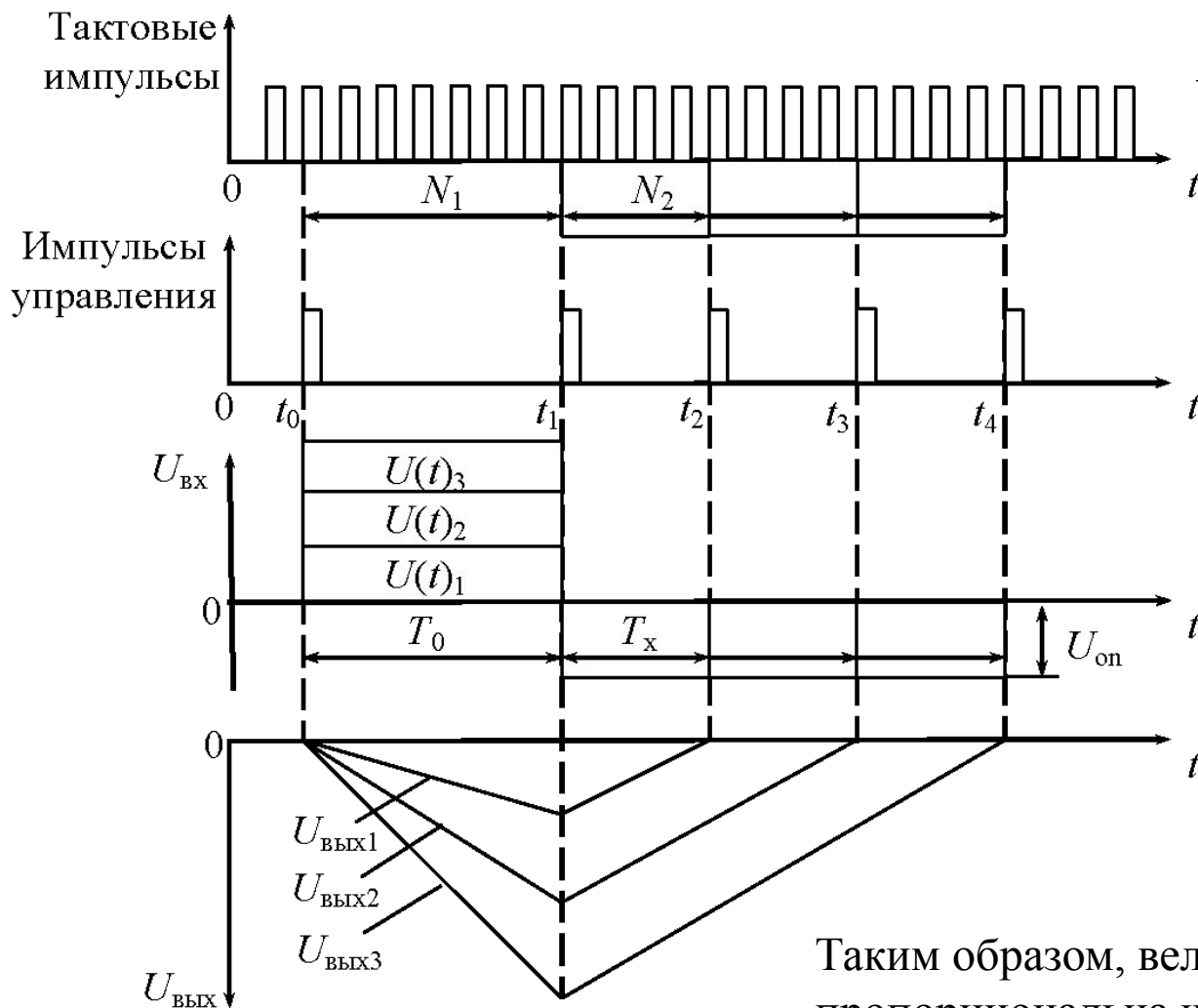
$$a_1 = X_2 \bar{X}_4 + X_6$$

$$a_2 = X_4$$

АЦП с двойным интегрированием



АЦП с двойным интегрированием



$$\frac{1}{RC} \int_{t_0}^{t_1} U(t) dt - \frac{1}{RC} \int_{t_1}^{t_2} U_{он} dt = 0.$$

$$t_1 - t_0 = T_0$$

$$U(t) = \bar{U}(t)$$

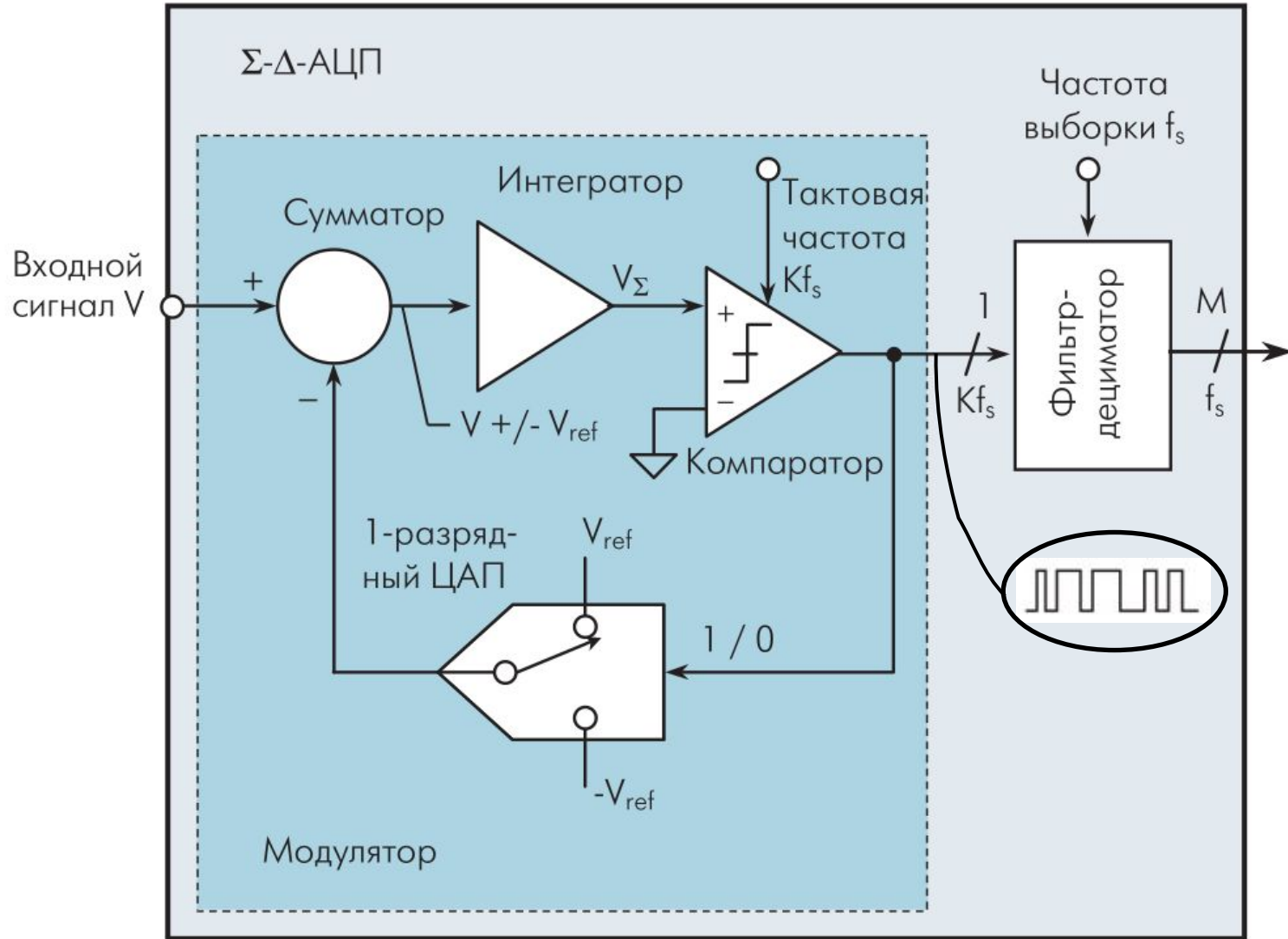
$$\bar{U}(t) T_0 = U_{он} T_x.$$

$$T_0 = N_1 / f ; T_x = N_2 / f$$

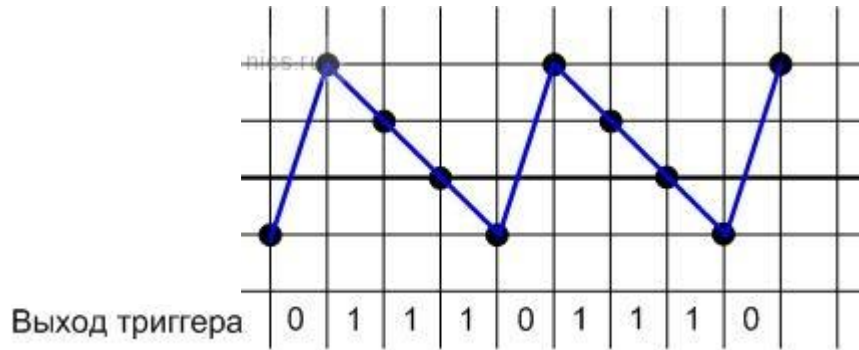
$$\bar{U}(t) = U_{он} N_2 / N_1.$$

Таким образом, величина выходного сигнала пропорциональна числу импульсов N_2 .

Сигма-дельта АЦП



Сигма-дельта АЦП



Рассмотрим для $U_{\text{ВХ}} = 0.6 \text{ В}$:

N такта	$U_{\text{С}}, \text{ В}$	$U_{\text{и}}, \text{ В}$	$U_{\text{к}}, \text{ бит}$	$U_{\text{ЦАП}}, \text{ В}$
1	0,6	0,6	1	1
2	-0,4	0,2	1	1
3	-0,4	-0,2	0	-1
4	1,6	1,4	1	1
5	-0,4	1,0	1	1
6	-0,4	0,6	1	1
7	-0,4	0,2	1	1
8	-0,4	-0,2	0	-1

Перед началом вычисления новой выборки напряжения на выходе интегратора ($U_{\text{и}}$) и на выходе ЦАП ($U_{\text{ЦАП}}$) равны нулю. Сигнал с выхода сумматора $U_{\text{С}}$ поступает на интегратор, где суммируется с предыдущим значением интегратора (т. е. для i -ой итерации $U_{\text{и}}(i) = U_{\text{и}}(i - 1) + U_{\text{С}}$).

В начальный момент входной сигнал U без изменений поступает на интегратор.

Компаратор сравнивает выходное значение интегратора $U_{\text{и}}$ с уровнем “0” и выдает 1, если $U_{\text{и}} \geq 0$, и 0 при $U_{\text{и}} < 0$. Сигнал с компаратора поступает в выходной регистр, образуя последовательность одноразрядных цифровых отсчетов (выборка модулятора). Также этот сигнал попадает в ЦАП, который в зависимости от его уровня выдает U_{ref} или $-U_{\text{ref}}$. В сумматоре это значение вычитается из входного сигнала U и складывается с $U_{\text{и}}$ в интеграторе. После чего процесс многократно повторяется.

Сигма-дельта АЦП

Если $U = -U_{\text{ref}}$, выходная последовательность будет состоять 000000..., а если $U = U_{\text{ref}}$ – 111111... При $U = 0$ на выходе компаратора будет 101010...

Математически механизм работы модулятора можно представить следующим образом. Пусть значение $U_{\text{и}}$ в ходе преобразования k раз было меньше “0” и n раз больше или равным нулю; то общая длина кодовой последовательности для одной выборки: $N = n + k$.

Очевидно, что $U_{\text{и}}(N) = U + n(U - U_{\text{ref}}) + k(U + U_{\text{ref}})$; $U_{\text{и}}(0) = U$.

Предположим, что через какое-то число итераций $N \neq 0$ напряжение на интеграторе вновь принимает исходное значение: $U_{\text{и}}(N) = U$.

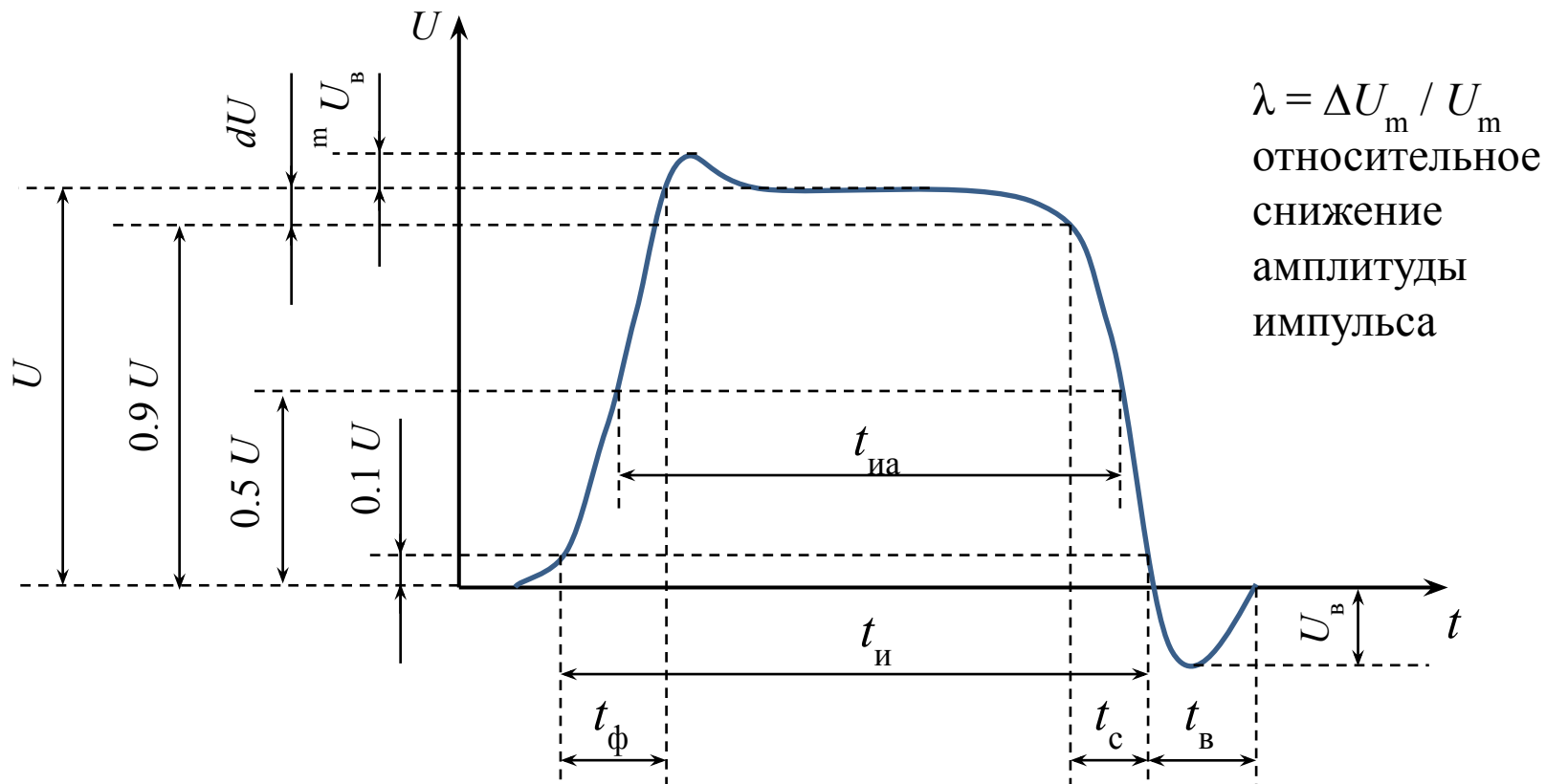
Тогда можно записать: $U = U(1 + n + k) + U_{\text{ref}}(k - n)$;

$$U_{\text{и}} = U_{\text{ref}}(n - k) / (n + k) = U_{\text{ref}}(2n / N - 1).$$

Таким образом, отношение числа единиц к общей длине циклической последовательности n/N определяет измеряемое напряжение U как часть диапазона измерений U_{ref} .

Генераторы импульсов

Параметры импульсного процесса



Условия прямоугольного сигнала: 1) $\lambda \leq 0.05$ (5%); 2) $t_{\text{и}} / t_{\phi} > 10$.

Параметры импульсного процесса

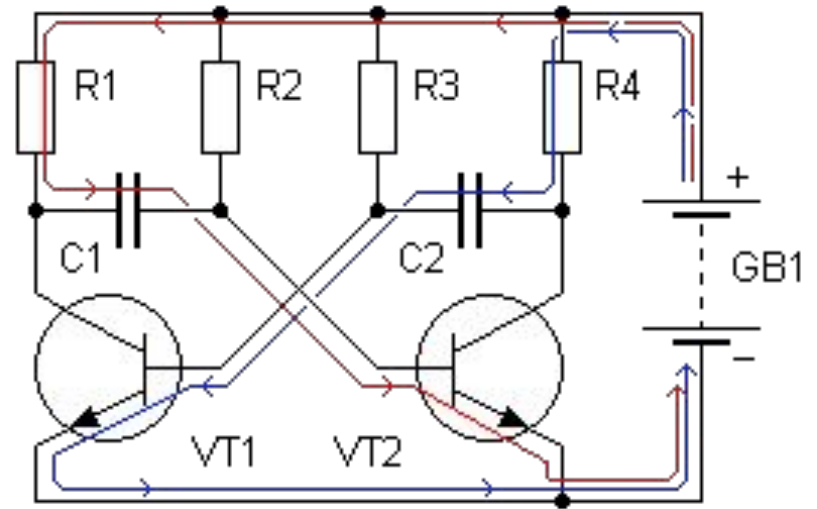
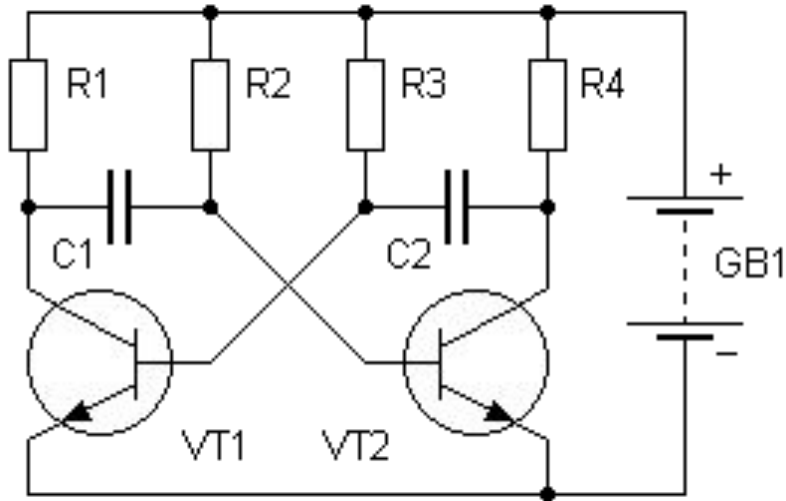
Сигнал — физический процесс, несущий информацию. По природе физического процесса делятся на электромагнитные, в частности электрические (телефония, радио, телевидение, мобильная связь, ЛВС, Интернет), световые (оптоволоконный кабель), звуковые (общение людей), пневматические и гидравлические (определенные отрасли автоматики) и др.

Параметры периодической последовательности импульсов:

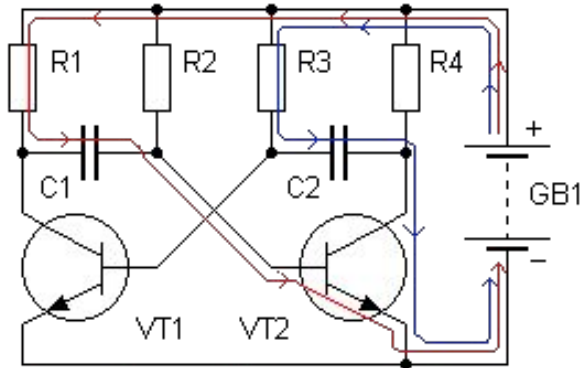
- T период повторения импульсов;
- $f = 1 / T$ частота повторения импульсов;
- $Q = T / t_{\text{и}}$ скважность импульсов;
- $K_3 = 1 / Q = t_{\text{и}} / T$ коэффициент заполнения.

Мультивибраторы

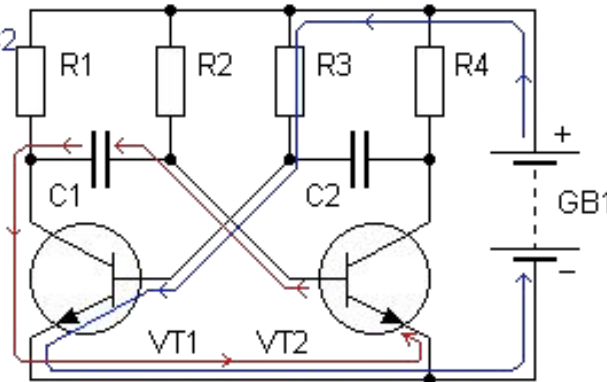
это генераторы периодической последовательности импульсов напряжения прямоугольной формы с требуемыми параметрами (амплитудой, длительностью, частотой следования и др.), работают в режиме самовозбуждения.



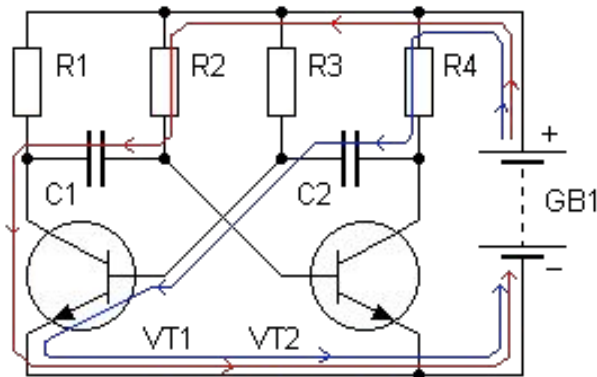
Мультивибраторы



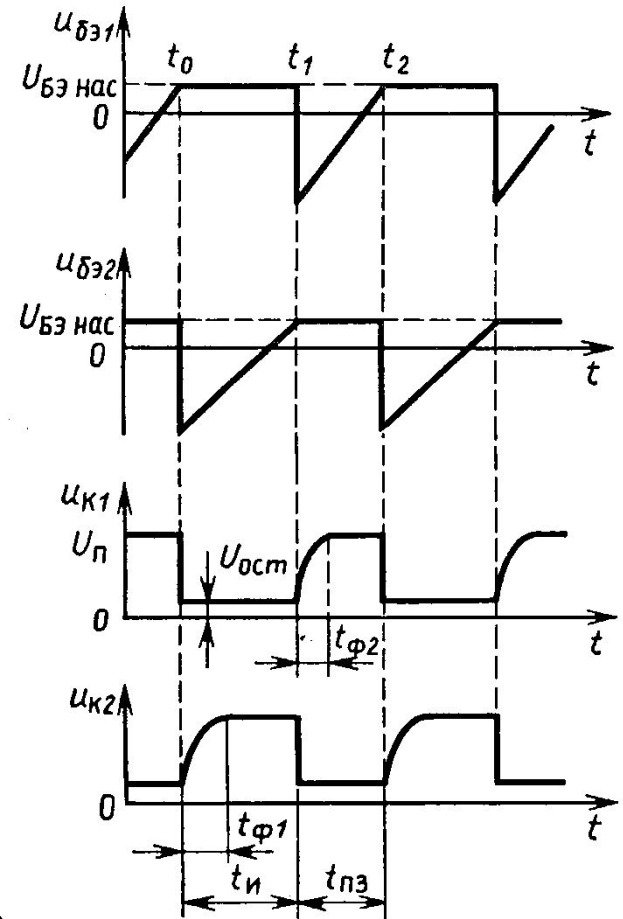
быстрый заряд C1 медленный заряд C2



напряжение, отпирающее VT1
напряжение C1, запирающее VT2



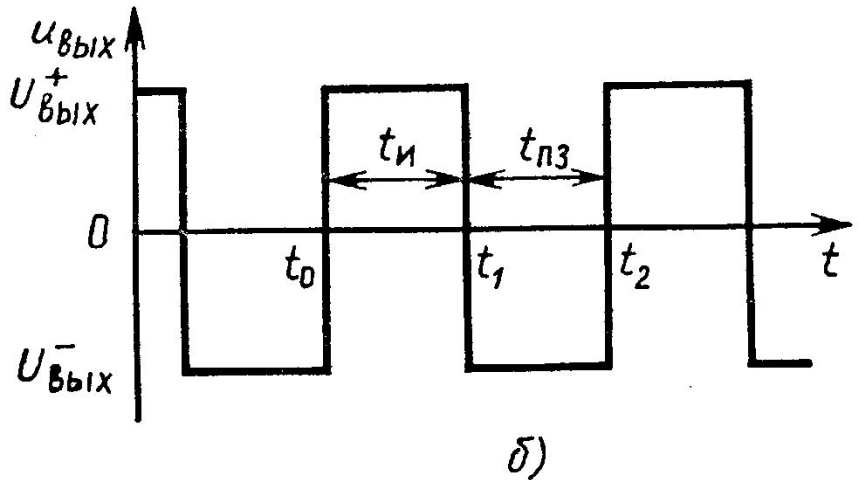
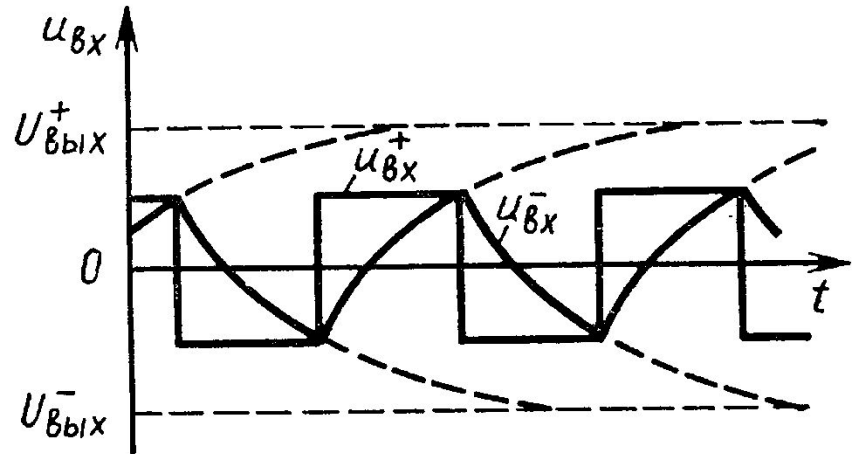
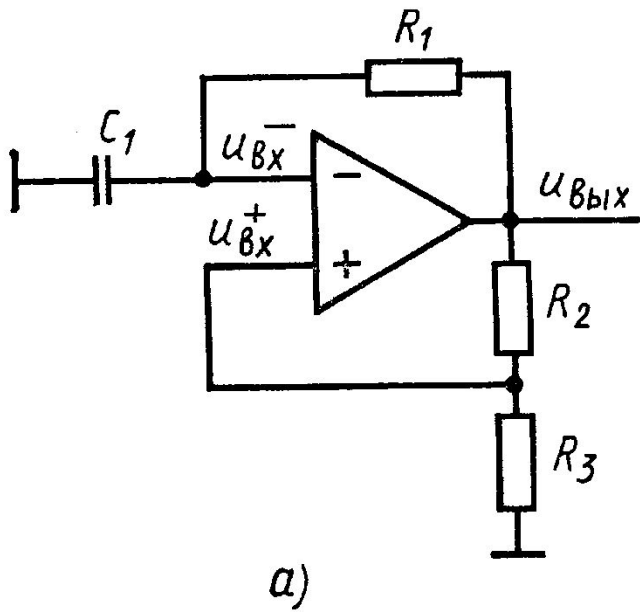
быстрый заряд C2
медленный перезаряд C1



$$t_{п1} = C_1 R_1 \ln \frac{2U_{п} - U_{БЭнас} - U_{КЭнас}}{U_{п} - U_{БЭнас}}$$

$$t_{п3} = C_2 R_2 \ln \frac{2U_{п} - U_{БЭнас} - U_{КЭнас}}{U_{п} - U_{БЭнас}}$$

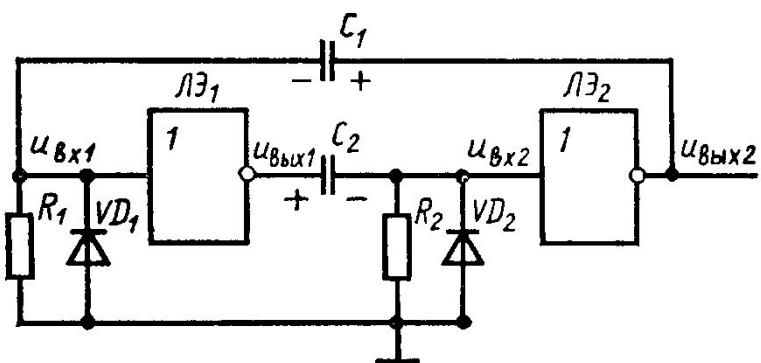
Мультивибраторы



$$t_{И} = R_1 C_1 \ln[(R_2 + 2 R_3) / R_2].$$

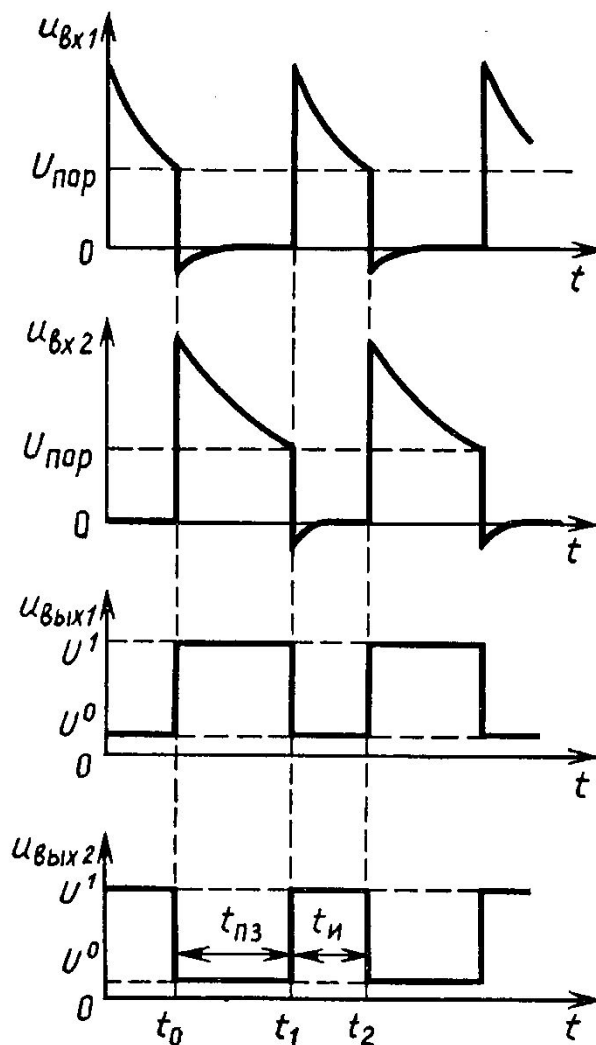
$$t_{ПЗ} = R_1 C_1 \ln[(R_2 + 2 R_3) / R_2].$$

Мультивибраторы



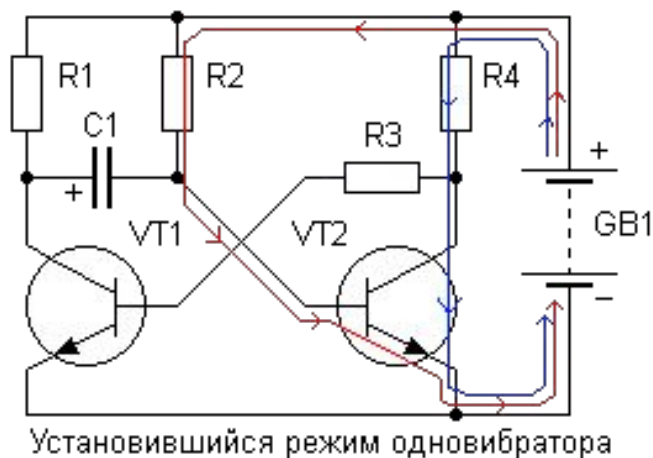
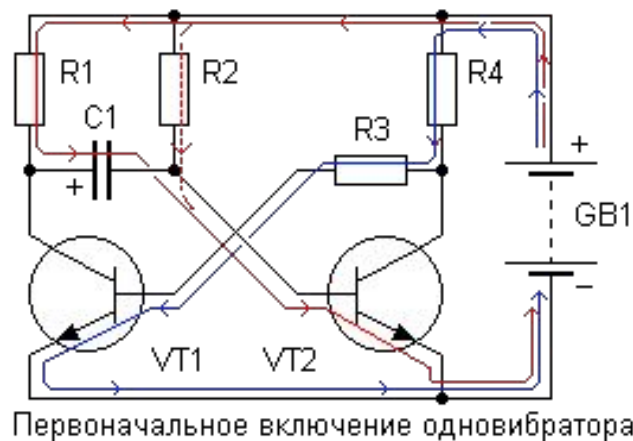
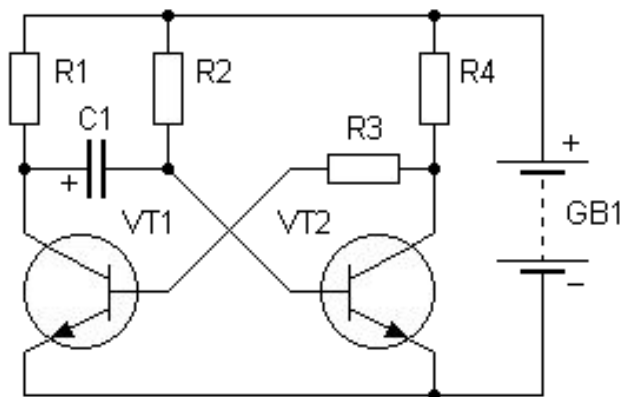
$$t_{И} = C_1(R_1 + r_{ВЫХ1}) \ln \frac{U^1 - U^0}{U_{пор}}$$

$$t_{ПЗ} = C_2(R_2 + r_{ВЫХ1}) \ln \frac{U^1 - U^0}{U_{пор}}$$

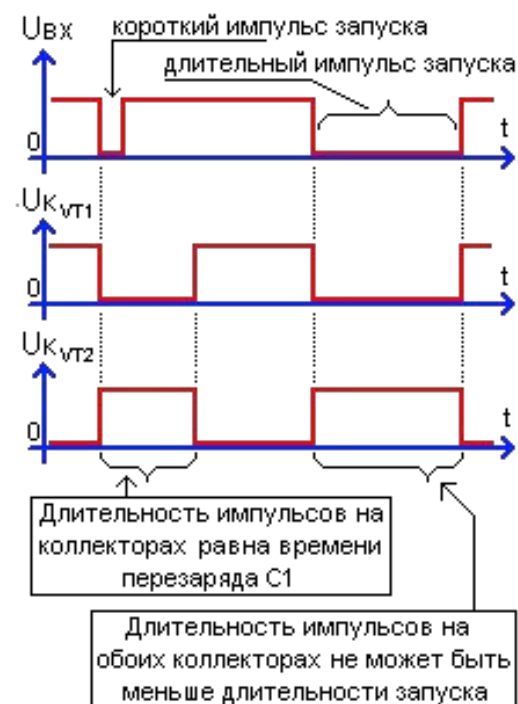
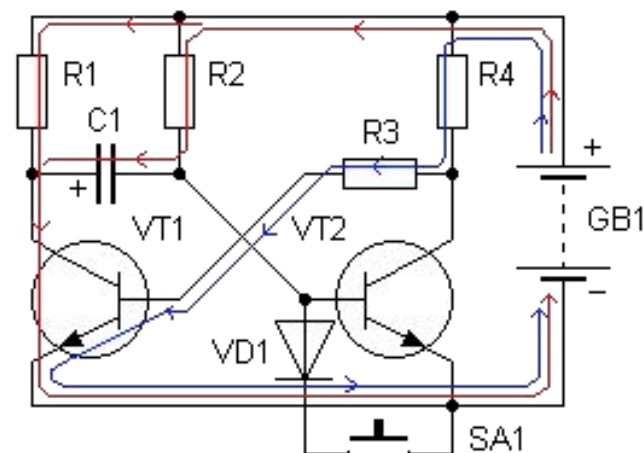
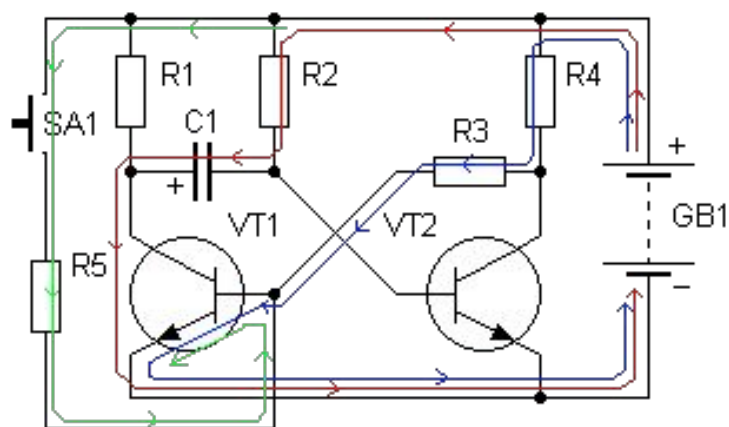


Одновибраторы

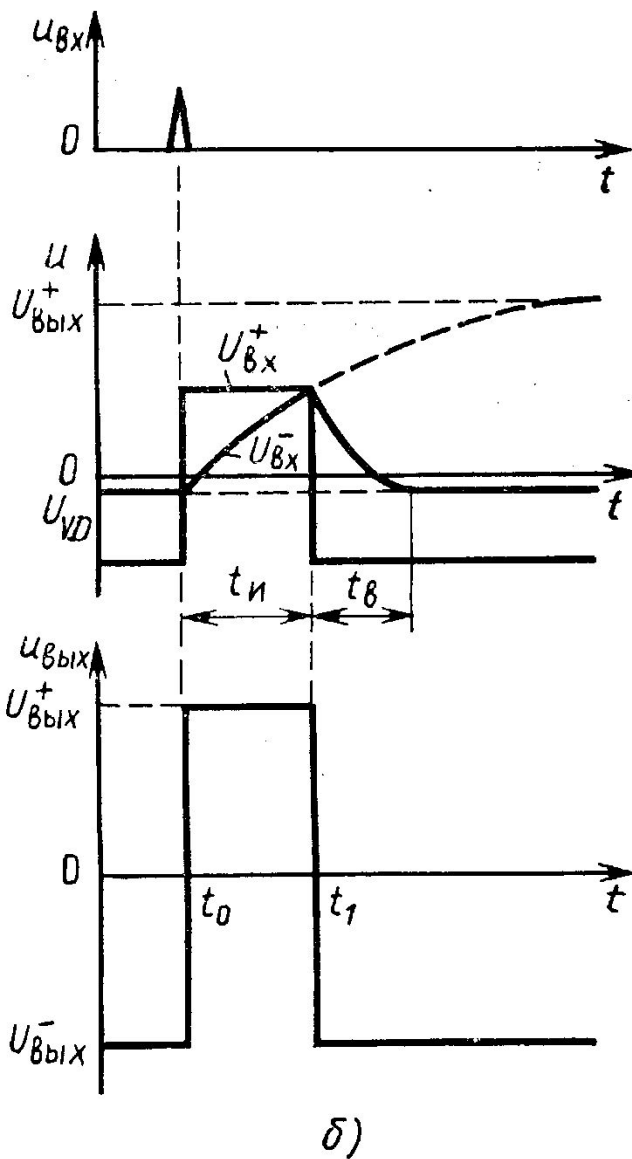
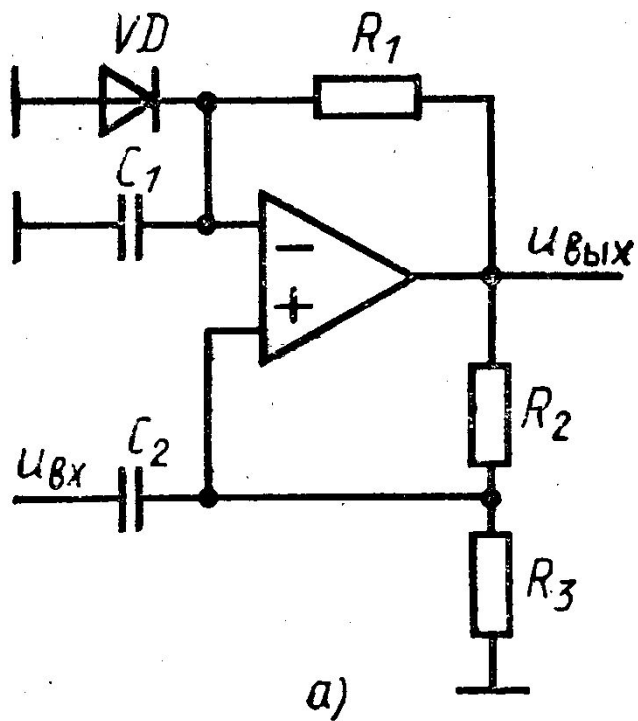
Предназначены для формирования прямоугольного импульса напряжения требуемой длительности при воздействии на входе короткого запускающего импульса.



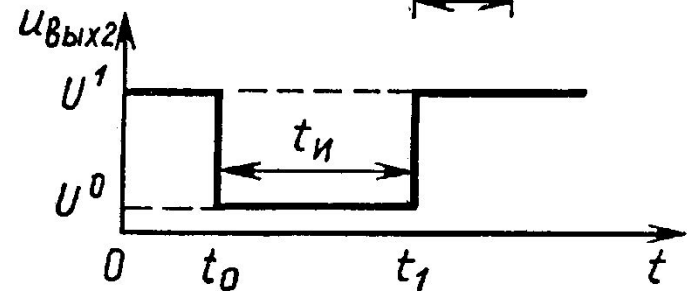
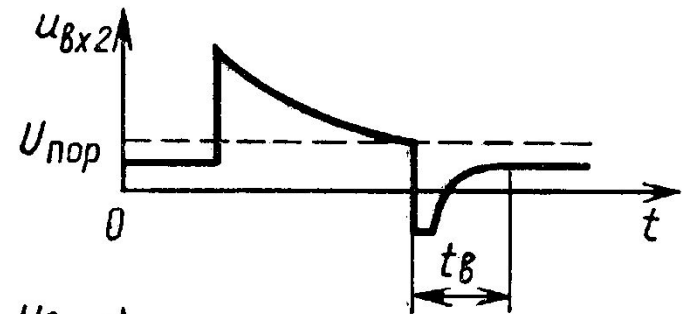
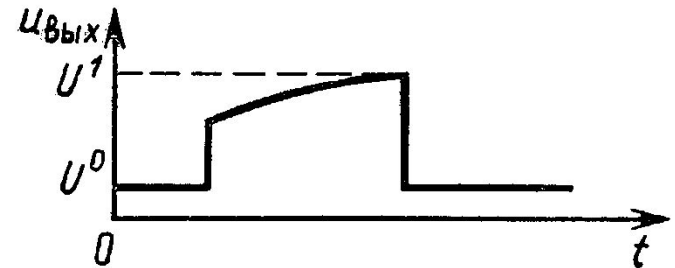
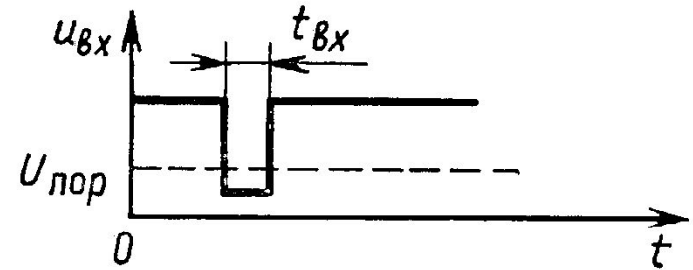
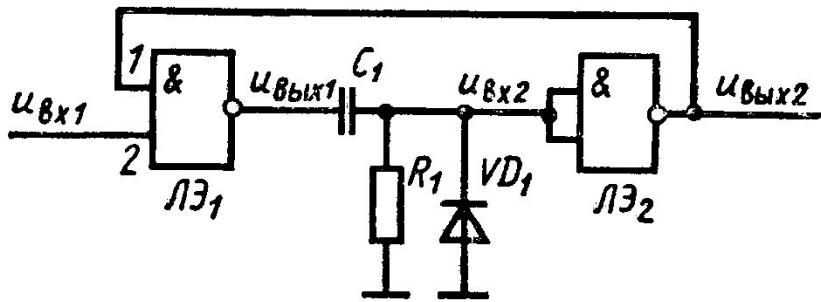
Одновибраторы



Одновибраторы

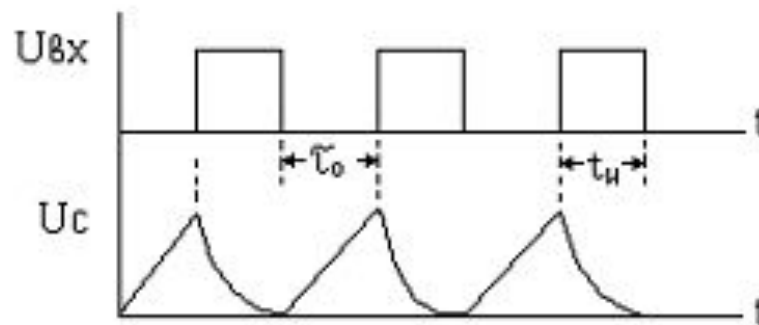
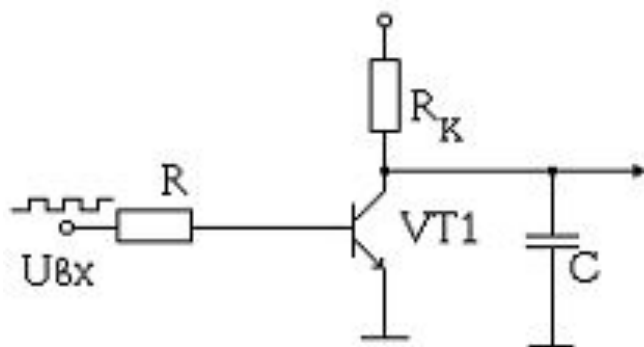
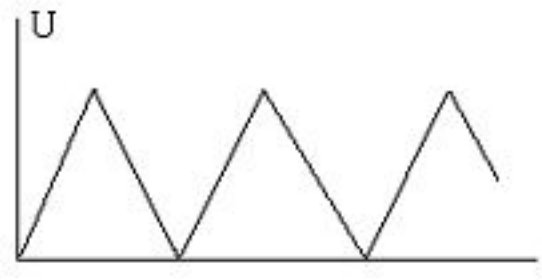
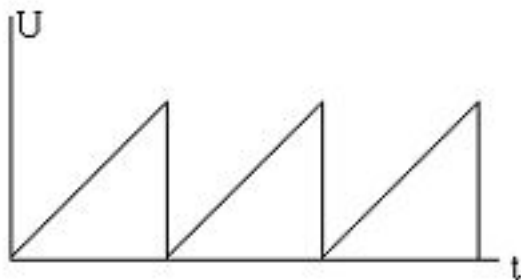


Одновибраторы



Генераторы линейно-изменяющихся напряжений (ГЛИН)

формируют периодические сигналы, изменяющиеся по линейному закону.



Генераторы линейно-изменяющихся напряжений (ГЛИН)

