


Обмен с
компьютером через
COM порт в ATMEGA16



Универсальный синхронный/асинхронный приемо-передатчик

- Все без исключения микроконтроллеры семейства Mega имеют в своем составе от одного до четырех модулей универсального синхронно/асинхронного приемо-передатчика (USART).
- Все модули приемо-передатчиков обеспечивают полнодуплексный обмен по последовательному каналу, при этом скорость передачи данных может варьироваться в довольно широких пределах.

Модули USART в микроконтроллерах семейства Mega

Модуль приемо-передатчика	ATmega8515x/8535x	ATmega8x/16x/32x	ATmega64x/128x	ATmega48x/88x/168x	ATmega162x	ATmega164x/324x/644x	ATmega165x, ATmega325x/350x, ATmega645x/6450x	ATmega640x/1280x/1281x	ATmega2560x/2561x
USART0	•	•	•	• ¹⁾	•	• ¹⁾	•	• ¹⁾	• ¹⁾
USART1			•		•	• ¹⁾		• ¹⁾	• ¹⁾
USART2								• ¹⁾	
USART3								• ¹⁾	
¹⁾ Может работать в режиме SPI.									



Модули USART в микроконтроллерах семейства Mega

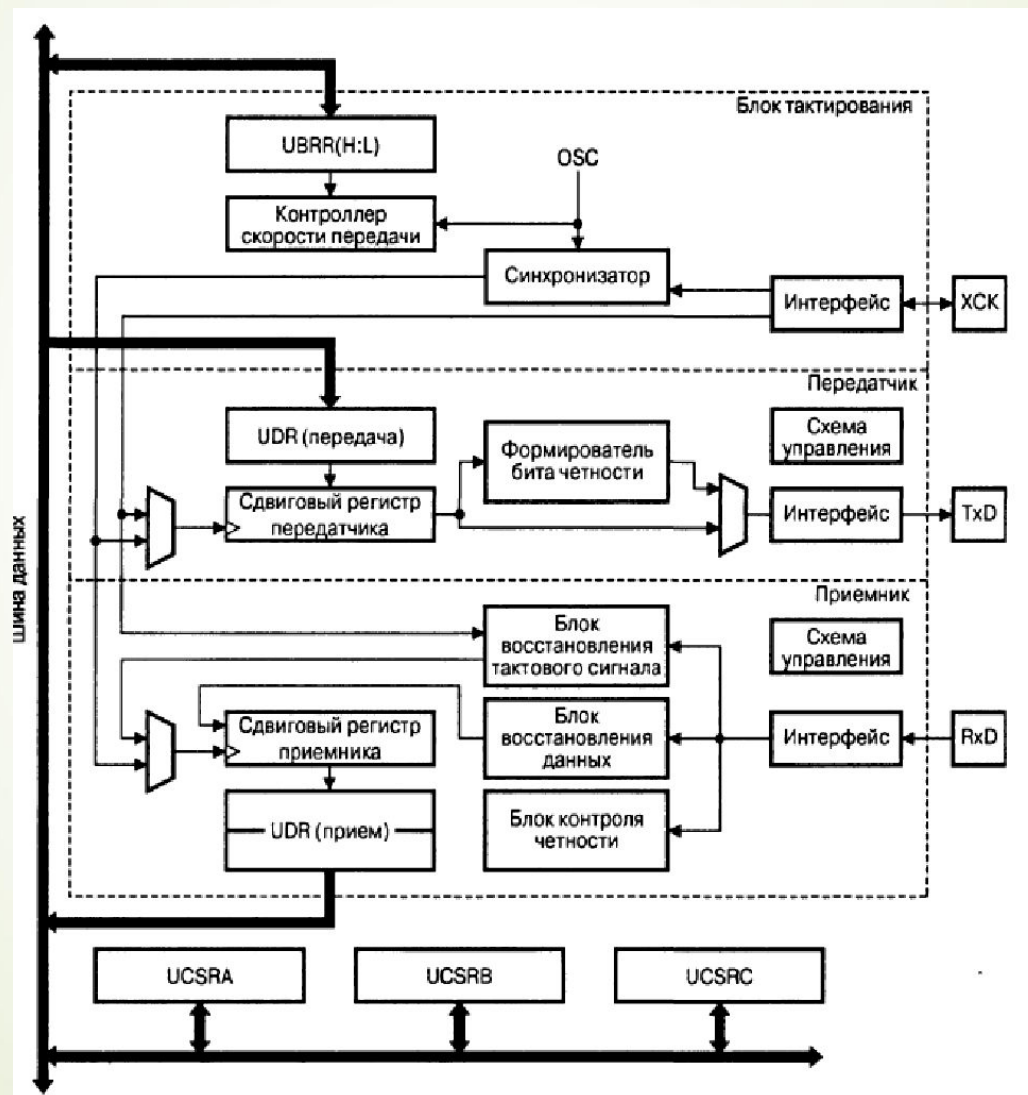
Модули USART, реализованные в микроконтроллерах семейства, могут обнаруживать следующие внештатные ситуации:

- переполнение;
- ошибка кадрирования;
- неверный старт-бит.

Выводы, используемые модулями USART

Название	АТмега											Описание
	8515x	8535x	8x	16x/32x	64x/128x	48x/88x/168x	162x	164x/324x/644x	165x, 325x/3250x, 645x/6450x	640x/1280x/2560x	1281x/2561x	
RXD	PD0	PD0	PD0	PD0	—	PD0	—	—	PE0	—	—	Вход USART0
RXD0	—	—	—	—	PE0	—	PD0	PD0	—	PE0	PE0	
TXD	PD1	PD1	PD1	PD1	—	PD1	—	—	PE1	—	—	Выход USART0
TXD0	—	—	—	—	PE1	—	PD1	PD1	—	PE1	PE1	
ХСК	PD4	PB0	PD4	PB0	—	PD4	PD4	—	PE2	—	—	Вход/выход внешнего тактового сигнала USART0
ХСК0	—	—	—	—	PE2	—	—	PB0	—	PE2	PE2	
RXD1	—	—	—	—	PD2	—	PB2	PD2	—	PD2	PD2	Вход USART1
TXD1	—	—	—	—	PD3	—	PB3	PD3	—	PD3	PD3	Выход USART1
ХСК1	—	—	—	—	PD5	—	PD2	PD4	—	PD5	PD5	Вход/выход внешнего тактового сигнала USART1
RXD2	—	—	—	—	—	—	—	—	—	PH0	—	Вход USART2
TXD2	—	—	—	—	—	—	—	—	—	PH1	—	Выход USART2
ХСК2	—	—	—	—	—	—	—	—	—	PH2	—	Вход/выход внешнего тактового сигнала USART2
RXD3	—	—	—	—	—	—	—	—	—	PJ0	—	Вход USART3
TXD3	—	—	—	—	—	—	—	—	—	PJ1	—	Выход USART3
ХСК3	—	—	—	—	—	—	—	—	—	PJ2	—	Вход/выход внешнего тактового сигнала USART3

Схема модуля USART



Размещение регистров данных модулей USART

Регистр	Адрес	ATmega8515x/8535x	ATmega8x/16x/32x	ATmega64x/128x	ATmega48x/88x/168x	ATmega162x	ATmega164x/324x/644x	ATmega165x, ATmega325x/3250x, ATmega645x/6450x	ATmega640x/1280x/2560x	ATmega1281x/2561x	Описание
UDR	\$0C (\$2C)	•	•								Регистр данных USART
	(\$C6)						•				
UDR0	\$0C (\$2C)			•		•					Регистр данных USART0
	(\$C6)				•		•		•	•	
UDR1	\$03 (\$23)					•					Регистр данных USART1
	(\$9C)			•							
	(\$CE)						•		•	•	
UDR2	(\$D6)								•		Регистр данных USART2
UDR3	(\$136)								•		Регистр данных USART3

Регистры управления и состояния модулей USART

Регистр	Адрес	ATmega								Описание	
		8515x/8535x	8x/16x/32x	64x/128x	48x/88x/168x	162x	164x/324x/644x	165x, 325x/3250x, 645x/6450x	640x/1280x/2560x		1281x/2561x
UCSRA	\$0B (\$2B)	•	•								Регистр управления А
UCSRB	\$0A (\$2A)	•	•								Регистр управления В
UCSRC	\$20 (\$40)	•	•								Регистр управления С
UCSR0A	\$0B (\$2B)			•		•					Регистр А управления USART0
	(\$C0)				•		•	•	•	•	
UCSR0B	\$0A (\$2A)			•		•					Регистр В управления USART0
	(\$C1)				•		•	•	•	•	
UCSR0C	\$20 (\$40)					•					Регистр С управления USART0
	(\$95)			•							
	(\$C2)				•		•	•	•	•	
UCSR1A	\$02 (\$22)					•					Регистр А управления USART1
	(\$9B)			•							
	(\$C8)						•		•	•	
UCSR1B	\$01 (\$21)					•					Регистр В управления USART1
	(\$9A)			•							
	(\$C9)						•		•	•	

Формат регистров UCSRA (UCSRnA)

	7	6	5	4	3	2	1	0
	RXC _n	TXC _n	UDRE _n	FE _n	DOR _n	UPE _n	U2X _n	MPCM _n
Чтение(R)/Запись(W)	R	R/W	R	R	R	R	R/W	R/W
Начальное значение	0	0	1	0	0	0	0	0

Биты регистров UCSRA (UCSRnA)

Бит	Название	Описание
7	RXC (RXC _n)	Флаг завершения приема. Флаг устанавливается в 1 при наличии непрочитанных данных в буфере приемника (регистр данных UDR). Сбрасывается аппаратно после опустошения буфера. Если бит RXCIE (RXCIE _n) регистра UCSRB (UCSR _n B) установлен, то при установке флага генерируется запрос на прерывание «прием завершен»
6	TXC (TXC _n)	Флаг завершения передачи. Флаг устанавливается в 1 после передачи всех битов посылки из сдвигового регистра передатчика при условии, что в регистр данных UDR не было загружено новое значение. Если бит TXCIE (TXCIE _n) регистра UCSRB (UCSR _n B) установлен, то при установке флага генерируется прерывание «передача завершена». Флаг сбрасывается аппаратно при выполнении подпрограммы обработки прерывания или программно, записью в него лог. 1
5	UDRE (UDRE _n)	Флаг опустошения регистра данных. Данный флаг устанавливается в 1 при пустом буфере передатчика (после пересылки байта из регистра данных UDR в сдвиговый регистр передатчика). Установленный флаг означает, что в регистр данных можно загружать новое значение. Если бит UDRIE (UDRIE _n) регистра UCSRB (UCSR _n B) установлен, генерируется запрос на прерывание «регистр данных пуст». Флаг сбрасывается аппаратно, при записи в регистр данных
4	FE (FE _n)	Флаг ошибки кадрирования. Флаг устанавливается в 1 при обнаружении ошибки кадрирования, т. е. если первый стоп-бит принятой посылки равен 0. Флаг сбрасывается при приеме стоп-бита, равного 1
3	DOR (DOR _n)	Флаг переполнения. Флаг устанавливается в 1, если в момент обнаружения нового старт-бита в сдвиговом регистре приемника находится последнее принятое слово, а буфер приемника полон (содержит два байта). Флаг сбрасывается при пересылке принятых данных из сдвигового регистра приемника в буфер
2	UPE (UPE _n)	Флаг ошибки контроля четности. Флаг устанавливается в 1, если в данных, находящихся в буфере приемника, выявлена ошибка контроля четности. При отключенном контроле четности этот бит постоянно сброшен в 0
1	U2X (U2X _n)	Удвоение скорости обмена. Если этот бит установлен в 1, то коэффициент деления предделителя контроллера скорости передачи уменьшается с 16 до 8, удваивая тем самым скорость асинхронного обмена по последовательному каналу. Этот бит используется только при асинхронном режиме работы и в синхронном режиме должен быть сброшен
0	MPCM (MPCM _n)	Режим мультипроцессорного обмена. Если этот бит установлен в 1, ведомый микроконтроллер ожидает приема кадра, содержащего адрес. Кадры, не содержащие адреса устройства, игнорируются

Биты регистров UCSRB (UCSRnB)

Бит	Название	Описание
7	RXCIE (RXCIE _n)	Разрешение прерывания по завершении приема. Если данный бит установлен в 1, то при установке флага RXC (RXC _n) регистра UCSRA (UCSR _n A) генерируется прерывание «прием завершен» (если флаг I регистра SREG установлен в 1)
6	TXCIE (TXCIE _n)	Разрешение прерывания по завершении передачи. Если данный бит установлен в 1, то при установке флага TXC (TXC _n) регистра UCSRA (UCSR _n A) генерируется прерывание «передача завершена» (если флаг I регистра SREG установлен в 1)
5	UDRIE (UDRIE _n)	Разрешение прерывания при очистке регистра данных UART. Если данный бит установлен в 1, то при установке флага UDRE (UDRE _n) регистра UCSRA (UCSR _n A) генерируется прерывание «регистр данных пуст» (если флаг I регистра SREG установлен в 1)
4	RXEN (RXEN _n)	Разрешение приема. При установке этого бита в 1 разрешается работа приемника USART и переопределяется функционирование вывода RXD (RXD _n). При сбросе бита RXEN (RXEN _n) работа приемника запрещается, а его буфер сбрасывается. Значения флагов TXC (TXC _n), DOR (DOR _n) и FE (FE _n) при этом становятся недействительными
3	TXEN (TXEN _n)	Разрешение передачи. При установке этого бита в 1 разрешается работа передатчика UART и переопределяется функционирование вывода TXD (TXD _n). Если бит сбрасывается в 0 во время передачи, то выключение передатчика произойдет только после завершения передачи данных, находящихся в сдвиговом регистре и буфере передатчика
2	UCSZ2 (UCSZ2 _n)	Формат посылок. Этот бит совместно с битами UCSZ1:0 (UCSZ1:0 _n) регистра UCSRC (UCSR _n C) используется для задания размера слов данных, передаваемых по последовательному каналу
1	RXB8 (RXB8 _n)	8-й бит принимаемых данных. При использовании 9-битных слов данных этот бит содержит значение старшего бита принятого слова. Содержимое этого бита должно быть считано до прочтения регистра данных UDR
0	TXB8 (TXB8 _n)	8-й бит передаваемых данных. При использовании 9-битных слов данных содержимое этого бита является старшим битом передаваемого слова. Требуемое значение должно быть занесено в этот бит до загрузки байта данных в регистр UDR

Формат регистров UCSRC(UCSRnC)

	7	6	5	4	3	2	1	0	
	URSEL _n	UMSEL _n	UPM _{n1}	UPM _{n0}	USBS _n	UCSZ _{n1}	UCSZ _{n0}	UCPOL _n	ATmega8515x/8535x ATmega8x/16x/32x ATmega162x ATmega165x/325x/3250x ATmega645x/6450x
Чтение(R)/Запись(W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	1	1	0	

Биты регистров UCSRC (UCSRnC)

Бит	Название	Описание
7	UMSELn1	Режим работы USART (модели 48х/88х/168х, 164х/324х/644х и 640х/1280х/1281х/2560х/2561х). Совместно с битом UMSELn0 определяет режим работы модуля USART
	URSEL ¹⁾ (URSELn)	Выбор регистра. Этот бит определяет, в какой из регистров модуля производится запись. Если бит установлен в 1, обращение производится к регистру UCSRC (UCSRnC). Если же бит сброшен в 0, обращение производится к регистру UBRRH (UBRRnH). Подробнее — см. следующий подраздел
6	UMSEL (UMSELn)	Режим работы USART. Если бит сброшен в 0, то модуль работает в асинхронном режиме. Если бит установлен в 1, то модуль работает в синхронном режиме
	UMSELn0	Режим работы USART (модели 48х/88х/168х, 164х/324х/644х и 640х/1280х/1281х/2560х/2561х). Совместно с битом UMSELn1 определяет режим работы модуля USART
5	UPM1 (UPMn1)	Режим работы схемы контроля и формирования бита четности. Эти биты определяют функционирование схем контроля и формирования бита четности (см. подраздел 13.2.2)
4	UPM0 (UPMn0)	
3	USBS (USBSn)	Количество стоп-битов. Этот бит определяет количество стоп-битов, посылаемых передатчиком. Если бит сброшен в 0, передатчик посылает 1 стоп-бит, если установлен в 1, то 2 стоп-бита. Для приемника содержимое этого бита безразлично
2	UCSZ1 (UCSZn1)	Формат посылок. Совместно с битом UCSZ2 (UCSZn2) регистра UCSRB (UCSRnB) эти биты определяют количество битов данных в посылках (размер слова)
1	UCSZ0 (UCSZn0)	

Биты регистров UCSRC (UCSRnC)

Бит	Название	Описание		
0	UCPOL (UCPOL _n)	Полярность тактового сигнала. Значение этого бита определяет момент выдачи и считывания данных на выводах модуля. Бит используется только при работе в синхронном режиме. При работе в асинхронном режиме он должен быть сброшен в 0.		
		UCPOL (UCPOL _n)	Выдача данных на вывод TXD (TXD _n)	Считывание данных с вывода RXD (RXD _n)
		0	Спадающий фронт ХСК (ХСК _n)	Нарастающий фронт ХСК (ХСК _n)
1	Нарастающий фронт ХСК (ХСК _n)	Спадающий фронт ХСК (ХСК _n)		

¹⁾ Зарезервирован в моделях ATmega64x/128x.



Скорость приема/передачи

- В асинхронном режиме, а также в синхронном режиме при работе в качестве ведущего скорость приема и передачи данных задается контроллером скорости передачи, работающим как делитель системного тактового сигнала с программируемым коэффициентом деления. Коэффициент определяется содержимым регистра контроллера UBRR (UBRRn)

Скорость приема/передачи

□ Скорость обмена определяется следующим образом:

- асинхронный режим (обычный, $U2Xn = 0$)

$$\text{BAUD} = \frac{f_{\text{СК}}}{16 \cdot (\text{UBRR} + 1)}$$

- асинхронный режим (ускоренный, $U2Xn = 1$)

$$\text{BAUD} = \frac{f_{\text{СК}}}{8 \cdot (\text{UBRR} + 1)}$$

- синхронный режим ведущего

$$\text{BAUD} = \frac{f_{\text{СК}}}{2 \cdot (\text{UBRR} + 1)},$$

Размещение регистров контроллера скорости передачи

Модель	Регистры	Адрес
ATmega8515x/8535x ¹⁾	UBRRH:UBRRL	\$20 (\$40):\$09 (\$29)
ATmega8x/16x/32x ¹⁾	UBRRH:UBRRL	\$20 (\$40):\$09 (\$29)
ATmega64x/128x	UBRR0H:UBRR0L	(\$90):\$09 (\$29)
	UBRR1H:UBRR1L	(\$98):(\$99)
ATmega48x/88x/168x	UBRR0H:UBRR0L	(\$C5):(\$C4)
ATmega162x ¹⁾	UBRR0H:UBRR0L	\$20 (\$40):\$09 (\$29)
	UBRR1H:UBRR1L	\$3C (\$5C):\$00 (\$20)
ATmega164x/324x/644x	UBRR0H:UBRR0L	(\$C5):(\$C4)
	UBRR1H:UBRR1L	(\$CD):(\$CC)
ATmega165x/325x/3250x/645x/6450x	UBRR0H:UBRR0L	(\$C5):(\$C4)
ATmega640x/1280x/2560x	UBRR0H:UBRR0L	(\$C5):(\$C4)
	UBRR1H:UBRR1L	(\$CD):(\$CC)
	UBRR2H:UBRR2L	(\$D5):(\$D4)
	UBRR3H:UBRR3L	(\$135):(\$134)
ATmega1281x/2561x	UBRR0H:UBRR0L	(\$C5):(\$C4)
	UBRR1H:UBRR1L	(\$CD):(\$CC)

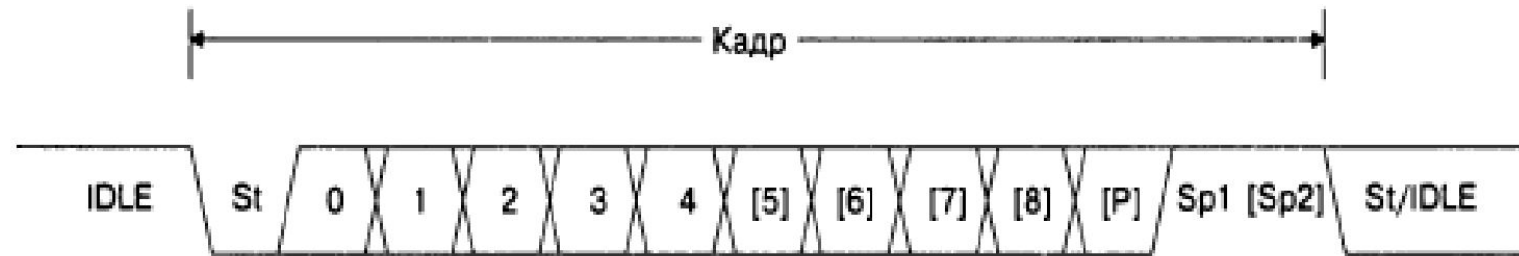
¹⁾ В этих моделях регистр UBRRH (UBRRnH) размещается по тому же адресу, что и регистр UCSRC (UCSRnC).



Формат кадра

- Под **кадром** в данном случае понимается совокупность одного слова данных и сопутствующей информации
- Кадр начинается со старт-бита, за которым следует младший бит слова данных
- После старшего бита слова данных следует один или два стоп-бита
- Если включена схема формирования бита четности, он включается между старшим битом слова данных и первым стоп-битом.

Формат кадра



- St — старт-бит, всегда 0
- (n) — биты данных
- P — бит четности
- Sp1 — стоп-бит, всегда 1
- IDLE — нет обмена по линии RxD или TxD, должна быть 1

Формат кадра

- Формат кадра определяется различными битами регистров UCSRB(UCSRnB) и UCSRC (UCSRnC). В частности, размер слова данных определяется битами UCSZ2...UCSZ0 (UCSZn2...UCSZn0) В соответствии с данной таблицей:

UCSZ2 (UCSZn2)	UCSZ1 (UCSZn1)	UCSZ0 (UCSZn0)	Размер слова данных
0	0	0	5 бит
0	0	1	6 бит
0	1	0	7 бит
0	1	1	8 бит
1	0	0	Зарезервировано
1	0	1	Зарезервировано
1	1	0	Зарезервировано
1	1	1	9 бит

Формат кадра

- Биты UPM1:UPM0 (UPIVM:UPMAJO) регистра UCSRC (UCSRA/C) определяют функционирование схемы контроля четности модулей USART согласно таблице:

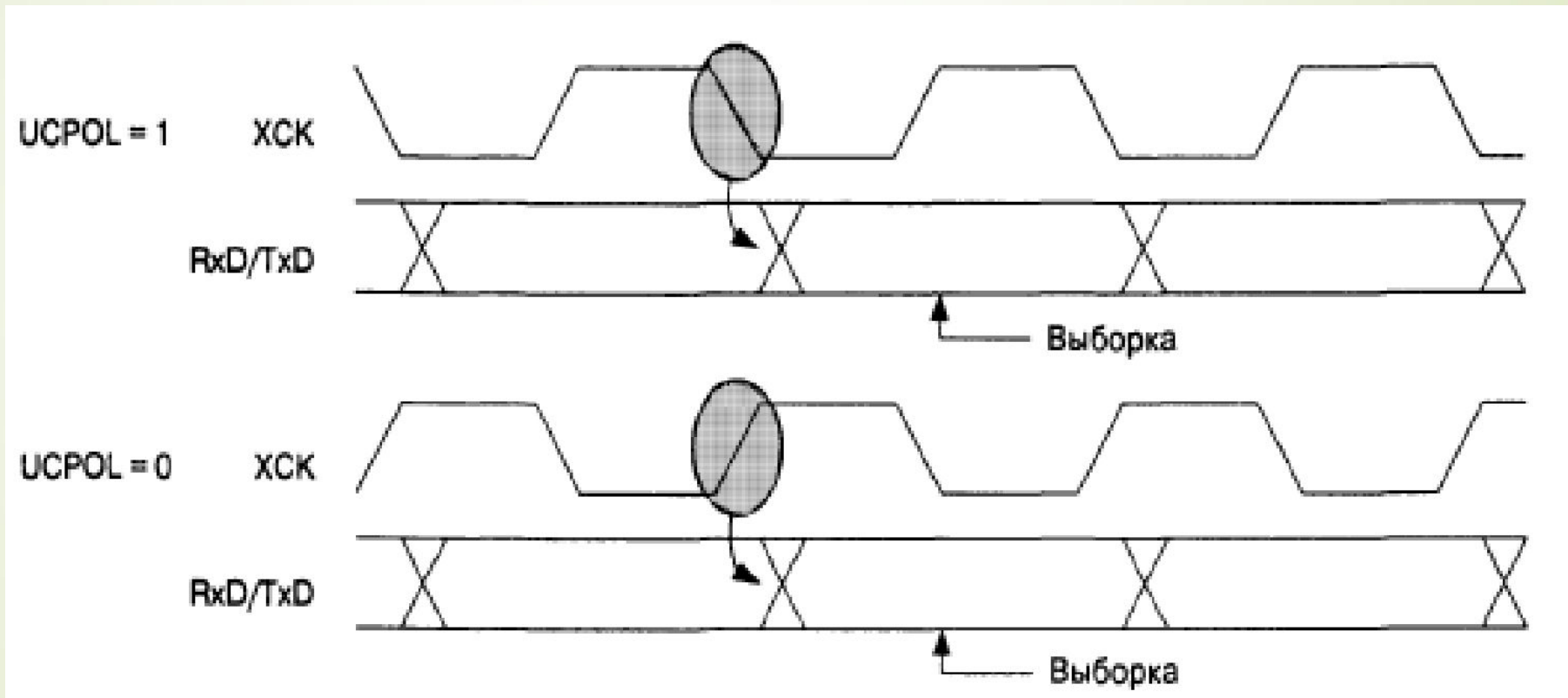
UPM1 (UPM n 1)	UPM0 (UPM n 0)	Режим работы схемы
0	0	Выключена
0	1	Зарезервировано
1	0	Включена, проверка на четность (even parity)
1	1	Включена, проверка на нечетность (odd parity)



Передача данных

- Работа передатчика разрешается установкой в 1 бита TXEN (TXENn) регистра UCSRB (UCSRAn). При установке бита вывод TXD (TXDn) подключается к передатчику USART и начинает функционировать как выход независимо от установок регистров управления портом. Если используется синхронный режим работы, то переопределяется также функционирование вывода XCK (XCKn).

Временные диаграммы для синхронного режима работы USART



Прием данных

- Работа приемника разрешается установкой бита RXEN (RXENn) регистра UCSRB (UCSRnB). При установке бита вывод RXD (RXDn) подключается к приемнику USART и начинает функционировать как вход независимо от установок регистров управления портом. Если используется синхронный режим работы, переопределяется также функционирование вывода XCK (XCKn).