


Обмен с  
компьютером через  
COM порт в ATMEGA16




# Универсальный синхронный/асинхронный приемо-передатчик

- Все без исключения микроконтроллеры семейства Mega имеют в своем составе от одного до четырех модулей универсального синхронно/асинхронного приемо-передатчика (USART).
- Все модули приемо-передатчиков обеспечивают полнодуплексный обмен по последовательному каналу, при этом скорость передачи данных может варьироваться в довольно широких пределах.

# Модули USART в микроконтроллерах семейства Mega

| Модуль<br>приемо-передатчика               | ATmega8515x/8535x | ATmega8x/16x/32x | ATmega64x/128x | ATmega48x/88x/168x | ATmega162x | ATmega164x/324x/644x | ATmega165x,<br>ATmega325x/350x,<br>ATmega645x/6450x | ATmega640x/1280x/1281x | ATmega2560x/2561x |
|--|-------------------|------------------|----------------|--------------------|------------|----------------------|---|------------------------|-------------------|
| USART0                                     | •                 | •                | •              | • <sup>1)</sup>    | •          | • <sup>1)</sup>      | •   | • <sup>1)</sup>        | • <sup>1)</sup>   |
| USART1                                     |                   |                  | •              |                    | •          | • <sup>1)</sup>      |   | • <sup>1)</sup>        | • <sup>1)</sup>   |
| USART2                                     |                   |                  |                |                    |            |                      |   | • <sup>1)</sup>        |                   |
| USART3                                     |                   |                  |                |                    |            |                      |   | • <sup>1)</sup>        |                   |
| <sup>1)</sup> Может работать в режиме SPI. |                   |                  |                |                    |            |                      |   |                        |                   |



# Модули USART в микроконтроллерах семейства Mega

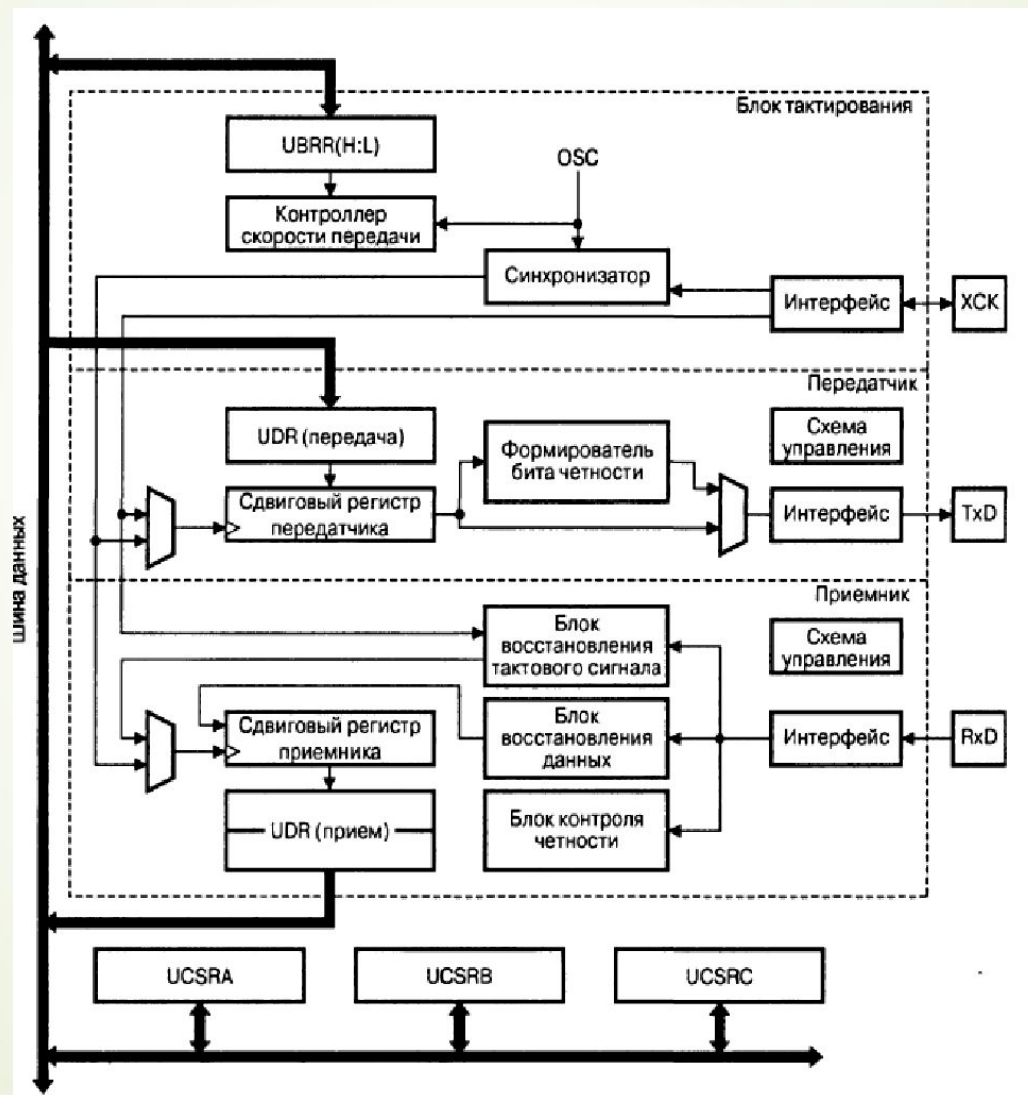
Модули USART, реализованные в микроконтроллерах семейства, могут обнаруживать следующие внештатные ситуации:

- переполнение;
- ошибка кадрирования;
- неверный старт-бит.

# Выводы, используемые модулями USART

| Название | АТмега |       |     |         |          |              |      |                |                                    |                  |             | Описание                                     |
|----------|--------|-------|-----|---------|----------|--------------|------|----------------|------------------------------------|------------------|-------------|--|
|          | 8515х  | 8535х | 8х  | 16х/32х | 64х/128х | 48х/88х/168х | 162х | 164х/324х/644х | 165х,<br>325х/3250х,<br>645х/6450х | 640х/1280х/2560х | 1281х/2561х |  |
| RXD      | PD0    | PD0   | PD0 | PD0     | —        | PD0          | —    | —              | PE0                                | —                | —           | Вход USART0                                  |
| RXD0     | —      | —     | —   | —       | PE0      | —            | PD0  | PD0            | —                                  | PE0              | PE0         |  |
| TXD      | PD1    | PD1   | PD1 | PD1     | —        | PD1          | —    | —              | PE1                                | —                | —           | Выход USART0                                 |
| TXD0     | —      | —     | —   | —       | PE1      | —            | PD1  | PD1            | —                                  | PE1              | PE1         |  |
| ХСК      | PD4    | PB0   | PD4 | PB0     | —        | PD4          | PD4  | —              | PE2                                | —                | —           | Вход/выход внешнего тактового сигнала USART0 |
| ХСК0     | —      | —     | —   | —       | PE2      | —            | —    | PB0            | —                                  | PE2              | PE2         |  |
| RXD1     | —      | —     | —   | —       | PD2      | —            | PB2  | PD2            | —                                  | PD2              | PD2         | Вход USART1                                  |
| TXD1     | —      | —     | —   | —       | PD3      | —            | PB3  | PD3            | —                                  | PD3              | PD3         | Выход USART1                                 |
| ХСК1     | —      | —     | —   | —       | PD5      | —            | PD2  | PD4            | —                                  | PD5              | PD5         | Вход/выход внешнего тактового сигнала USART1 |
| RXD2     | —      | —     | —   | —       | —        | —            | —    | —              | —                                  | PH0              | —           | Вход USART2                                  |
| TXD2     | —      | —     | —   | —       | —        | —            | —    | —              | —                                  | PH1              | —           | Выход USART2                                 |
| ХСК2     | —      | —     | —   | —       | —        | —            | —    | —              | —                                  | PH2              | —           | Вход/выход внешнего тактового сигнала USART2 |
| RXD3     | —      | —     | —   | —       | —        | —            | —    | —              | —                                  | PJ0              | —           | Вход USART3                                  |
| TXD3     | —      | —     | —   | —       | —        | —            | —    | —              | —                                  | PJ1              | —           | Выход USART3                                 |
| ХСК3     | —      | —     | —   | —       | —        | —            | —    | —              | —                                  | PJ2              | —           | Вход/выход внешнего тактового сигнала USART3 |

# Схема модуля USART



# Размещение регистров данных модулей USART

| Регистр | Адрес          | ATmega8515x/8535x | ATmega8x/16x/32x | ATmega64x/128x | ATmega48x/88x/168x | ATmega162x | ATmega164x/324x/644x | ATmega165x,<br>ATmega325x/3250x,<br>ATmega645x/6450x | ATmega640x/1280x/2560x | ATmega1281x/2561x | Описание              |
|---------|----------------|-------------------|------------------|----------------|--------------------|------------|----------------------|--|------------------------|-------------------|-----------------------|
| UDR     | \$0C<br>(\$2C) | •                 | •                |                |                    |            |                      |  |                        |                   | Регистр данных USART  |
|         | (\$C6)         |                   |                  |                |                    |            |                      | •  |                        |                   |                       |
| UDR0    | \$0C<br>(\$2C) |                   |                  | •              |                    | •          |                      |  |                        |                   | Регистр данных USART0 |
|         | (\$C6)         |                   |                  |                | •                  |            | •                    |  | •                      | •                 |                       |
| UDR1    | \$03<br>(\$23) |                   |                  |                |                    | •          |                      |  |                        |                   | Регистр данных USART1 |
|         | (\$9C)         |                   |                  | •              |                    |            |                      |  |                        |                   |                       |
|         | (\$CE)         |                   |                  |                |                    |            | •                    |  | •                      | •                 |                       |
| UDR2    | (\$D6)         |                   |                  |                |                    |            |                      |  | •                      |                   | Регистр данных USART2 |
| UDR3    | (\$136)        |                   |                  |                |                    |            |                      |  | •                      |                   | Регистр данных USART3 |

# Регистры управления и состояния модулей USART

| Регистр | Адрес          | ATmega      |            |          |              |      |                |                                    |                  | Описание |                             |
|---------|----------------|-------------|------------|----------|--------------|------|----------------|------------------------------------|------------------|----------|-----------------------------|
|         |                | 8515x/8535x | 8x/16x/32x | 64x/128x | 48x/88x/168x | 162x | 164x/324x/644x | 165x,<br>325x/3250x,<br>645x/6450x | 640x/1280x/2560x |          | 1281x/2561x                 |
| UCSRA   | \$0B<br>(\$2B) | •           | •          |          |              |      |                |                                    |                  |          | Регистр управления А        |
| UCSRB   | \$0A<br>(\$2A) | •           | •          |          |              |      |                |                                    |                  |          | Регистр управления В        |
| UCSRC   | \$20<br>(\$40) | •           | •          |          |              |      |                |                                    |                  |          | Регистр управления С        |
| UCSR0A  | \$0B<br>(\$2B) |             |            | •        |              | •    |                |                                    |                  |          | Регистр А управления USART0 |
|         | (\$C0)         |             |            |          | •            |      | •              | •                                  | •                | •        |                             |
| UCSR0B  | \$0A<br>(\$2A) |             |            | •        |              | •    |                |                                    |                  |          | Регистр В управления USART0 |
|         | (\$C1)         |             |            |          | •            |      | •              | •                                  | •                | •        |                             |
| UCSR0C  | \$20<br>(\$40) |             |            |          |              | •    |                |                                    |                  |          | Регистр С управления USART0 |
|         | (\$95)         |             |            | •        |              |      |                |                                    |                  |          |                             |
|         | (\$C2)         |             |            |          | •            |      | •              | •                                  | •                | •        |                             |
| UCSR1A  | \$02<br>(\$22) |             |            |          |              | •    |                |                                    |                  |          | Регистр А управления USART1 |
|         | (\$9B)         |             |            | •        |              |      |                |                                    |                  |          |                             |
|         | (\$C8)         |             |            |          |              |      | •              |                                    | •                | •        |                             |
| UCSR1B  | \$01<br>(\$21) |             |            |          |              | •    |                |                                    |                  |          | Регистр В управления USART1 |
|         | (\$9A)         |             |            | •        |              |      |                |                                    |                  |          |                             |
|         | (\$C9)         |             |            |          |              |      | •              |                                    | •                | •        |                             |



# Формат регистров UCSRA (UCSRnA)

|                     | 7                | 6                | 5                 | 4               | 3                | 2                | 1                | 0                 |
|---------------------|------------------|------------------|-------------------|-----------------|------------------|------------------|------------------|-------------------|
|                     | RXC <sub>n</sub> | TXC <sub>n</sub> | UDRE <sub>n</sub> | FE <sub>n</sub> | DOR <sub>n</sub> | UPE <sub>n</sub> | U2X <sub>n</sub> | MPCM <sub>n</sub> |
| Чтение(R)/Запись(W) | R                | R/W              | R                 | R               | R                | R                | R/W              | R/W               |
| Начальное значение  | 0                | 0                | 1                 | 0               | 0                | 0                | 0                | 0                 |

# Биты регистров UCSRA (UCSRnA)

| Бит | Название                     | Описание   |
|-----|------------------------------|--|
| 7   | RXC<br>(RXC <sub>n</sub> )   | <b>Флаг завершения приема.</b> Флаг устанавливается в 1 при наличии непрочитанных данных в буфере приемника (регистр данных UDR). Сбрасывается аппаратно после опустошения буфера. Если бит RXCIE (RXCIE <sub>n</sub> ) регистра UCSRB (UCSR <sub>n</sub> B) установлен, то при установке флага генерируется запрос на прерывание «прием завершен»   |
| 6   | TXC<br>(TXC <sub>n</sub> )   | <b>Флаг завершения передачи.</b> Флаг устанавливается в 1 после передачи всех битов посылки из сдвигового регистра передатчика при условии, что в регистр данных UDR не было загружено новое значение. Если бит TXCIE (TXCIE <sub>n</sub> ) регистра UCSRB (UCSR <sub>n</sub> B) установлен, то при установке флага генерируется прерывание «передача завершена». Флаг сбрасывается аппаратно при выполнении подпрограммы обработки прерывания или программно, записью в него лог. 1 |
| 5   | UDRE<br>(UDRE <sub>n</sub> ) | <b>Флаг опустошения регистра данных.</b> Данный флаг устанавливается в 1 при пустом буфере передатчика (после пересылки байта из регистра данных UDR в сдвиговый регистр передатчика). Установленный флаг означает, что в регистр данных можно загружать новое значение. Если бит UDRIE (UDRIE <sub>n</sub> ) регистра UCSRB (UCSR <sub>n</sub> B) установлен, генерируется запрос на прерывание «регистр данных пуст». Флаг сбрасывается аппаратно, при записи в регистр данных     |
| 4   | FE<br>(FE <sub>n</sub> )     | <b>Флаг ошибки кадрирования.</b> Флаг устанавливается в 1 при обнаружении ошибки кадрирования, т. е. если первый стоп-бит принятой посылки равен 0. Флаг сбрасывается при приеме стоп-бита, равного 1  |
| 3   | DOR<br>(DOR <sub>n</sub> )   | <b>Флаг переполнения.</b> Флаг устанавливается в 1, если в момент обнаружения нового старт-бита в сдвиговом регистре приемника находится последнее принятое слово, а буфер приемника полон (содержит два байта). Флаг сбрасывается при пересылке принятых данных из сдвигового регистра приемника в буфер  |
| 2   | UPE<br>(UPE <sub>n</sub> )   | <b>Флаг ошибки контроля четности.</b> Флаг устанавливается в 1, если в данных, находящихся в буфере приемника, выявлена ошибка контроля четности. При отключенном контроле четности этот бит постоянно сброшен в 0   |
| 1   | U2X<br>(U2X <sub>n</sub> )   | <b>Удвоение скорости обмена.</b> Если этот бит установлен в 1, то коэффициент деления предделителя контроллера скорости передачи уменьшается с 16 до 8, удваивая тем самым скорость асинхронного обмена по последовательному каналу. Этот бит используется только при асинхронном режиме работы и в синхронном режиме должен быть сброшен  |
| 0   | MPCM<br>(MPCM <sub>n</sub> ) | <b>Режим мультипроцессорного обмена.</b> Если этот бит установлен в 1, ведомый микроконтроллер ожидает приема кадра, содержащего адрес. Кадры, не содержащие адреса устройства, игнорируются   |



# Биты регистров UCSRB (UCSRnB)

| Бит | Название              | Описание  |
|-----|-----------------------|---|
| 7   | RXCIE<br>(RXCIE $n$ ) | <b>Разрешение прерывания по завершении приема.</b> Если данный бит установлен в 1, то при установке флага RXC (RXC $n$ ) регистра UCSRA (UCSR $n$ A) генерируется прерывание «прием завершен» (если флаг I регистра SREG установлен в 1)  |
| 6   | TXCIE<br>(TXCIE $n$ ) | <b>Разрешение прерывания по завершении передачи.</b> Если данный бит установлен в 1, то при установке флага TXC (TXC $n$ ) регистра UCSRA (UCSR $n$ A) генерируется прерывание «передача завершена» (если флаг I регистра SREG установлен в 1)  |
| 5   | UDRIE<br>(UDRIE $n$ ) | <b>Разрешение прерывания при очистке регистра данных UART.</b> Если данный бит установлен в 1, то при установке флага UDRE (UDRE $n$ ) регистра UCSRA (UCSR $n$ A) генерируется прерывание «регистр данных пуст» (если флаг I регистра SREG установлен в 1)   |
| 4   | RXEN<br>(RXEN $n$ )   | <b>Разрешение приема.</b> При установке этого бита в 1 разрешается работа приемника USART и переопределяется функционирование вывода RXD (RXD $n$ ). При сбросе бита RXEN (RXEN $n$ ) работа приемника запрещается, а его буфер сбрасывается. Значения флагов TXC (TXC $n$ ), DOR (DOR $n$ ) и FE (FE $n$ ) при этом становятся недействительными |
| 3   | TXEN<br>(TXEN $n$ )   | <b>Разрешение передачи.</b> При установке этого бита в 1 разрешается работа передатчика UART и переопределяется функционирование вывода TXD (TXD $n$ ). Если бит сбрасывается в 0 во время передачи, то выключение передатчика произойдет только после завершения передачи данных, находящихся в сдвиговом регистре и буфере передатчика          |
| 2   | UCSZ2<br>(UCSZ2 $n$ ) | <b>Формат посылок.</b> Этот бит совместно с битами UCSZ1:0 (UCSZ1:0) регистра UCSRC (UCSR $n$ C) используется для задания размера слов данных, передаваемых по последовательному каналу   |
| 1   | RXB8<br>(RXB8 $n$ )   | <b>8-й бит принимаемых данных.</b> При использовании 9-битных слов данных этот бит содержит значение старшего бита принятого слова. Содержимое этого бита должно быть считано до прочтения регистра данных UDR  |
| 0   | TXB8<br>(TXB8 $n$ )   | <b>8-й бит передаваемых данных.</b> При использовании 9-битных слов данных содержимое этого бита является старшим битом передаваемого слова. Требуемое значение должно быть занесено в этот бит до загрузки байта данных в регистр UDR  |

# Формат регистров UCSRC(UCSRnC)

|                     | 7                  | 6                  | 5                 | 4                 | 3                 | 2                  | 1                  | 0                  |  |
|---------------------|--------------------|--------------------|-------------------|-------------------|-------------------|--------------------|--------------------|--------------------|--|
|                     | URSEL <sub>n</sub> | UMSEL <sub>n</sub> | UPM <sub>n1</sub> | UPM <sub>n0</sub> | USBS <sub>n</sub> | UCSZ <sub>n1</sub> | UCSZ <sub>n0</sub> | UCPOL <sub>n</sub> | ATmega8515x/8535x<br>ATmega8x/16x/32x<br>ATmega162x<br>ATmega165x/325x/3250x<br>ATmega645x/6450x |
| Чтение(R)/Запись(W) | R/W                | R/W                | R/W               | R/W               | R/W               | R/W                | R/W                | R/W                |  |
| Начальное значение  | 0                  | 0                  | 0                 | 0                 | 0                 | 1                  | 1                  | 0                  |  |

# Биты регистров UCSRC (UCSRnC)

| Бит | Название                        | Описание   |
|-----|---------------------------------|--|
| 7   | UMSELn1                         | <b>Режим работы USART</b><br>(модели 48х/88х/168х, 164х/324х/644х и 640х/1280х/1281х/2560х/2561х).<br>Совместно с битом UMSELn0 определяет режим работы модуля USART   |
|     | URSEL <sup>1)</sup><br>(URSELn) | <b>Выбор регистра.</b> Этот бит определяет, в какой из регистров модуля производится запись. Если бит установлен в 1, обращение производится к регистру UCSRC (UCSRnC). Если же бит сброшен в 0, обращение производится к регистру UBRRH (UBRRnH). Подробнее — см. следующий подраздел |
| 6   | UMSEL<br>(UMSELn)               | <b>Режим работы USART.</b> Если бит сброшен в 0, то модуль работает в асинхронном режиме. Если бит установлен в 1, то модуль работает в синхронном режиме  |
|     | UMSELn0                         | <b>Режим работы USART</b><br>(модели 48х/88х/168х, 164х/324х/644х и 640х/1280х/1281х/2560х/2561х).<br>Совместно с битом UMSELn1 определяет режим работы модуля USART   |
| 5   | UPM1<br>(UPMn1)                 | <b>Режим работы схемы контроля и формирования бита четности.</b> Эти биты определяют функционирование схем контроля и формирования бита четности (см. подраздел 13.2.2)  |
| 4   | UPM0<br>(UPMn0)                 |  |
| 3   | USBS<br>(USBSn)                 | <b>Количество стоп-битов.</b> Этот бит определяет количество стоп-битов, посылаемых передатчиком. Если бит сброшен в 0, передатчик посылает 1 стоп-бит, если установлен в 1, то 2 стоп-бита. Для приемника содержимое этого бита безразлично   |
| 2   | UCSZ1<br>(UCSZn1)               | <b>Формат посылок.</b> Совместно с битом UCSZ2 (UCSZn2) регистра UCSRB (UCSRnB) эти биты определяют количество битов данных в посылках (размер слова)  |
| 1   | UCSZ0<br>(UCSZn0)               |  |

# Биты регистров UCSRC (UCSRnC)

| Бит | Название                       | Описание  |   |   |
|-----|--------------------------------|---|---|---|
| 0   | UCPOL<br>(UCPOL <sub>n</sub> ) | Полярность тактового сигнала. Значение этого бита определяет момент выдачи и считывания данных на выводах модуля. Бит используется только при работе в синхронном режиме. При работе в асинхронном режиме он должен быть сброшен в 0. |   |   |
|     |                                | UCPOL<br>(UCPOL <sub>n</sub> )  | Выдача данных на вывод<br>TXD (TXD <sub>n</sub> ) | Считывание данных с вывода<br>RXD (RXD <sub>n</sub> ) |
|     |                                | 0   | Спадающий фронт ХСК<br>(ХСК <sub>n</sub> )        | Нарастающий фронт ХСК<br>(ХСК <sub>n</sub> )          |
|     |                                | 1   | Нарастающий фронт ХСК<br>(ХСК <sub>n</sub> )      | Спадающий фронт ХСК<br>(ХСК <sub>n</sub> )            |

<sup>1)</sup> Зарезервирован в моделях АТmega64х/128х.



# Скорость приема/передачи

- В асинхронном режиме, а также в синхронном режиме при работе в качестве ведущего скорость приема и передачи данных задается контроллером скорости передачи, работающим как делитель системного тактового сигнала с программируемым коэффициентом деления. Коэффициент определяется содержимым регистра контроллера UBRR (UBRRn)



# Скорость приема/передачи

□ Скорость обмена определяется следующим образом:

- асинхронный режим (обычный,  $U2Xn = 0$ )

$$\text{BAUD} = \frac{f_{\text{СК}}}{16 \cdot (\text{UBRR} + 1)}$$

- асинхронный режим (ускоренный,  $U2Xn = 1$ )

$$\text{BAUD} = \frac{f_{\text{СК}}}{8 \cdot (\text{UBRR} + 1)}$$

- синхронный режим ведущего

$$\text{BAUD} = \frac{f_{\text{СК}}}{2 \cdot (\text{UBRR} + 1)},$$

# Размещение регистров контроллера скорости передачи

| Модель                           | Регистры      | Адрес                   |
|----------------------------------|---------------|-------------------------|
| ATmega8515x/8535x <sup>1)</sup>  | UBRRH:UBRRL   | \$20 (\$40):\$09 (\$29) |
| ATmega8x/16x/32x <sup>1)</sup>   | UBRRH:UBRRL   | \$20 (\$40):\$09 (\$29) |
| ATmega64x/128x                   | UBRR0H:UBRR0L | (\$90):\$09 (\$29)      |
|                                  | UBRR1H:UBRR1L | (\$98):(\$99)           |
| ATmega48x/88x/168x               | UBRR0H:UBRR0L | (\$C5):(\$C4)           |
| ATmega162x <sup>1)</sup>         | UBRR0H:UBRR0L | \$20 (\$40):\$09 (\$29) |
|                                  | UBRR1H:UBRR1L | \$3C (\$5C):\$00 (\$20) |
| ATmega164x/324x/644x             | UBRR0H:UBRR0L | (\$C5):(\$C4)           |
|                                  | UBRR1H:UBRR1L | (\$CD):(\$CC)           |
| ATmega165x/325x/3250x/645x/6450x | UBRR0H:UBRR0L | (\$C5):(\$C4)           |
| ATmega640x/1280x/2560x           | UBRR0H:UBRR0L | (\$C5):(\$C4)           |
|                                  | UBRR1H:UBRR1L | (\$CD):(\$CC)           |
|                                  | UBRR2H:UBRR2L | (\$D5):(\$D4)           |
|                                  | UBRR3H:UBRR3L | (\$135):(\$134)         |
| ATmega1281x/2561x                | UBRR0H:UBRR0L | (\$C5):(\$C4)           |
|                                  | UBRR1H:UBRR1L | (\$CD):(\$CC)           |

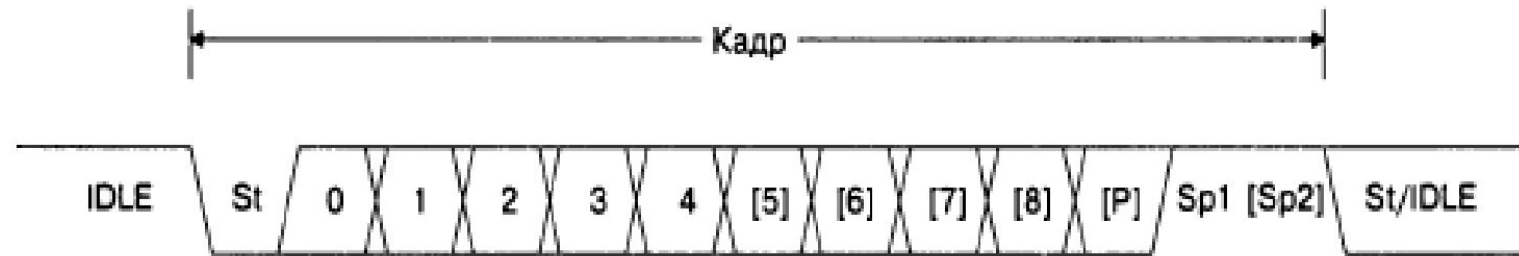
<sup>1)</sup> В этих моделях регистр UBRRH (UBRRnH) размещается по тому же адресу, что и регистр UCSRC (UCSRnC).



# Формат кадра

- Под **кадром** в данном случае понимается совокупность одного слова данных и сопутствующей информации
- Кадр начинается со старт-бита, за которым следует младший бит слова данных
- После старшего бита слова данных следует один или два стоп-бита
- Если включена схема формирования бита четности, он включается между старшим битом слова данных и первым стоп-битом.

# Формат кадра



- St — старт-бит, всегда 0
- (n) — биты данных
- P — бит четности
- Sp1 — стоп-бит, всегда 1
- IDLE — нет обмена по линии RxD или TxD, должна быть 1

# Формат кадра

- Формат кадра определяется различными битами регистров UCSRB(UCSRnB) и UCSRC (UCSRnC). В частности, размер слова данных определяется битами UCSZ2...UCSZ0 (UCSZn2...UCSZn0) В соответствии с данной таблицей:

| <b>UCSZ2<br/>(UCSZn2)</b> | <b>UCSZ1<br/>(UCSZn1)</b> | <b>UCSZ0<br/>(UCSZn0)</b> | <b>Размер слова данных</b> |
|---------------------------|---------------------------|---------------------------|----------------------------|
| 0                         | 0                         | 0                         | 5 бит                      |
| 0                         | 0                         | 1                         | 6 бит                      |
| 0                         | 1                         | 0                         | 7 бит                      |
| 0                         | 1                         | 1                         | 8 бит                      |
| 1                         | 0                         | 0                         | Зарезервировано            |
| 1                         | 0                         | 1                         | Зарезервировано            |
| 1                         | 1                         | 0                         | Зарезервировано            |
| 1                         | 1                         | 1                         | 9 бит                      |

# Формат кадра

- Биты UPM1:UPM0 (UPIVM:UPMAJO) регистра UCSRC (UCSRA/C) определяют функционирование схемы контроля четности модулей USART согласно таблице:

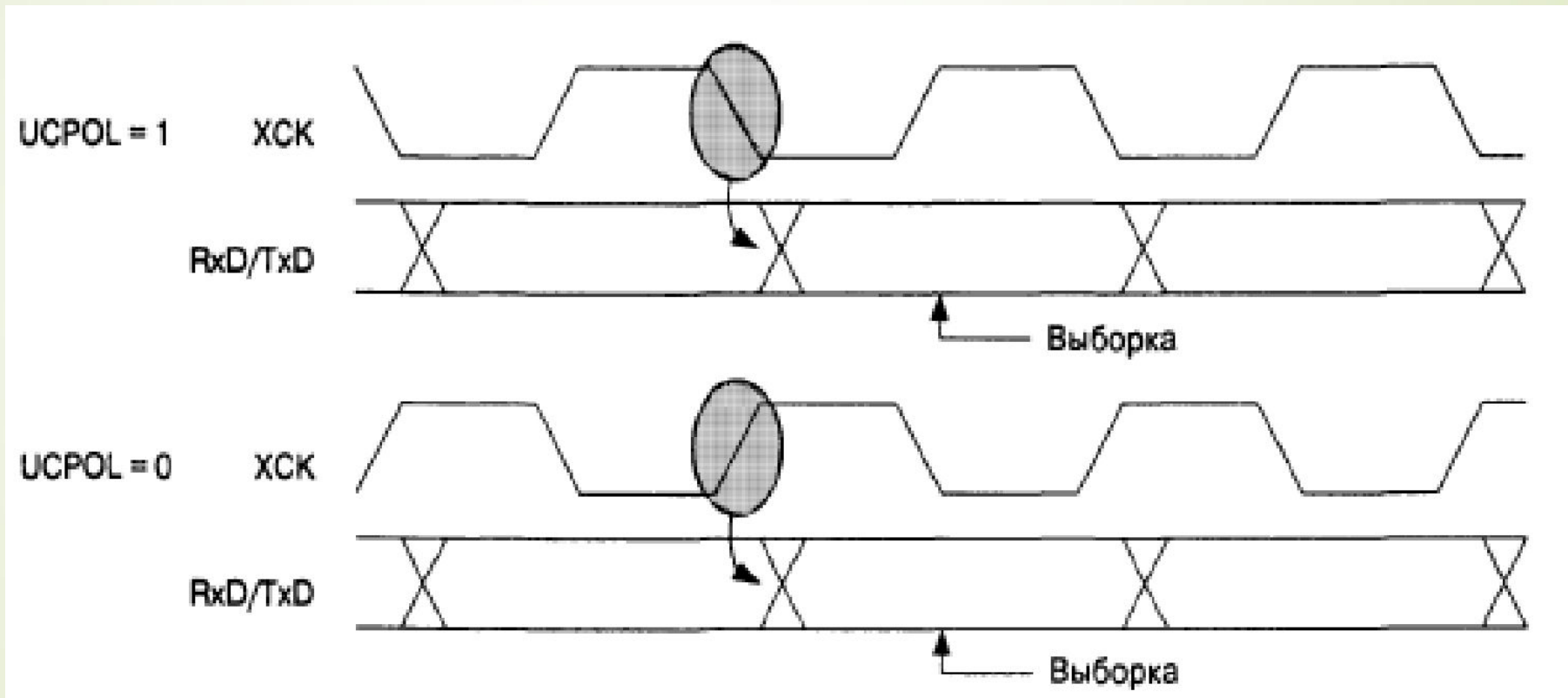
| UPM1 (UPM <sub>n</sub> 1) | UPM0 (UPM <sub>n</sub> 0) | Режим работы схемы                            |
|---------------------------|---------------------------|---|
| 0                         | 0                         | Выключена                                     |
| 0                         | 1                         | Зарезервировано                               |
| 1                         | 0                         | Включена, проверка на четность (even parity)  |
| 1                         | 1                         | Включена, проверка на нечетность (odd parity) |



# Передача данных

- Работа передатчика разрешается установкой в 1 бита TXEN (TXENn) регистра UCSRB (UCSRAn). При установке бита вывод TXD (TXDn) подключается к передатчику USART и начинает функционировать как выход независимо от установок регистров управления портом. Если используется синхронный режим работы, то переопределяется также функционирование вывода XCK (XCKn).

# Временные диаграммы для синхронного режима работы USART





# Прием данных

- Работа приемника разрешается установкой бита RXEN (RXENn) регистра UCSRB (UCSRnB). При установке бита вывод RXD (RXDn) подключается к приемнику USART и начинает функционировать как вход независимо от установок регистров управления портом. Если используется синхронный режим работы, переопределяется также функционирование вывода XCK (XCKn).