



Основные тенденции и перспективы развития микро и наноэлектроники

Г.Я. Красников

генеральный директор ОАО «НИИМЭ»

академик РАН

член Президиума Совета по науке и инновациям при Президенте РФ

История возникновения микроэлектроники.

Открытие транзистора

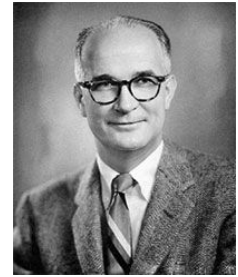


Начало развитию микроэлектроники было положено в **1947г.**, когда сотрудники «Лаборатории Белла» Уильям Шокли, Джон Бардин и Уолтер Браттейн создали **биполярный транзистор**.

В 1956 году они были награждены Нобелевской премией по физике «за исследования полупроводников и открытие транзисторного эффекта».

Транзисторы заменили вакуумные лампы в большинстве электронных устройств, совершив революцию в создании интегральных схем и компьютеров.

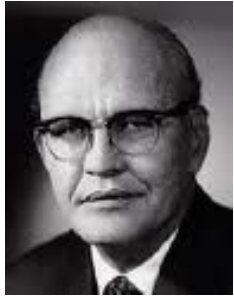
Слово «транзистор» (transistor, образовано от слов transfer — передача и resist — сопротивление),



Сверху вниз:
Шокли, Бардин,
Браттейн

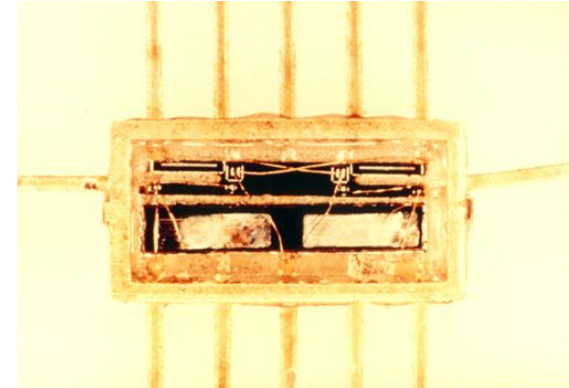
История возникновения микроэлектроники.

Открытие интегральной микросхемы



Сверху вниз: Д.
Килби, Р.Нойс,

- 4 В 1958 году двое учёных, работавших в разных компаниях, изобрели практически идентичную модель интегральной схемы. Один из них, Джек Килби, работал на Texas Instruments, другой, Роберт Нойс, был одним из основателей небольшой компании по производству полупроводников Fairchild Semiconductor. Обоих объединил вопрос: «Как в минимум места вместить максимум компонентов?». Транзисторы, резисторы, конденсаторы и другие детали в то время размещались на платах отдельно, и учёные решили попробовать их объединить на одном монолитном кристалле из полупроводникового материала. Только Килби воспользовался германием, а Нойс предпочёл **кремний**.
- 4 В 1961 году Fairchild пустила интегральные схемы в свободную продажу, и их сразу стали использовать в производстве калькуляторов и компьютеров вместо отдельных транзисторов, что позволило значительно уменьшить размер и увеличить производительность.

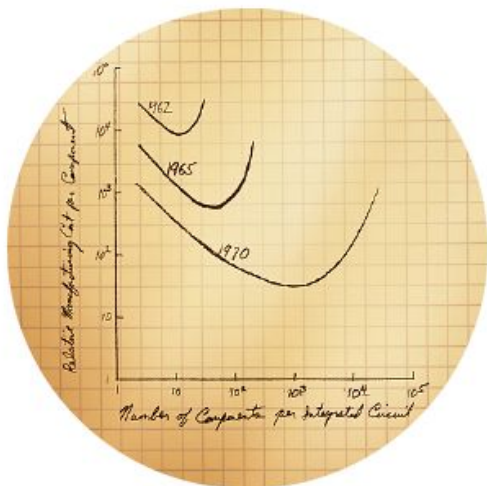


Закон Мура:

количество транзисторов удваивается каждые два года



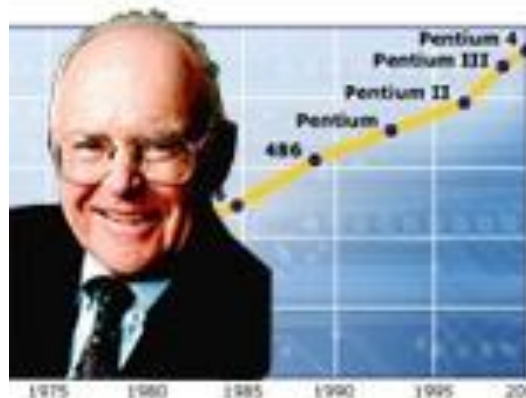
Moore's Law



In 1965, Gordon Moore sketched out his prediction of the pace of silicon technology. Decades later, Moore's Law remains true, driven largely by Intel's unparalleled silicon expertise.

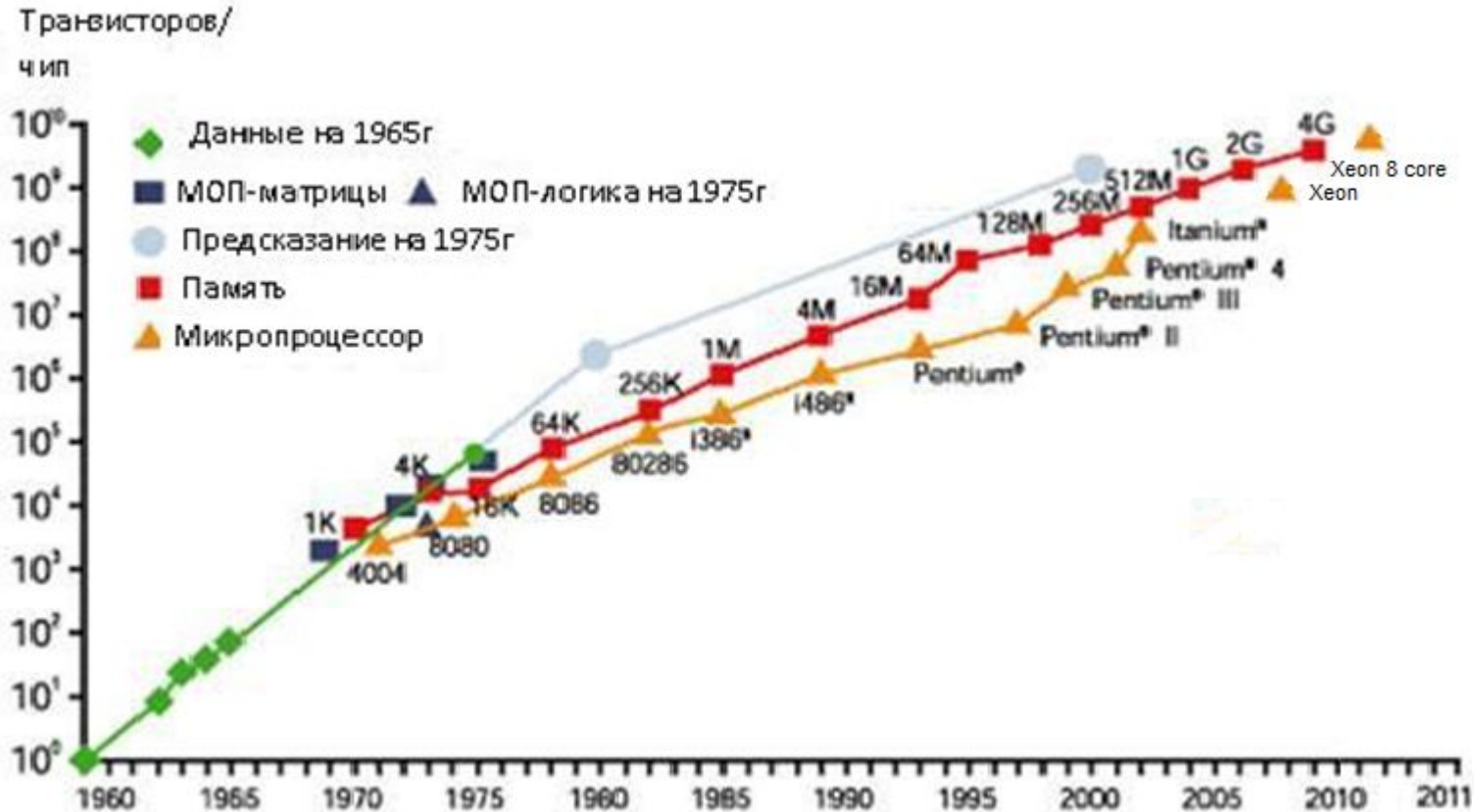
According to Moore's Law, the number of transistors on a chip roughly doubles every two years. As a result the scale gets smaller and smaller. For decades, Intel has met this formidable challenge through investments in technology and manufacturing resulting in the unparalleled silicon expertise that has made Moore's Law a reality.

Один из основателей Intel Гордон Мур в 1965 году сделал предположение, известное как Закон Мура, утверждающее, что количество транзисторов на чипе будет удваивается каждые 1,5-2 года.

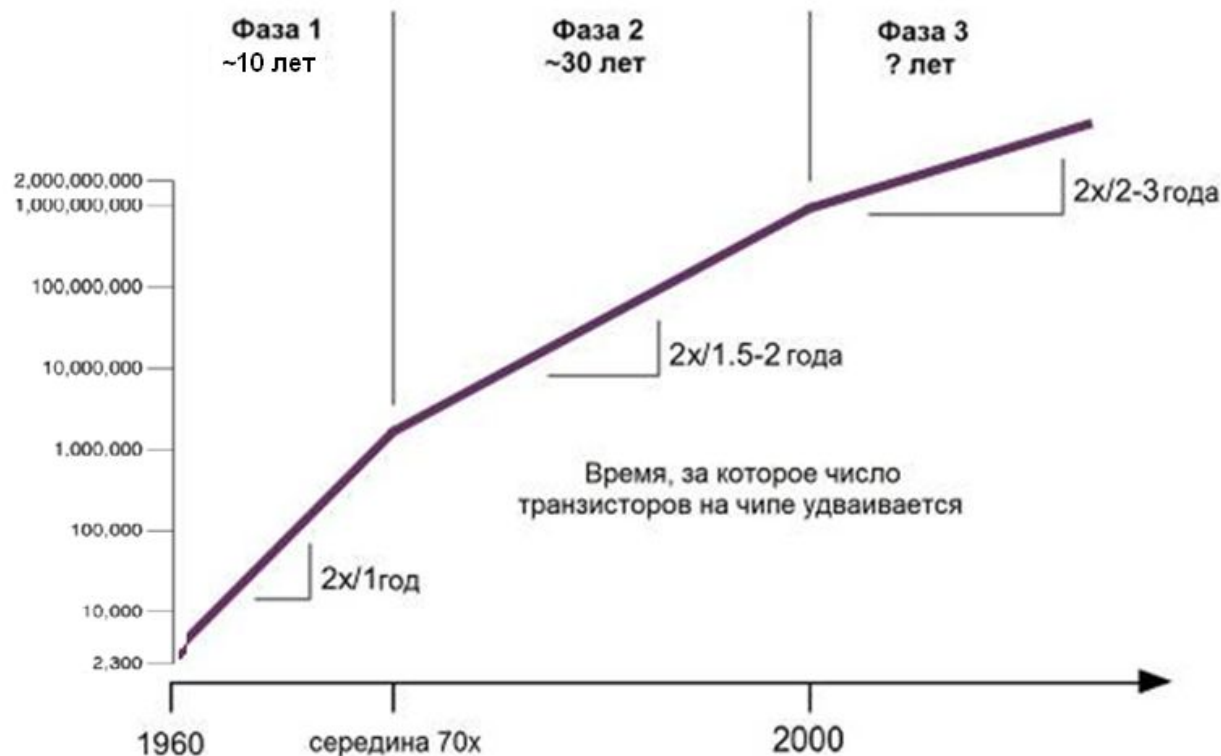


Закон Мура

4 Сам Мур так оценивает выполнение своего правила



Три фазы закона Мура



- 4 Для следующих поколений технологий находятся нестандартные решения проблем масштабирования, благодаря чему **действие Закона продолжится как минимум еще 10 лет.**
- 4 **Технологические и экономические барьеры привели к увеличению периода перехода на технологию следующего поколения**
- 4 Сокращение размеров транзисторов и новые методы дизайна привели к тому, что цена за 1 операцию в логических схемах падает на 25-35% каждый год. Например, 6-ядерный процессор Intel Xeon Westmere, сделанный по технологии 32нм содержащий 1,1 млрд. транзисторов, в момент выхода на рынок стоил дешевле, чем 4-ядерный Xeon 5500, содержащий 0,7 млрд. транзисторов, сделанный на 45нм.



Изменение топологических размеров в производстве

год/ продукт	2011	2013	2015	2017	2019	2021	2023	2025	2027
DRAM, ½ шага , Me1	36	28	23	17,9	14.2	11.3	8.9	8	6.3
Flash, ½ шага Poly	22	18	15	13	10,9	8.9	8	8	8
плавающий MPU, длина затвора	35	28	22	17.7	14	11.1	9,9	7.9	5,87
литограф MPU, длина затвора физич.	24	20	17	14	11.7	9.7	8.9	7.4	5,9

Ист. ITRS

Основные причины изменений

Случайные флуктуации примесей (V_T или V_{TH})

- Вызывается случайными положениями атомов примеси
- При масштабировании:

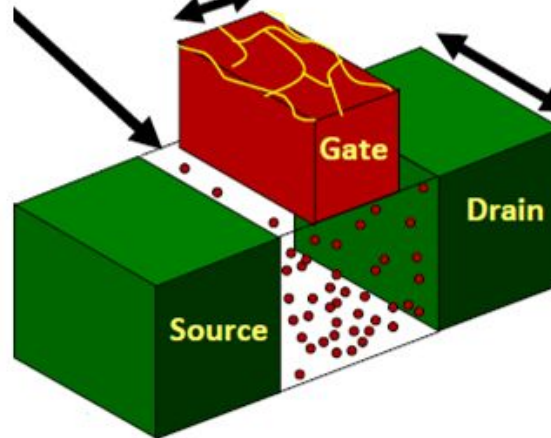
$$\sigma_{VT} \propto \frac{1}{\sqrt{WL}} \uparrow$$

Работа выхода затвора (Φ_M)

- Причина: зернистость
- Влияет на V_T

Длина затвора (L_G)

- Причина: неровный край
- Влияет $V_T, DIBL$
- При масштабировании: $\frac{\sigma_{LG}}{L_G} \uparrow$

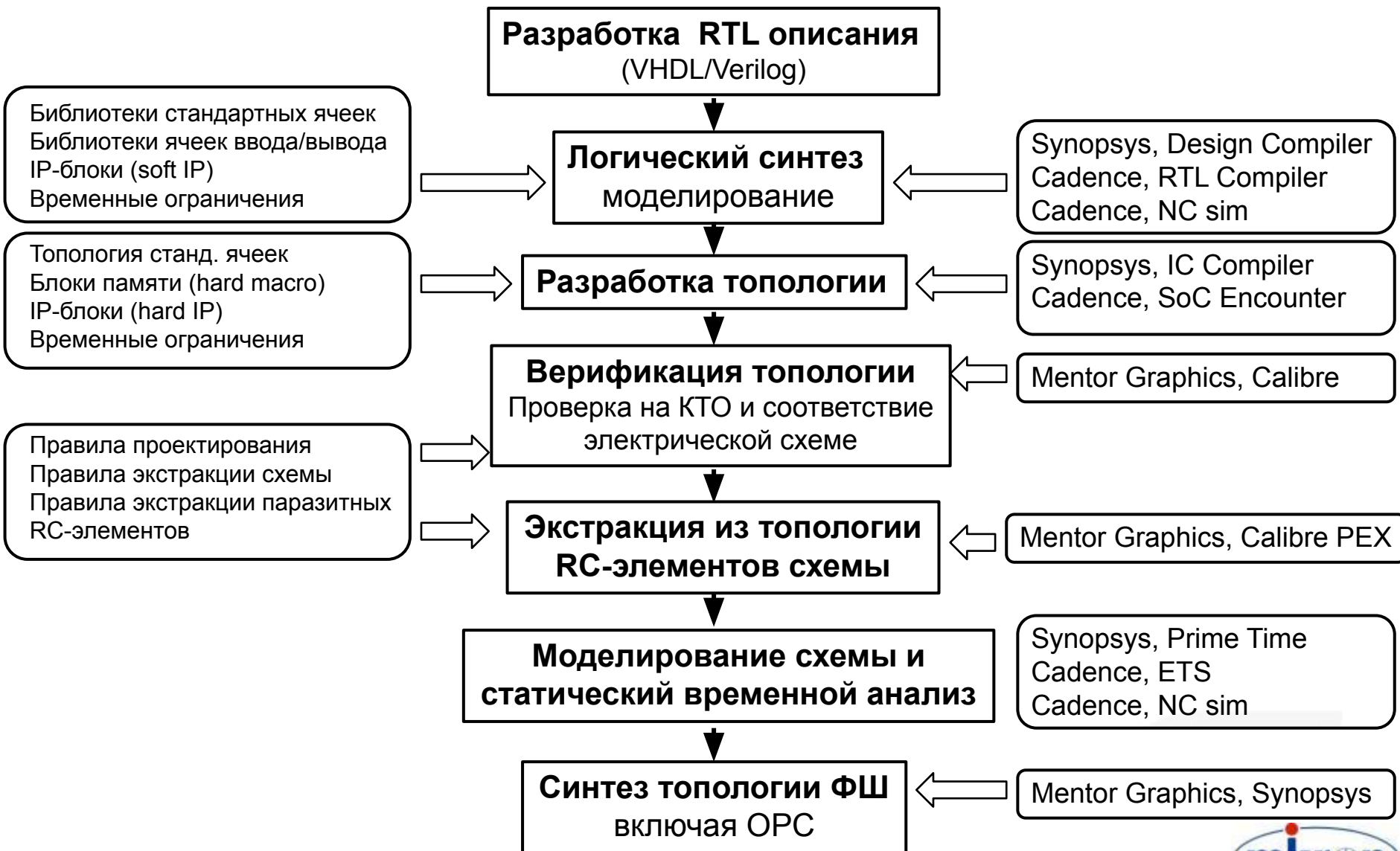


Ширина канала (W)

- Причина: неровный край скругления углов
- Может влиять на V_T
- При масштабировании: $\frac{\sigma_w}{W} \uparrow$

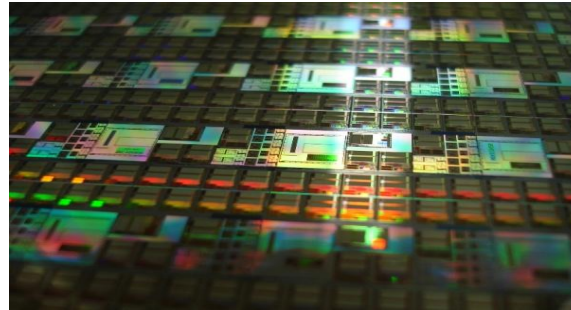
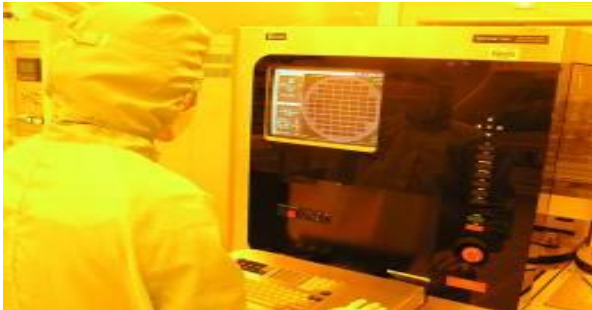
Увеличение изменений при масштабировании!

Основные этапы маршрута проектирования Систем-на-Кристалле



Основные технологические операции

1. Перенос изображения.
 - 1.1 Оптическая иммерсионная литография (Photo ArFi), обеспечивает разрешение до 20 нм в технологии двойного экспонирования DP.
 - 1.2 Плазмохимическое травление (ПХТ/Plasma Etch), преимущественно реактивно – ионное (RIE).
2. Химическое осаждение (CVD), плазмо-стимулированное осаждение (PECVD) и осаждение при низком давлении (LPCVD), включая атомно-слоевое осаждение (LAD) диэлектриков, металлов, барьерных слоёв, жестких масок.
3. Процессы напыления зародышевых, металлических слоёв (PVD).
4. Процессы ионной имплантации (Implant) .
5. Процессы электрохимического осаждения меди (Cu plating) .
6. Процессы химико–механической планаризации (ХМП/СМР) диэлектриков, меди, вольфрама.
7. Термо–диффузионные процессы (Diffusion)
8. Процессы быстрого термического отжига (RTP)
9. Метрологические операции по всему маршруту, включая контроль дефектности (Metro)
10. Процессы жидкостной химии по всему маршруту X/O (Wet).



Основные задачи при уменьшении проектной нормы

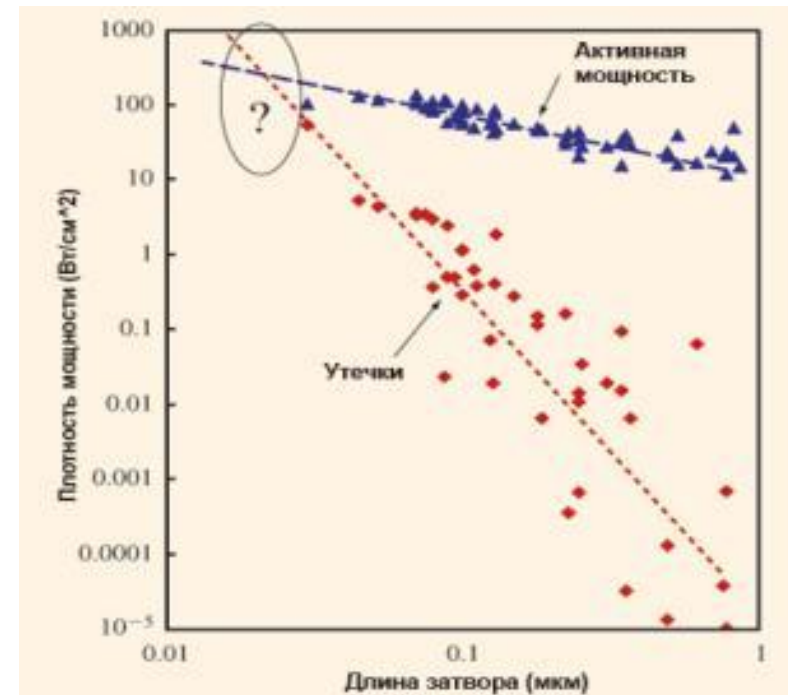
1. Проблемы(уменьшение разброса) технологических операций (Photo, Plasma Etch, Impl, CMP, Wet, CVD, PECVD, LPCVD, PVD, LAD, RTP, Cu plating, Metro, Test).
2. Уменьшение задержки в RC-цепочках межсоединений . Их влияние на задержку сильно возрастает, т.к. задержка в транзисторе уменьшается, а в межсоединениях возрастает, необходима оптимизация.



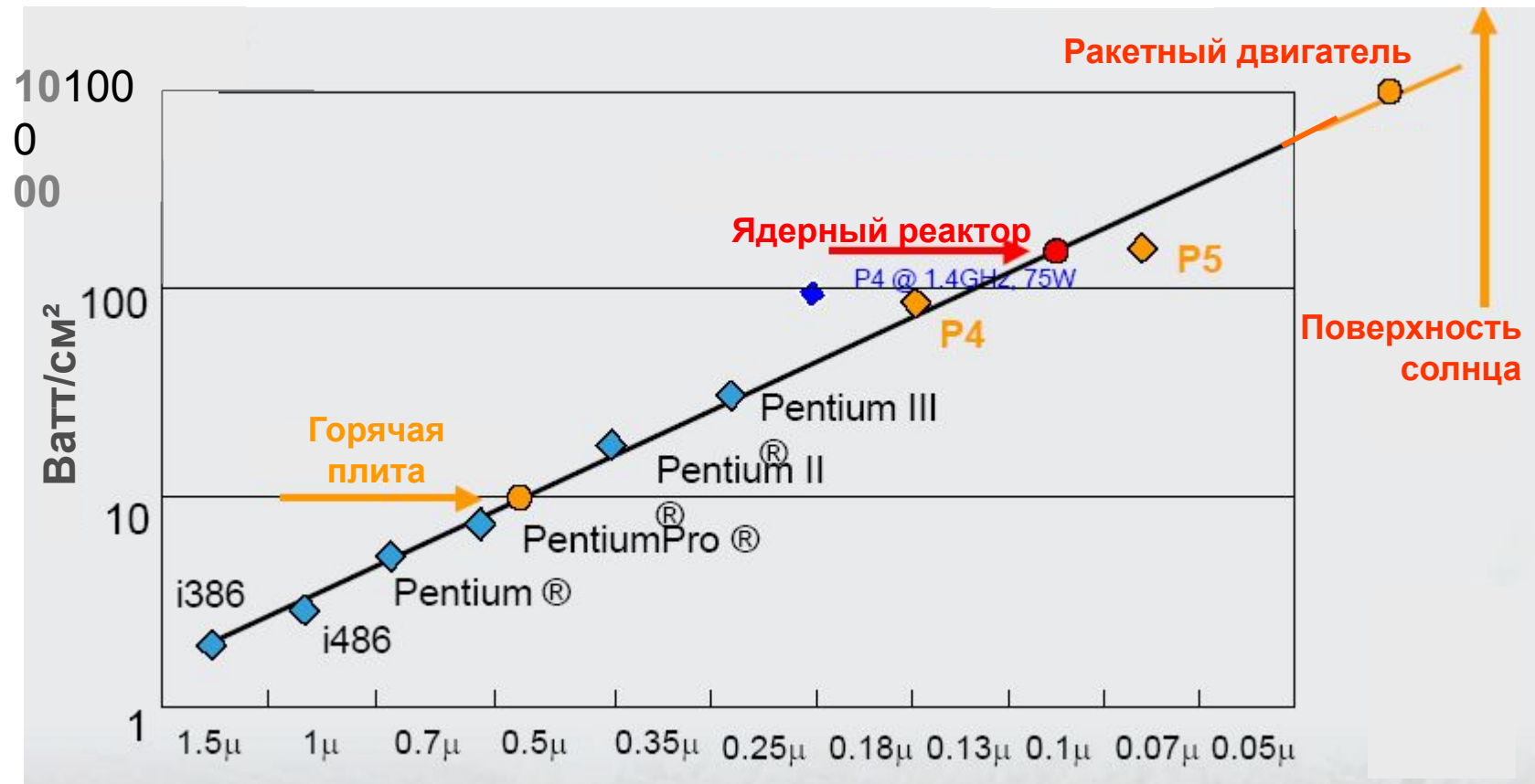
$$RC \sim \rho_{met} K_{ox} L^2 / t_{ox} t_{met}$$

Уменьшение уд. сопротивления металлической разводки и использование Low-K диэлектриков

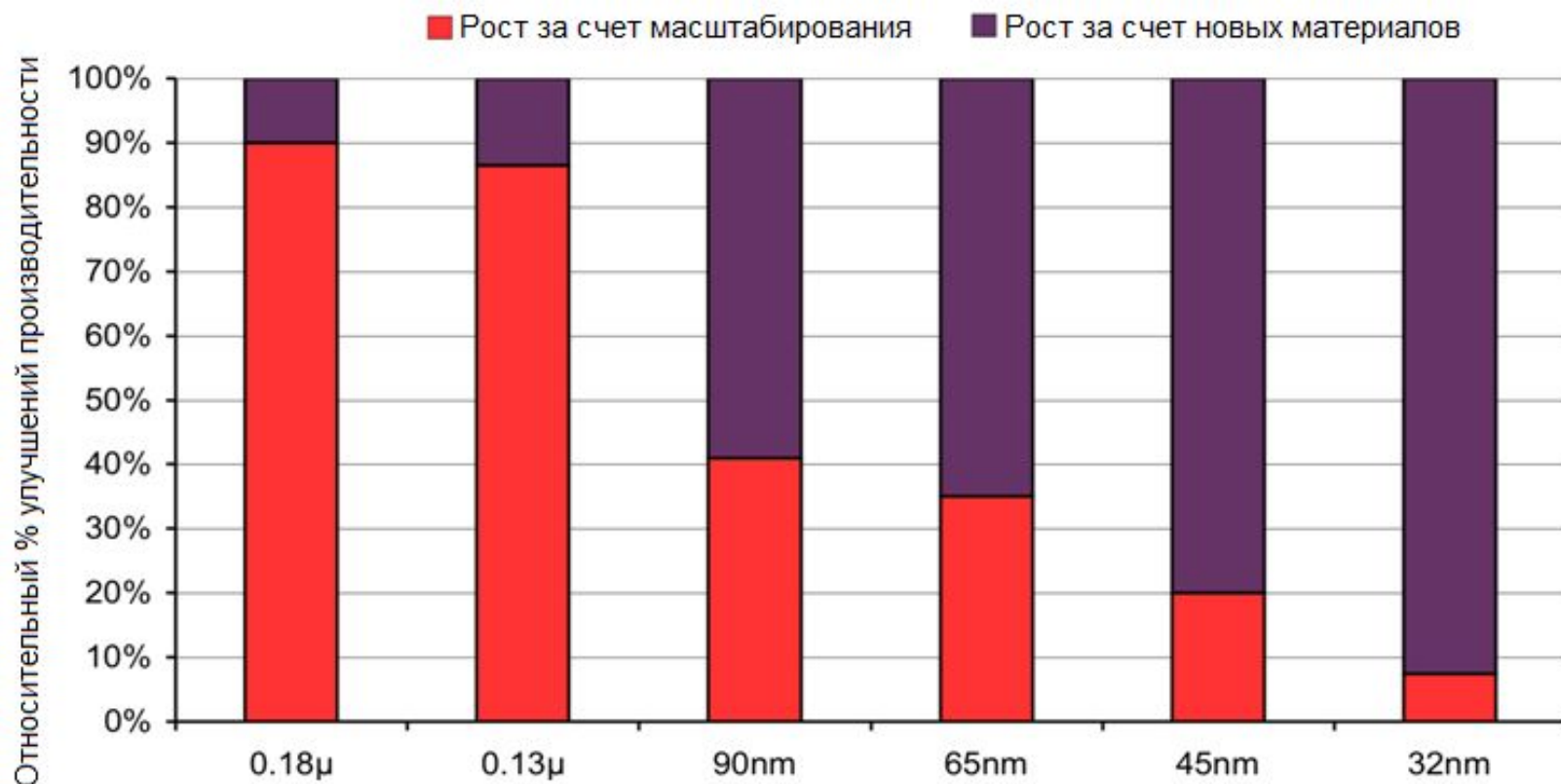
3. Снижение уровня утечек в активном и пассивном режимах . Возрастает плотность статической потребляемой мощности из – за токов утечек и становится сравнимой с динамической мощностью
4. Обеспечение приемлемого значения сигнал/шум
5. Обеспечение контроля электромиграции медных проводников с помощью барьерных слоёв, блокирующих диффузию



Энергетические проблемы



С каждым следующим поколением технологий рост производительности чипов все сильнее определяется новыми материалами, а не только масштабированием



На начальных этапах развития микроэлектроники переход на новый уровень был возможен с помощью простого масштабирования, то по мере уменьшения норм до 1 мкм и менее такие переходы стали требовать сложных решений: коренных изменений процесса и оборудования фотолитографии, новых материалов, структур и т.п.

Существующие или разрабатываемые методы фотолитографий

1. Литография*

Оптическая литография

Оптическая проекционная
Оптическая иммерсионная
Оптическая интерферометрическая
Безмасочная оптическая

Экстремальная ультрафиолетовая литография (EUVL)

Электронно-лучевая литография (ЭЛЛ)

Сканирующая электронно-лучевая литография (SEBL)
Безмасочная (ML2) ЭМЛЛ
Проекционная ЭЛЛ (EPL)

Рентгенолитография (XRL) γ - пучки

Ионно-лучевая литография (ИЛЛ)

Фокусируемая ИЛЛ (FIB)
Проекционная ИЛЛ (IPL)

2. Наноимпринт, «мягкая» литография

Наноимпринтная литография НИЛ (NIL)

Горячее прессование
УФ НИЛ
Мягкая литография
«Нано»-перо
Атомная литография

*Красным цветом выделены наиболее применяемые и разрабатываемые технологии

Развитие нанолитографии

Изменение k_1 как функции разрешения, длины волны и числовой апертуры (NA)

мин. размер		80	65	45	32	22	16	11
год		2005	2007	2009	2011	2013	2015	
λ [nm]	NA							
248	0.93	0.30						
193	0.93		0.31					
имерс.	1.20		0.40	0.28				
им. вп.	1.35			0.31	0.22	0.15		
им.вп.дэ	1.55				0.26	0.18		
13.5	0.25				0.59	0.41		
	0.35					0.57	0.41	
	0.45						0.53	0.37

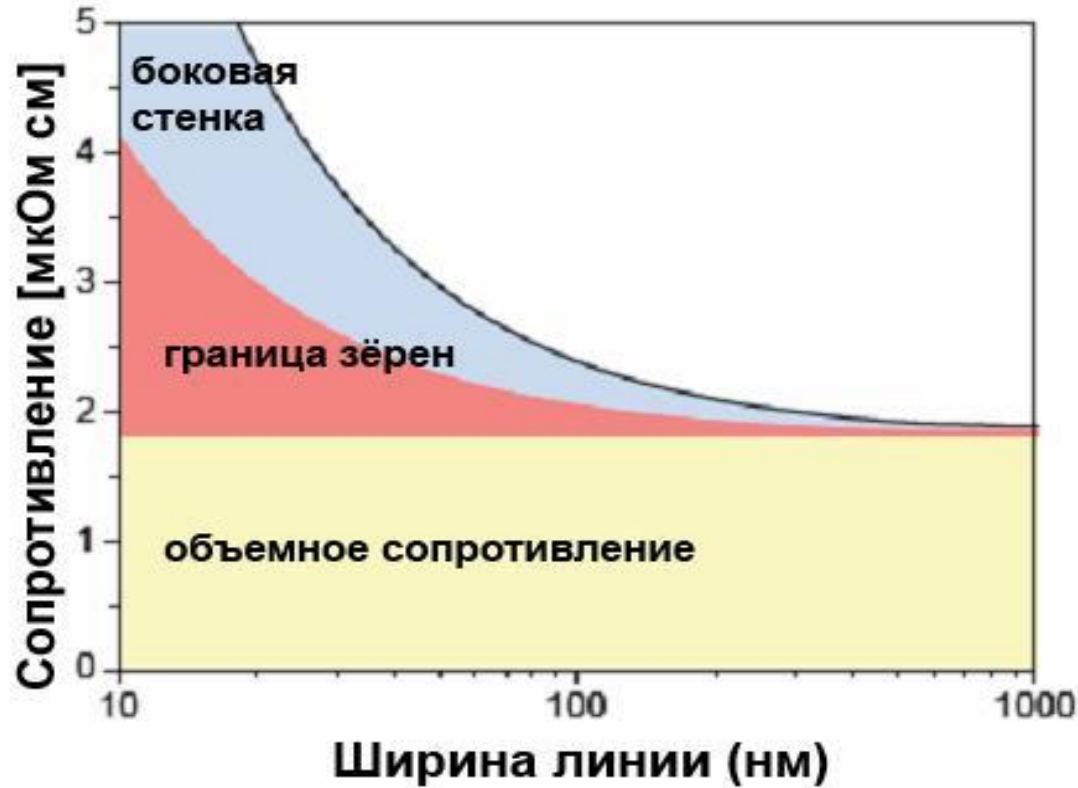
$$R = k_1 \cdot \lambda / NA$$

Наименьший достигнутый в промышленности $k_1 = 0,3$

Физический предел при однократном экспонировании $k_1 = 0,25$

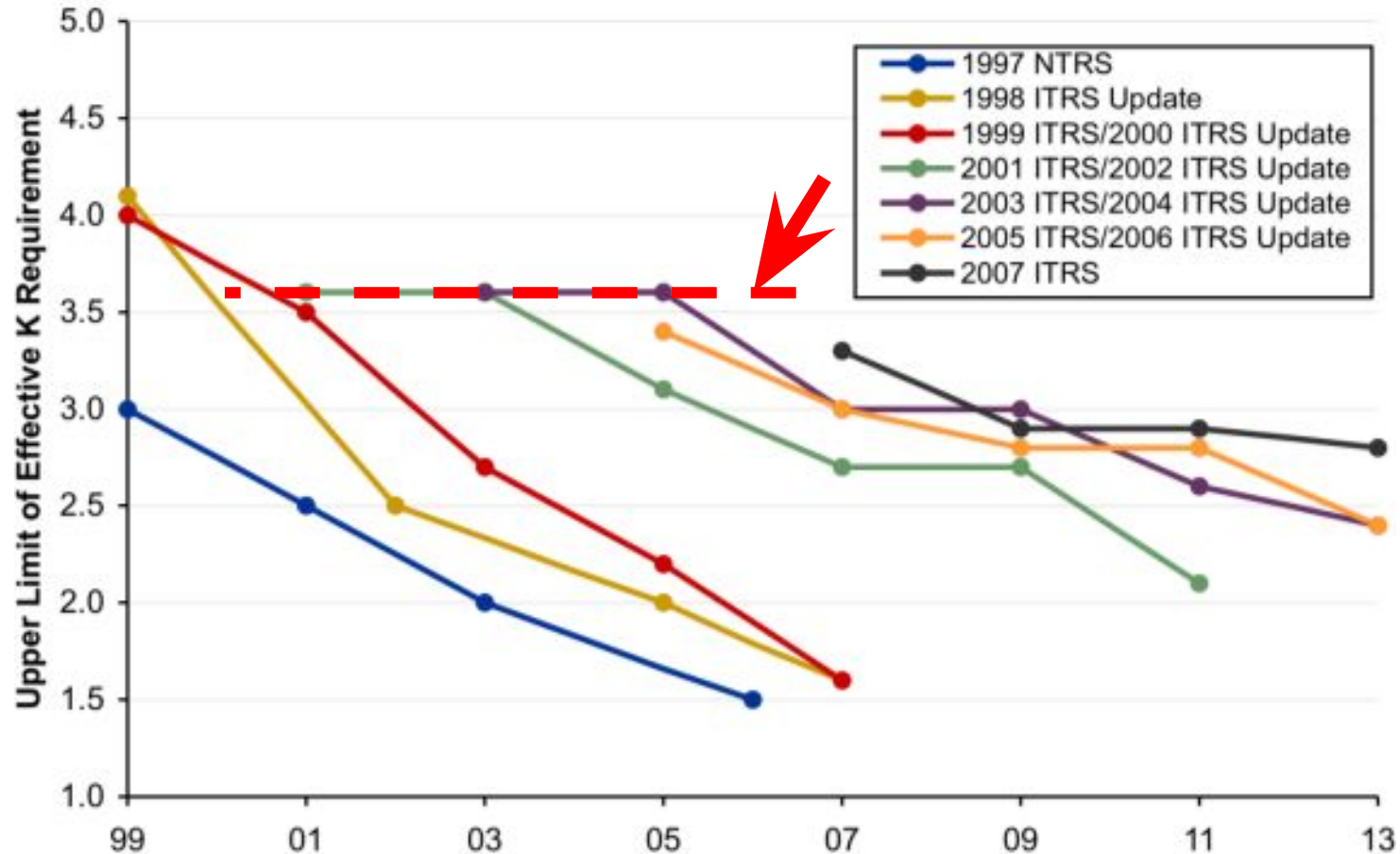
Практически возможный предел при двойном экспонировании (дэ) $k_1 = 0,2$

Проблемы дальнейшего развития по Закону Мура: Удельное сопротивление ρ



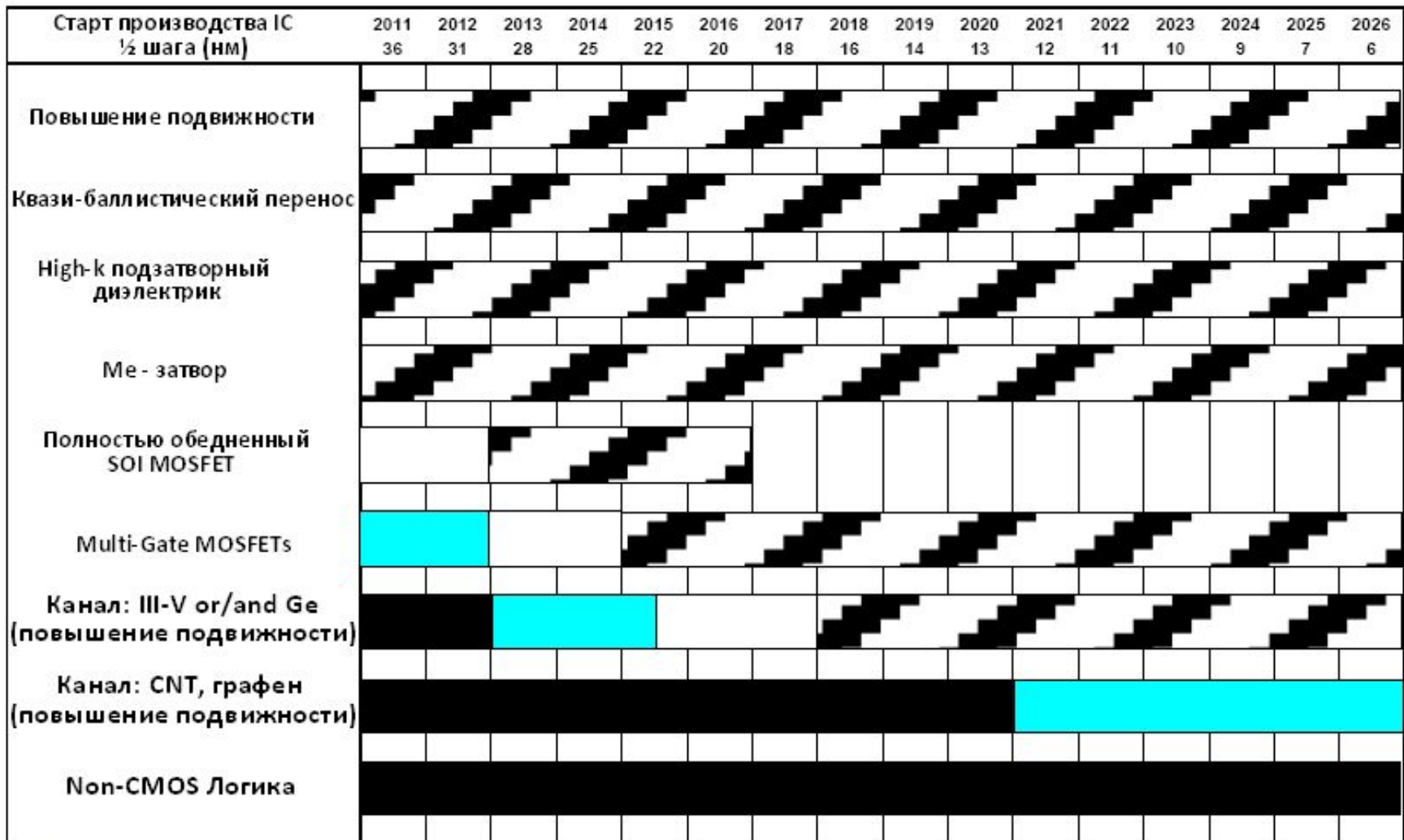
- Поскольку шаг межсоединений продолжает сокращаться, более высокое электрическое сопротивление будет связано не только с удельным сопротивлением меди, но также и с другими источниками, например, рассеянием на границе зерен и поверхностным рассеянием электронов. Покрытие CoWP
- Как показано на рисунке, эти вторичные источники сопротивления начинают доминировать при минимальных размерах элементов ИС менее 30нм.

Задержки во внедрении Low-K для технологий уровня 90-45нм



Основной проблемой внедрения межуровневых диэлектриков с низкой диэлектрической постоянной является то, что все другие изоляторы обладают худшими физическими свойствами (тепловыми, механическими, и/или химическими) по сравнению с SiO₂.

Перспективы развития техпроцессов, приборов и структур 1



Необходимы исследования

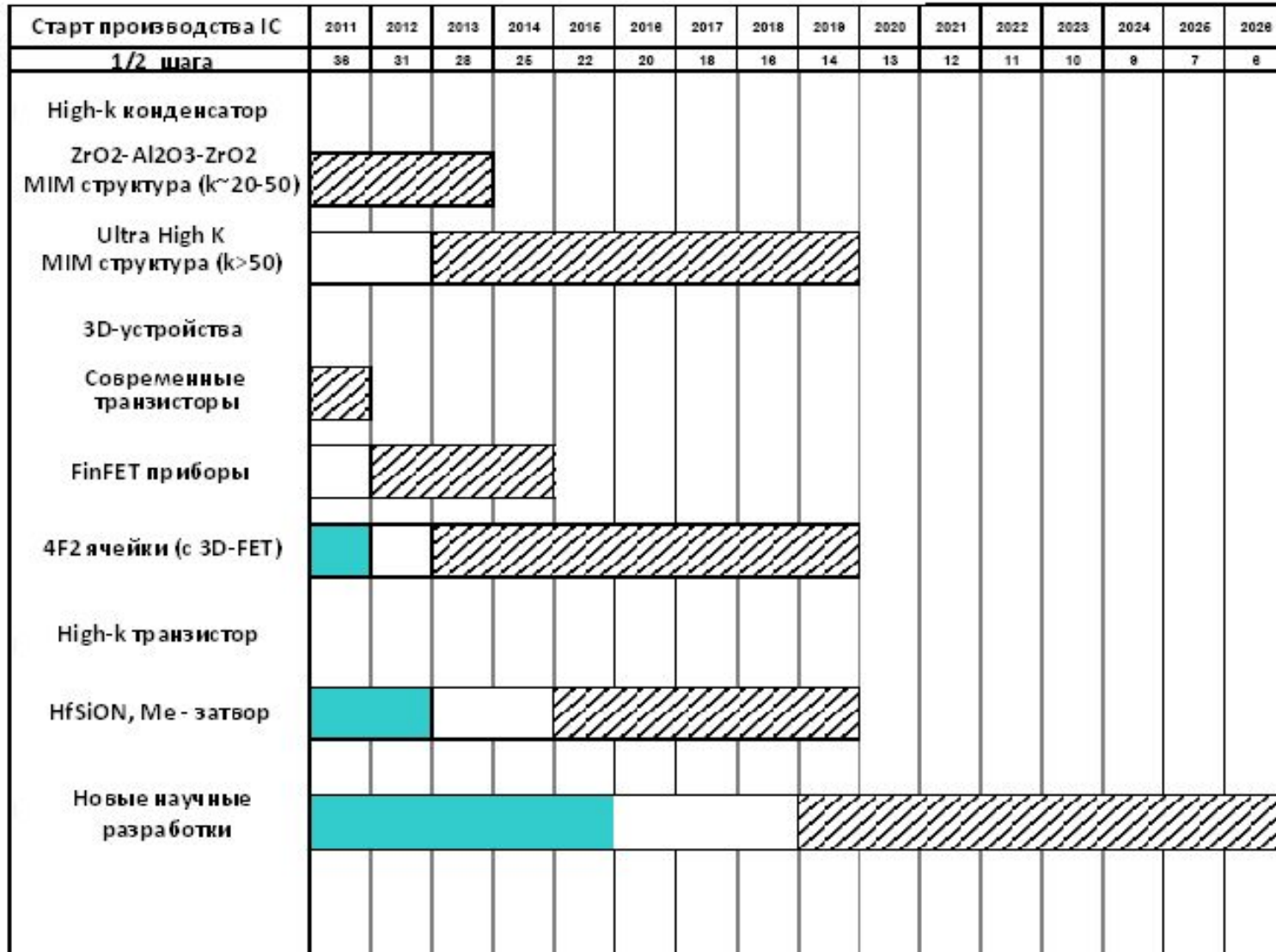
Процесс в разработке

Опытное производство

Совершенствование



Перспективы развития техпроцессов, приборов и структур 2



Необходимы исследования
 Процесс в разработке
 Опытное производство
 Совершенствование



Области применения

Технология	Применение
Стандартный КМОП	Логические схемы, ПЛИС, DVD плееры, схемы для графики ПК *(Широкое , общее использование)
Низковольтный КМОП	Логические схемы, микропроцессоры (MPU), быстродействующее СОЗУ (SRAM), схемы для графики ПК, работающие от питания батарейки *(Низкое напряжения питания и пороговое напряжение)
Быстродействующий КМОП	Высокопроизводительные вычислительные системы, процессоры(GHz CPU), микропроцессоры (MPU), сетевые процессоры *(Транзисторы в ИС с большим током)
Низкопотреб. КМОП	Мобильные т/ф, авионика (летающие аппараты), низкопотребляющее СОЗУ *(Низкий ток ожидания, низкие утечки, выше пороговые напряжения)
ДОЗУ	Вычислительные модули, ПК, бортовые системы
ФЛЭШ	Носители микропрограмм для микроконтроллеров HDD и CD-ROM, хранение BIOS в ПК, Сменная память в цифровых мультимедийных устройствах, таких как mp3-плееры и игровые приставки, Память в принтерах, КПК, видеоплатах, роутерах, брандмауэрах, сотовых телефонах, электронных часах, записных книжках и т. д.
КМОП со встроенной ФЛЭШ	Телекоммуникации (СИМ-карты), микропроцессоры со встроенной памятью для смарт-карт и для автомобильной промышленности
Высоковольтный КМОП	Драйверы, схемы управления *(Высокие пробивные напряжения)
ВЧ и СВЧ БИС БиКМОП SiGe	ВЧ и СВЧ аналоговые и аналогово-цифровые устройства,, беспроводные средства связи, мобильные т/ф.
СБИС на КНИ	Быстродействующие логические схемы, микропроцессоры (MPU) и т. д.



Технологический уровень различных типов СБИС. В каждой технологии – свои лидеры.

Технология / норма(нм)	130	110	90	65	45	32	30	28	25	22
Стандартный КМОП (Generic), огр. - общие правила масштабирования								+ TSMC...		
Низковольтный КМОП (LV), огр. - общие правила масштабирования								+ TSMC...		
Быстродействующий КМОП (High Speed, HS), огр. по рассеиваемой мощности						+ Intel...				
Быстродействующий КМОП с 3D - архитектурой										+ Intel...
Низкопотреб. КМОП (LP), огр. по рассеиваемой мощности					+ STM....					
*КМОП со встроенной ФЛЭШ(embedded FLASH)			+ TSMC, STM...							
Высоковольтный КМОП (HV), огр. ОПЗ	+ TSMC...									
ВЧ и СВЧ БИС БикМОП SiGe, огр. по улучшению Бип. SiGe тр-в в сравнении с КМОП при масштабировании	+ IBM, STM,...									
СБИС на КНИ, быстродействующая, огр. - правила масштабирования на КНИ						+ AMD...				
СБИС на КНИ с расширенным температурным диапазоном		+								
Технология создания ДОЗУ (DRAM), огр. по 3-х кон-ру							+ Samsung...			
Технология создания ФЛЭШ (FLASH), огр. по масштабированию ФЛЭШ: вза-е,ячеек..									+ Intel, Micron	



Состояние по разработке новых технологий в ОАО «НИИМЭ» Семейство технологий с проектными нормами 180 нм



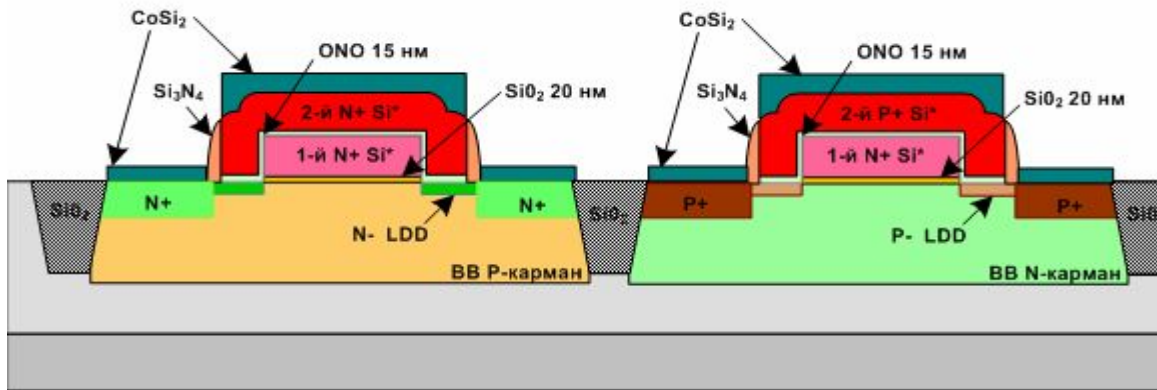
В течение последних 5 лет в развитие технологий и производства инвестировано около \$1 млрд.

Технология со встроенной энергонезависимой памятью EEPROM

4 Основные особенности и отличия от базовой:

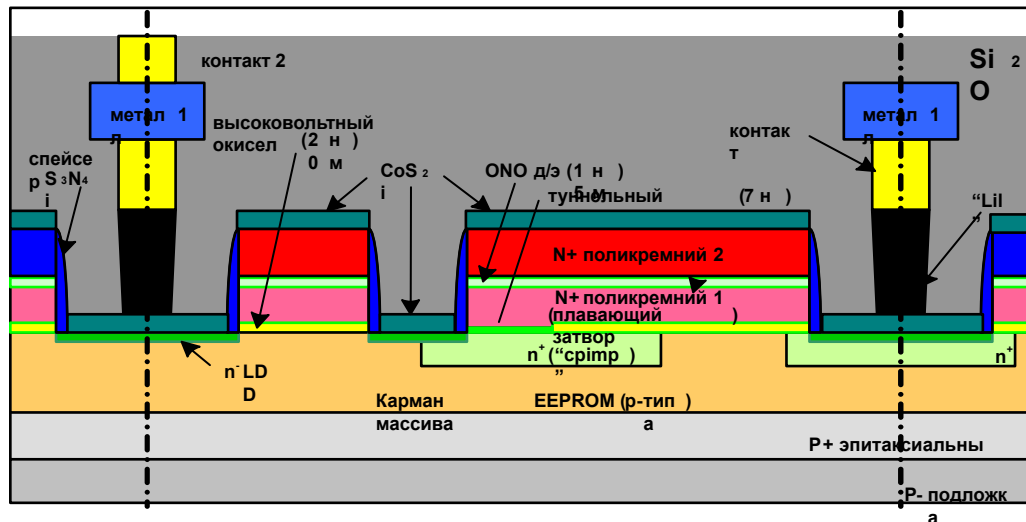
- Напряжение питания ядра: $1.8\text{ В} (\pm 0.15\text{ В})$,
- периферийных элементов: до 5 В
- $\langle 100 \rangle$ P/P+ подложка с эпитаксиальным слоем ($t_{epi} = 6\text{ мкм}$, $\rho_{epi} = 10\text{-}13\text{ Ом}\cdot\text{см}$)
- Техпроцесс с двумя типами карманов и с щелевой изоляцией (STI)
- Два слоя поликремния
- Силицидированные области сток-истоков и затворов (CoSi_2)
- Дополнительный вольфрамовый слой (LIL) для локальных межсоединений активных областей и поликремния
- Четыре слоя металлизации Al-Cu ($R_s = 0.72\text{ мОм/квдрат}$)
- Высоковольтные транзисторы и элементы энергонезависимой памяти с «плавающим затвором»

Технология КМОП СБИС с энергонезависимой памятью (EEPROM)



Высоковольтные (HV)
транзисторы
(напряжение питания 12 В)

HV n-канальный транзистор HV p-канальный транзистор



2-х тр. EEPROM ячейка
памяти с плавающим
затвором

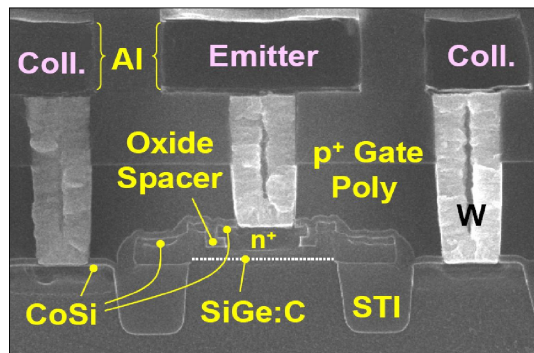
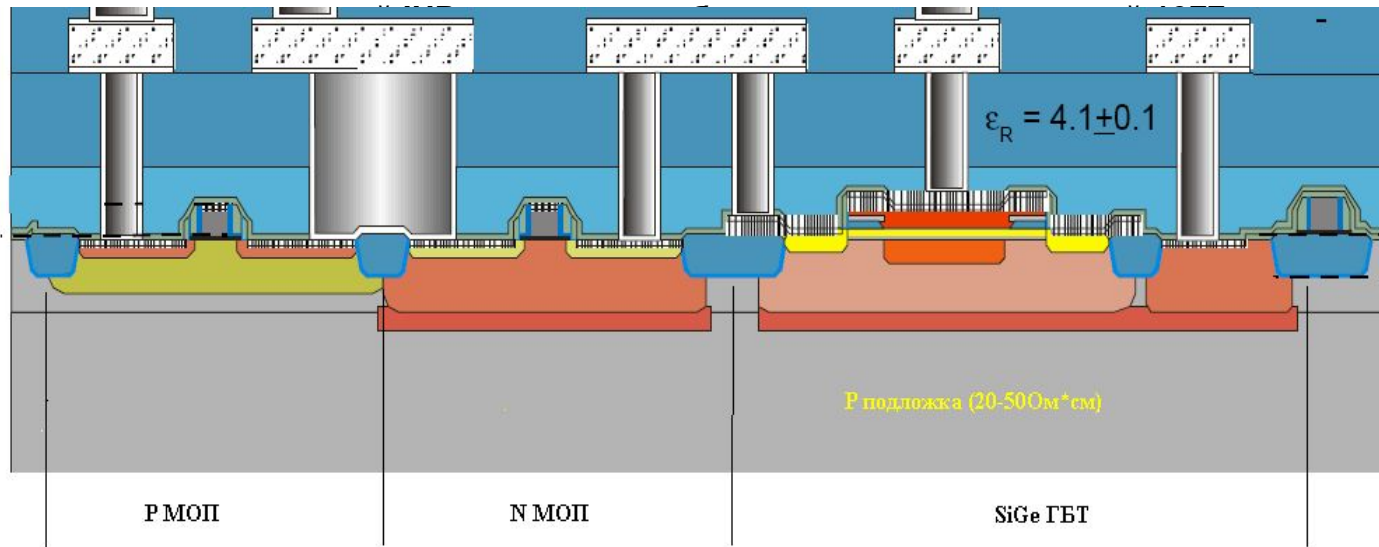
Требуется дополнительно не менее 4-х основных типов транзисторов. Таким образом, общее количество составит не менее 6.

Технология СВЧ БИС БикМОП SiGe

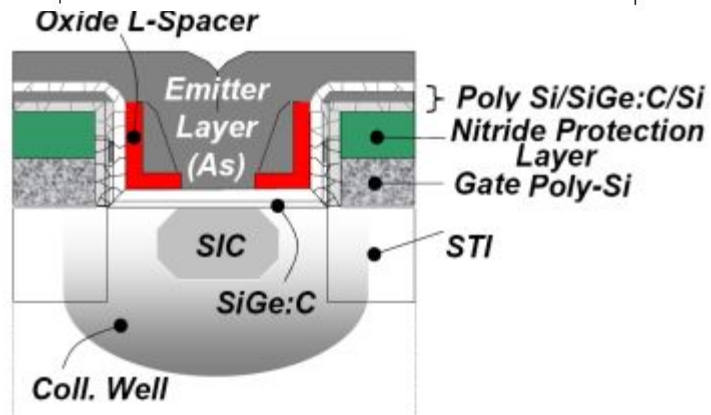
- 4 для изготовления ГБТ используется одна дополнительная маска;
- 4 в рамках процесса возможно изготовление трех типов ГБТ с различными частотными характеристиками (ГГц):

f_T/f_{max} (Vce (В)): 30/70 (7); 50/95 (4,2) 80/95 (2,4)

4 в соот



Base contacts in line w/ the emitter contact



Особенности КМОП процесса с проектными нормами 90 нм (HCMOS10LP)

- 4 Подложка P+-типа с эпитаксиальным слоем P-типа толщиной 4 мкм
- 4 Изоляция STI
- 4 Ретроградные карманы N- и P- типа для транзисторов с разными подзатворными окислами
- 4 Карман изоляции P-кармана (NISO)
- 4 Нитридизованный подзатворный окисел 2.2 нм. в структуре транзисторов для напряжения питания 1.2 В
- 4 HIPO резистор
- 4 Силицидирование областей затвора и стока – истока (CoSi₂)
- 4 Low K < 3.0 диэлектрик
- 4 MIM конденсатор
- 4 6 -9 уровней металла Cu с Low-к межуровневым диэлектриком
 - 1 уровень металла с повышенной толщиной для мощных , быстрых шин, индуктивностей в RF приложениях
- 4 Слой AL в контактных площадках для обеспечения качества сборки в корпус

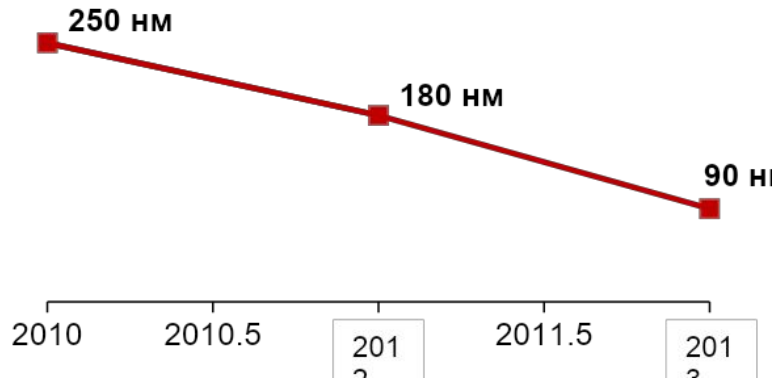
Технологический процесс с проектными нормами 90 нм HCMOS10LP 2011 год



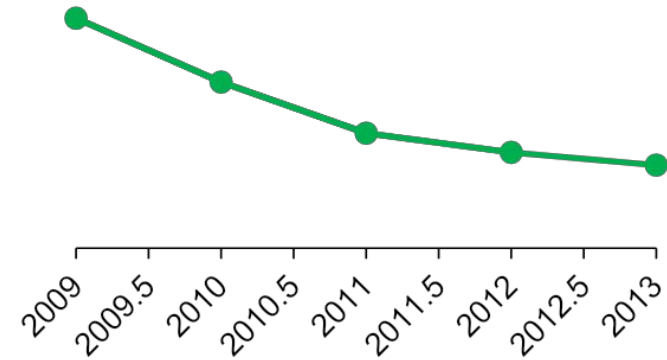
Дорожная карта развития технологий в России

4 Технологические карты «Микрона»

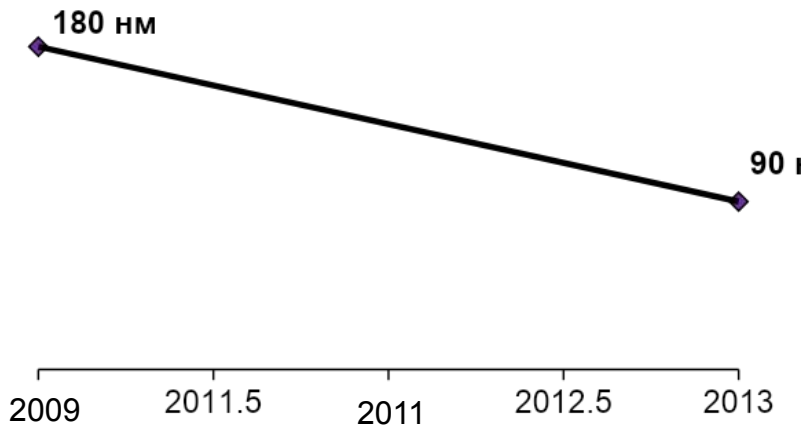
КМОП КНИ



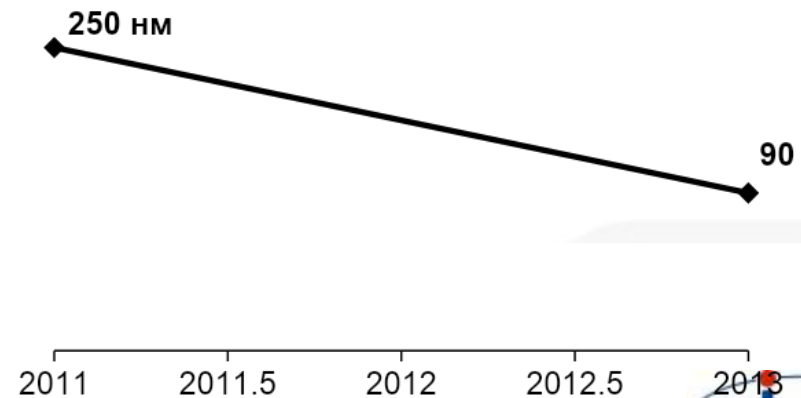
КМОП



EEPROM и Flash



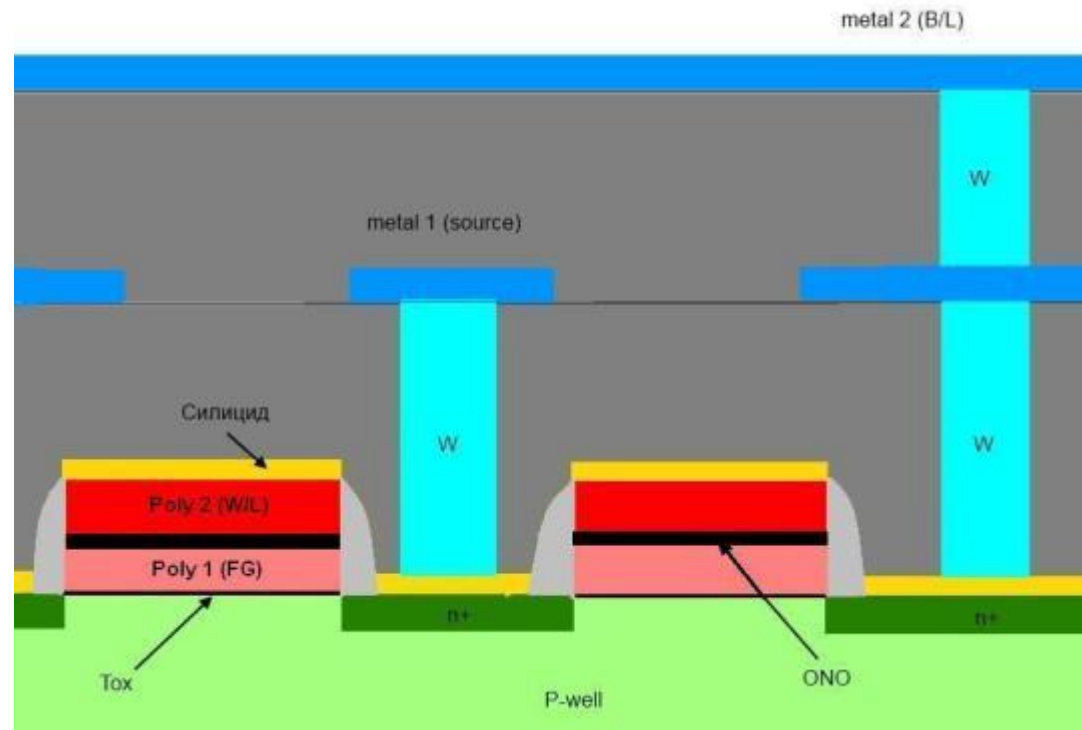
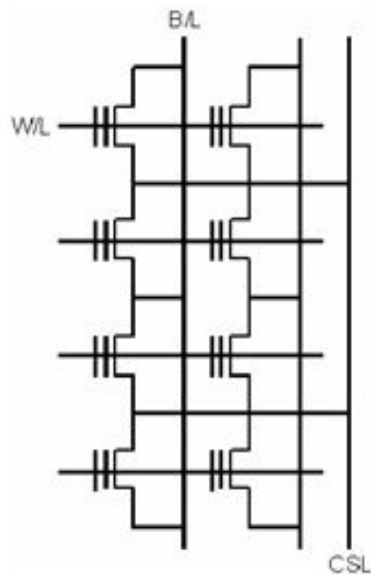
БиКМОП SiGe



Технологии памяти.

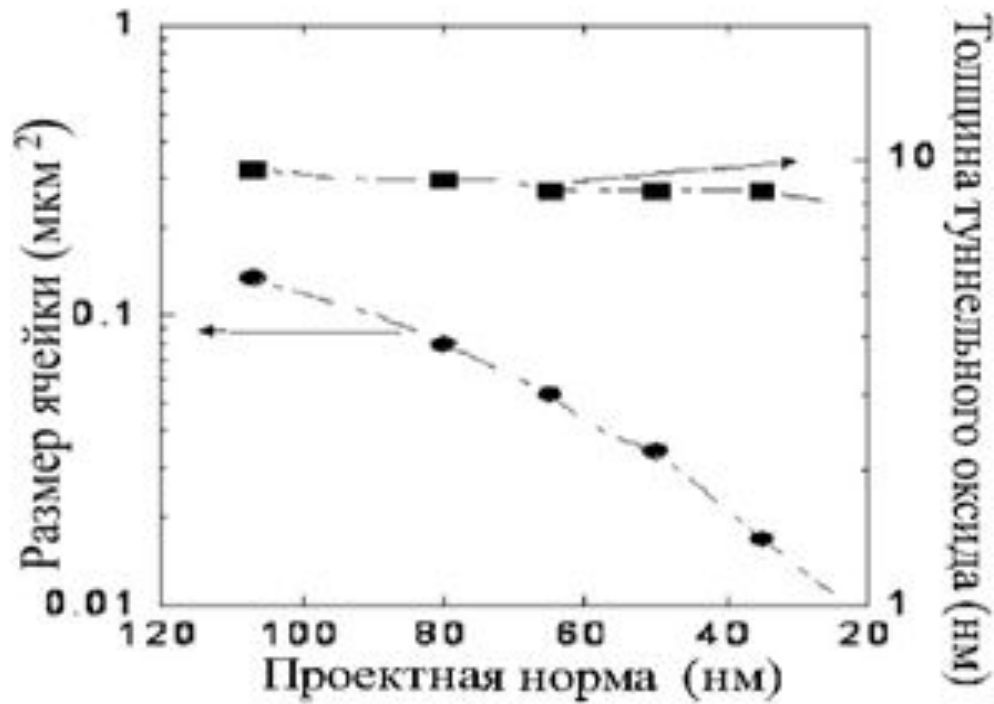
1 –транзисторная FLASH ячейка памяти с плавающим затвором

- 4 Электрическая схема архитектуры NOR и сечение матрицы 1-транзисторных ячеек. С повышением степени интеграции СБИС необходимо уменьшать размер ячейки



Масштабирование NOR ячейки памяти и толщины туннельного оксида в зависимости от технологической нормы (ITRS 2003)

- 4 Толщина туннельного оксида ограничивает масштабирование рабочих напряжений, что приводит соответственно к ограничению масштабирования размера модуля памяти, также содержащего периферийные высоковольтные транзисторы для создания соответствующих напряжений перепрограммирования.



Потребность в других видах энергонезависимой памяти

Из-за ограничений Flash-памяти, которая, тем не менее, продолжает эволюционное развитие (новые конструкции и технологии), появилась потребность в других «революционных» (новые физические принципы) видах памяти (**FRAM, MRAM, PCM.....**)

Желательны следующие характеристики:

Показатели функционирования:

- 4 Увеличенное количество циклов перезаписи
- 4 Более быстрое время записи, считывания
- 4 Большая гибкость (уровень модульности)

Масштабируемость:

- 4 Большая масштабируемость по сравнению с Flash

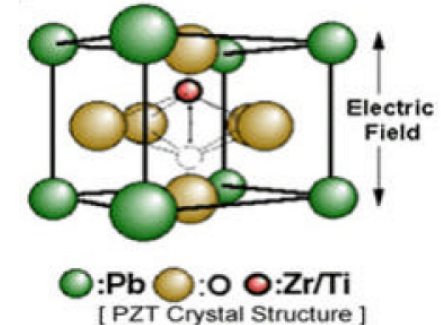
Разработка и технология:

- 4 Более простое встраивание (интеграция) в логические ИС

Другие виды энергонезависимой памяти

4 Сегнетоэлектрическая (FRAM)

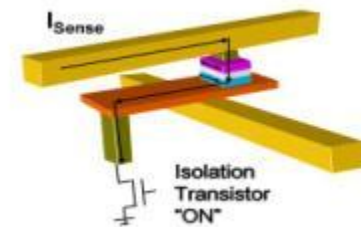
Механизм записи – электрическое поле, создаваемое в слое сегнетоэлектрика при помощи напряжения, прикладываемого к пластинам конденсатора



4 Магнитная (MRAM)

Принцип основан на изменении сопротивления элемента памяти при воздействии импульса тока в цепи записи – стирания.

Основное преимущество – отсутствие высоковольтных цепей.

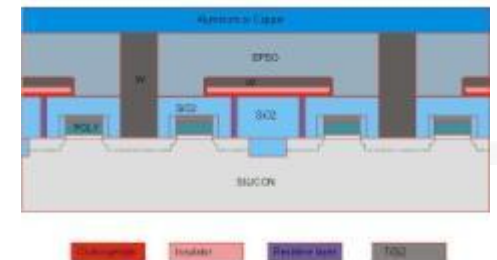


4 На основе изменения фазового состава (PCM)

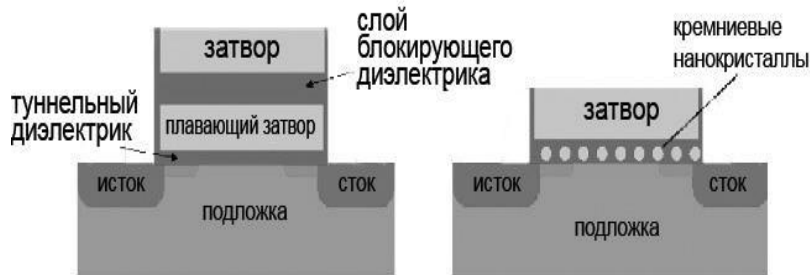
Механизм хранения – аморфная/ поликристаллическая фаза халькогенидного сплава ($\text{Ge}_2\text{Sb}_2\text{Te}_5$, GST)

Механизм записи – индуцируемый ток эффект Джоуля

Механизм распознавания – изменение сопротивления GST



Ячейки памяти на основе нанокластеров. Достоинства и недостатки.



Поиск универсальной памяти продолжается. Типовая ячейка энергонезависимой памяти на основе плавающего затвора (слева) и ячейка энергонезависимой памяти на основе ловушек заряда с помощью кремниевых нанокристаллов, расположенных в слое диоксида кремния (справа).

Преимущества энергонезависимой памяти на нанокристаллах:

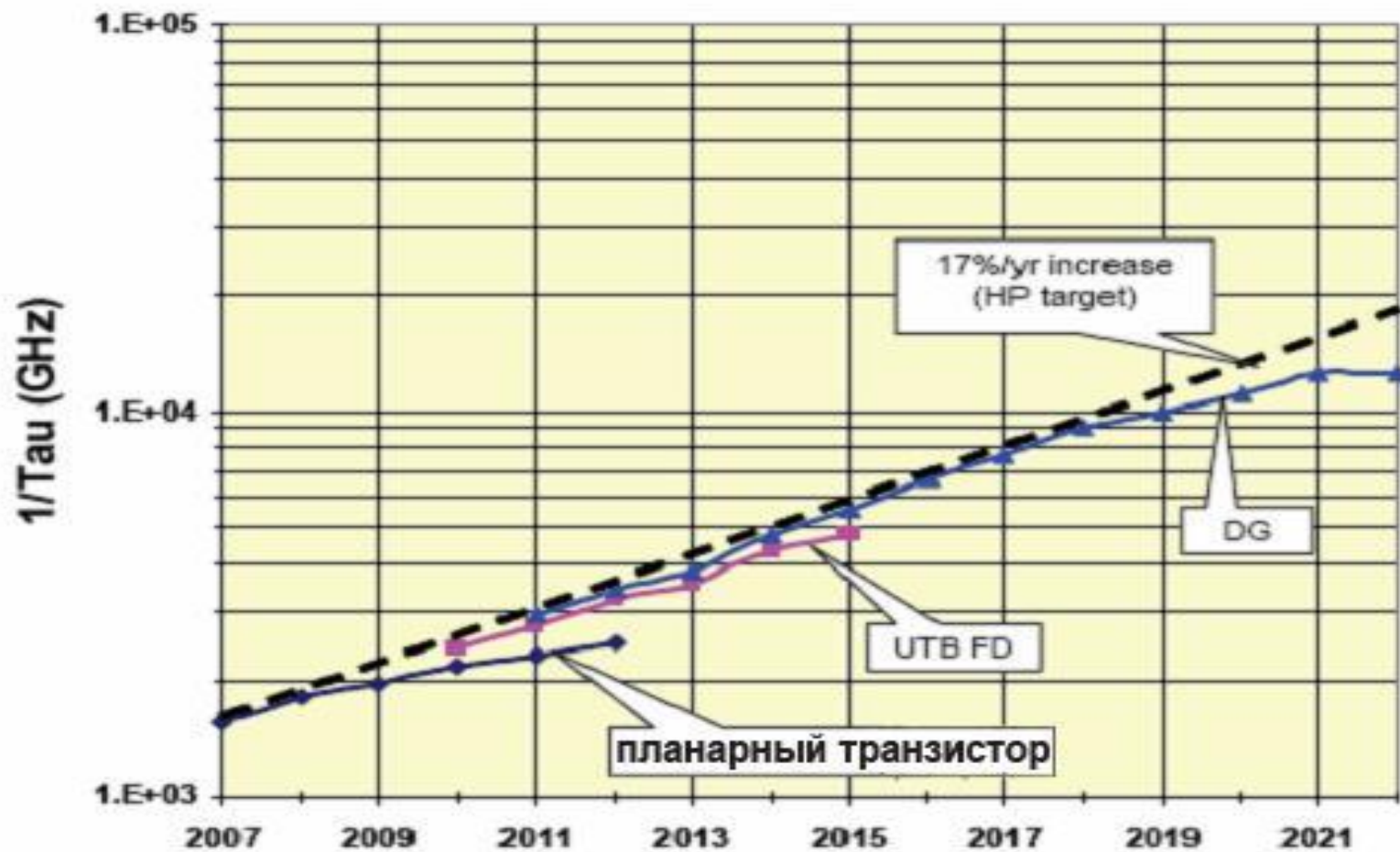
- энергонезависимая память на кремниевых нанокристаллах подобна памяти на основе накопления заряда в нитриде (SONOS);
- уменьшено влияние дефектов в изолирующем оксиде;
- упрощен процесс формирования ячеек памяти;
- использование нанокластеров приводит к более эффективному стиранию и программированию и улучшенной устойчивости к дефектам по сравнению с типовой энергонезависимой памятью на плавающем затворе.

К недостаткам следует отнести невозможность масштабирования до размеров длины канала, сравнимой с нанокластером (~ 10 нм), из-за разброса их размеров и расстояния между ними происходит разброс параметров элемента памяти, таких как пороговое напряжение, окно памяти и т.д.

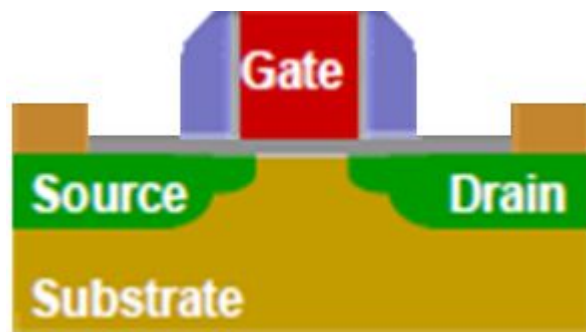
SONOS : преимущества и недостатки

- 4 Время жизни электронов в локализованном состоянии составляет более 10 лет. Высокая эффективность захвата электронов (или дырок) связана с большим сечением захвата на ловушки (порядка 10^{-13} см²) и большой их концентрацией (порядка 10^{19} см⁻³).
- 4 Появление локальной утечки в окисле не приводит к стеканию в подложку основной части информационного заряда, как это имело бы место в случае с проводящим плавающим затвором, поскольку заряд локализован на изолированных ловушках.
- 4 Совместимость с типовой КМОП технологией и снижение напряжения перепрограммирования до 8-9 В с перспективой дальнейшего его уменьшения упрощают разработку устройств и используемые технологические процессы.
- 4 При выборе конструкции элемента памяти необходимо оптимизировать взаимно противоречивые требования: время перепрограммирования, большое число циклов записи-стирание, время хранения.
- 4 Использование блокирующего диэлектрика с большой диэлектрической проницаемостью (high- k) позволяет увеличить толщину туннельного диэлектрика, улучшить температурный диапазон. Данная память может быть масштабирована до размеров 30 - 20 нм.
- 4 Поиск новых конструктивно – технологических вариантов, типа **BE-SONOS**
Поэтому использование многослойного диэлектрика ONO со слоем нитрида кремния представляется перспективным.

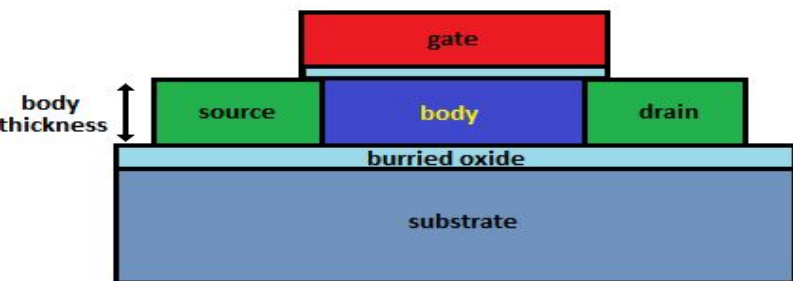
Быстродействие транзистора



Сравнение типового МОП транзистора с UTB FD транзистором



Типовой МОП транзистор



UTB FD - полевой транзистор с ультратонким (менее **10 нм**) нелегированным полностью обедненным каналом (КНИ).

Основные преимущества UTB FD :

- баллистический перенос носителей, увеличение тока и быстродействия
- низкие токи утечки закрытого состояния

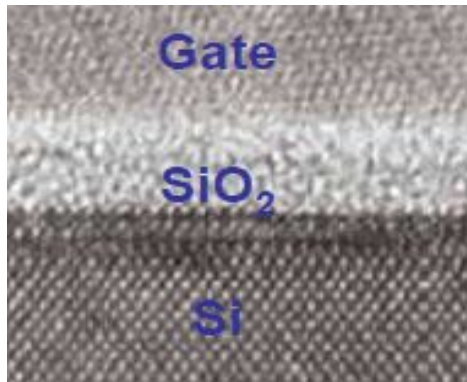
По **ITRS** основной прогресс до **2021** будет связан с **КНИ** - технологией

Структура современного транзистора

90-65 нм

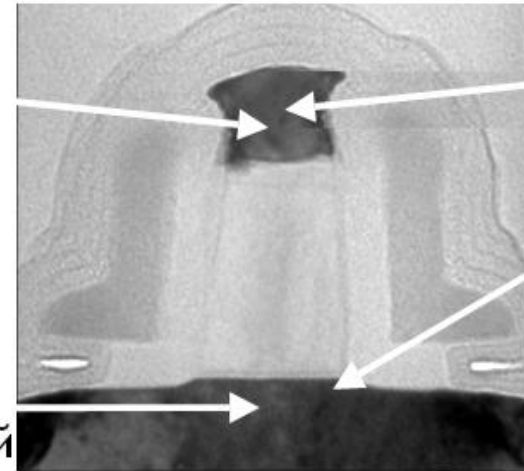


45-32 нм



Затвор
силицид
(CoSi_2)

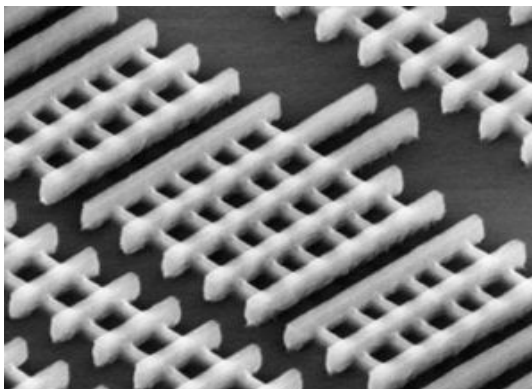
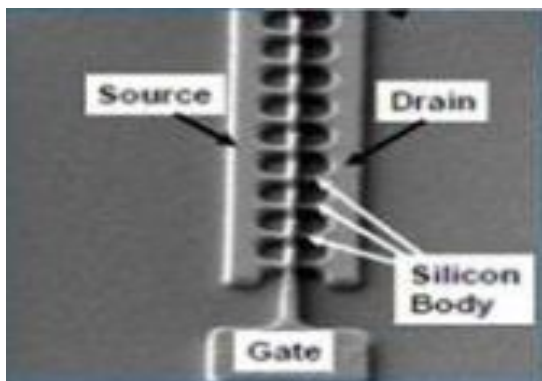
Канал
напряженный
кремний
(SiGe)



Металлический
затвор

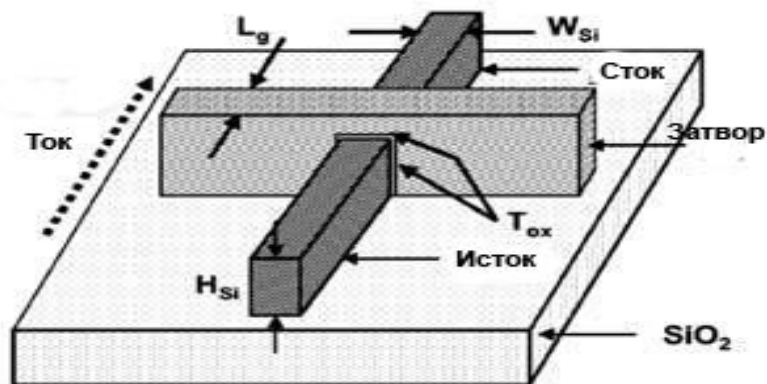
High-K
подзатворный
диэлектрик
(HfO_2)

Многозатворные транзисторы (Fin,...)



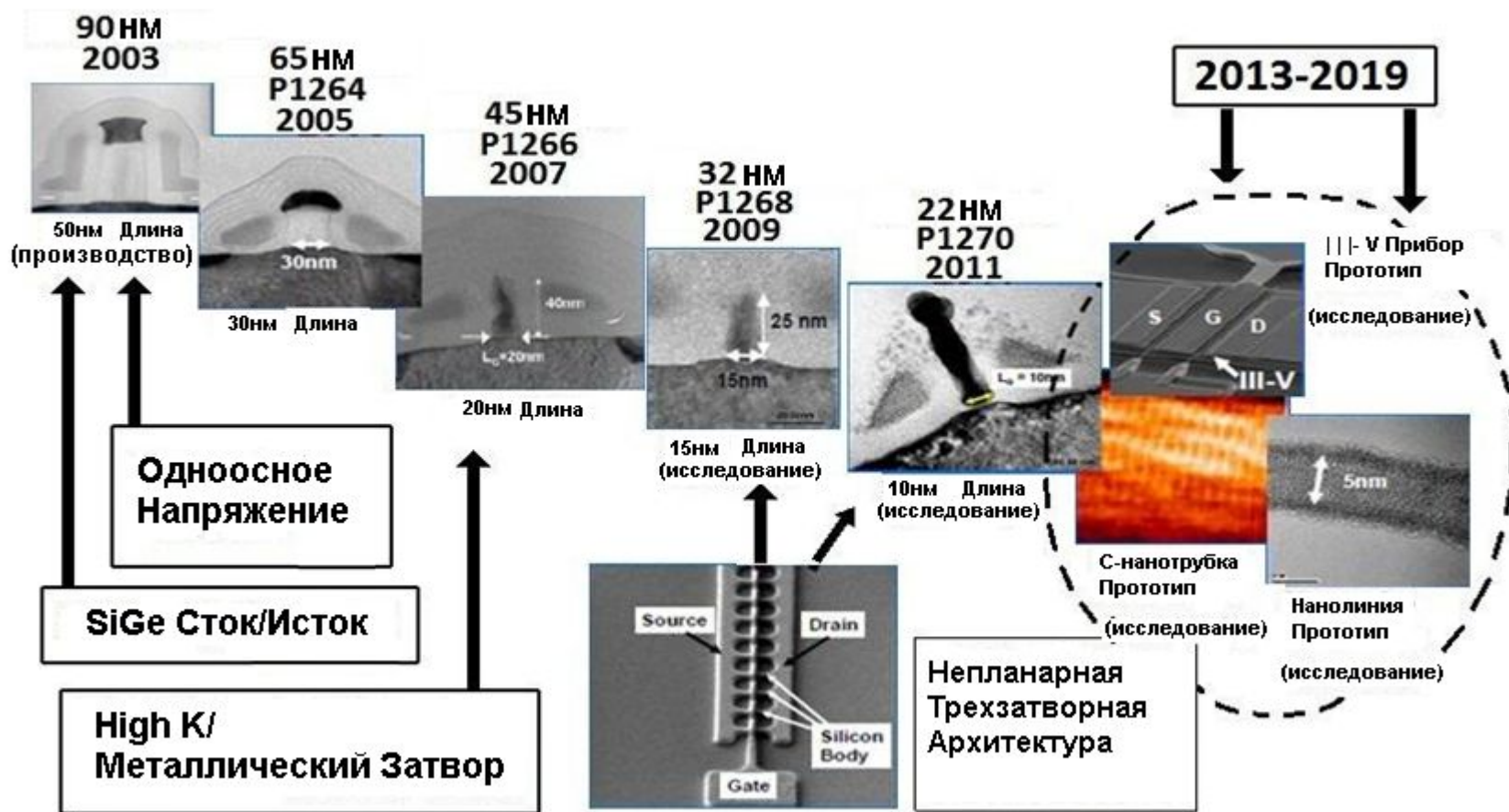
22 нм транзисторы ф.Интел

Общее направление большинства модификаций классической архитектуры полевого транзистора состоит в переходе к 3D-структуре

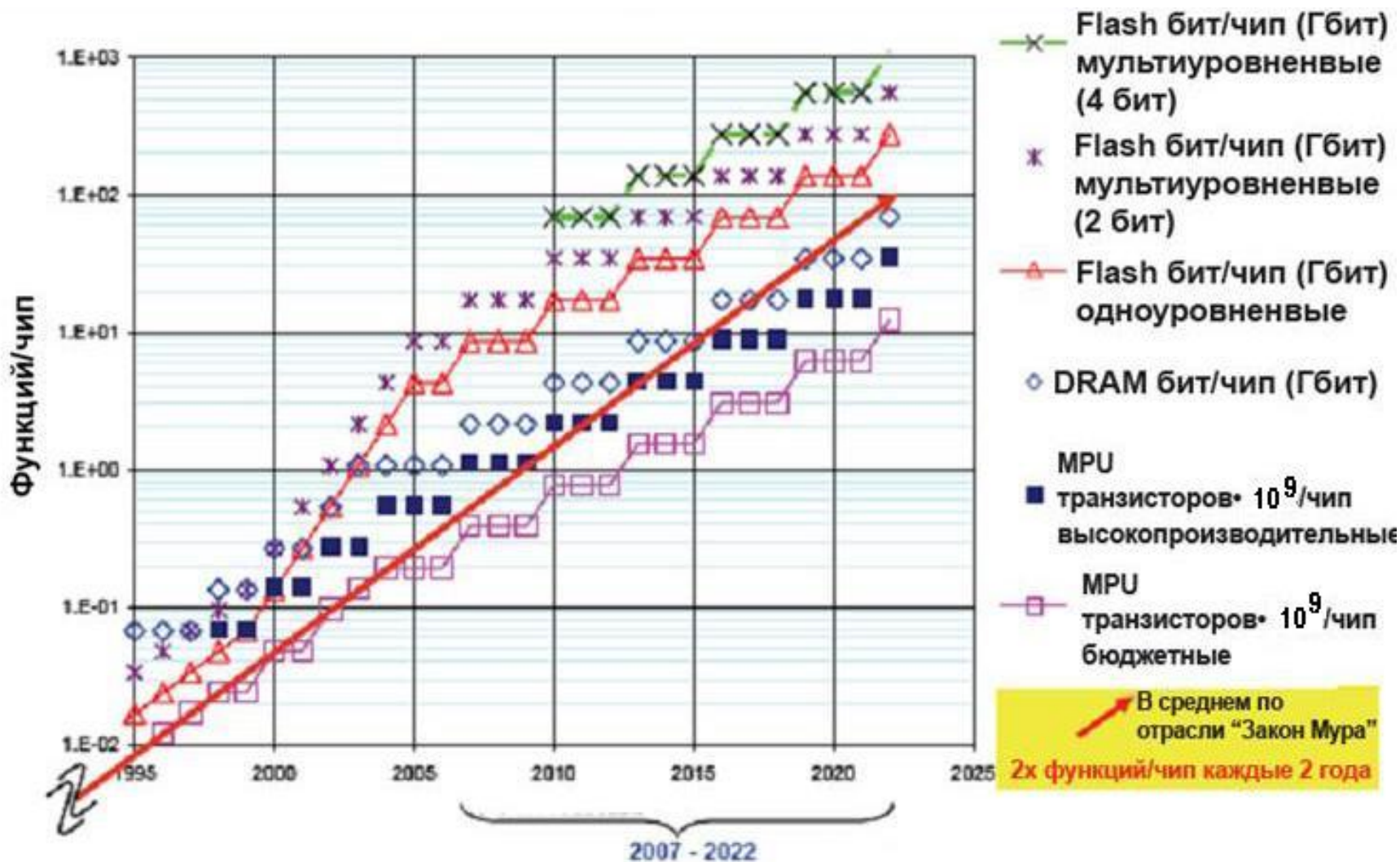


Интел планировал перейти на Fin FET на уровне 22нм, но переход отложен до 15нм.

Прогноз развития инновационных технологий (источник: Intel)



Функции на чипе

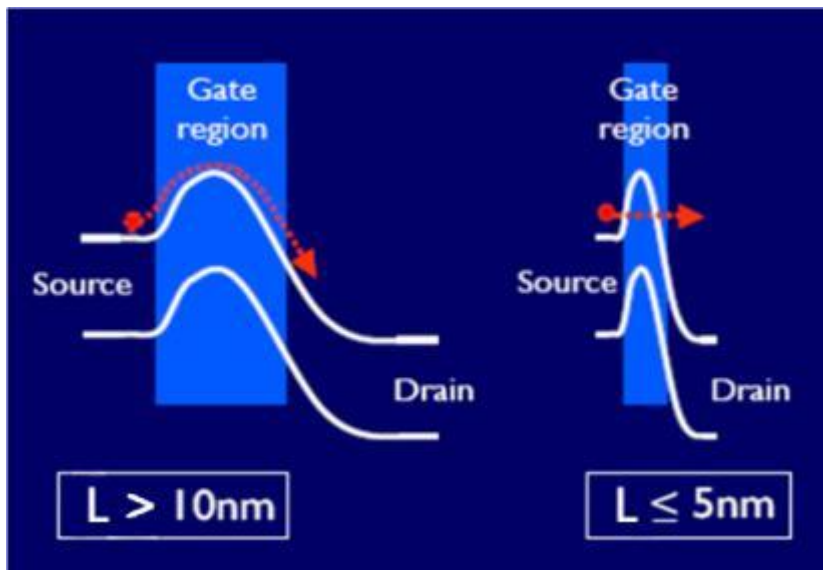


Развитие процессоров и памяти.

Год	2011	2022
Flash		
Емкость памяти (Gbits), SLC	16,59	274,88
Размер чипа, мм ² , SLC	106,8	128,26
Gbits/cm ² , SLC	16,44	214
MPU		
MPU, размер чипа, мм ²	121	140
Транз в чипе MPU, М	2 106	35 391
Транз в MPU, М/cm ²	557	11 416

Ни одна отрасль не изменила мир и социальных уклад так, как микроэлектроника. Рост производительности и сложности чипов позволяет просчитывать все более точные модели, создавать искусственный интеллект и самообучающиеся нейронные сети. К 2022г. Суперкомпьютер будет размещен на одном чипе.

Физический предел и проблемы при длине канала <10 нм

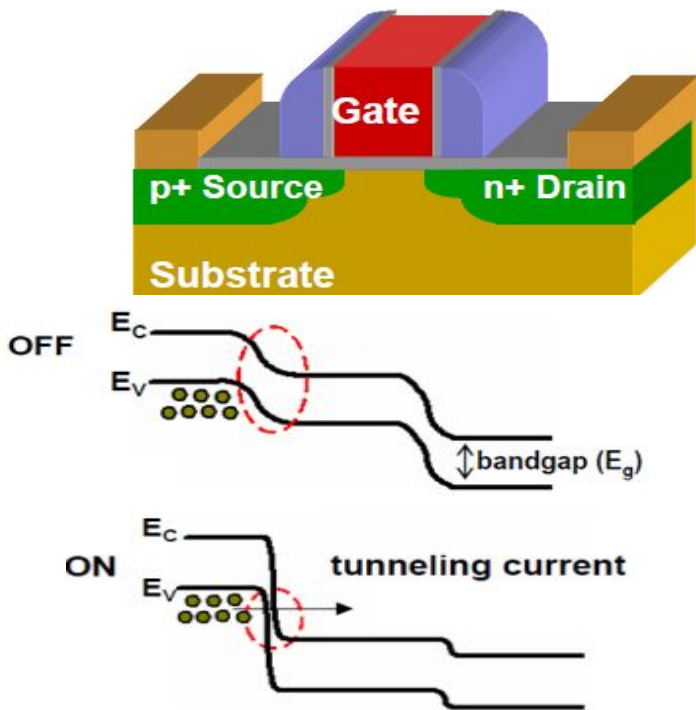


При длине канала L около менее 6 нм – большие токи утечки между стоком и истоком за счет прямого тунелирования носителей.

Необходимость использования новых материалов, конструкций и **приборов на новых физических принципах**

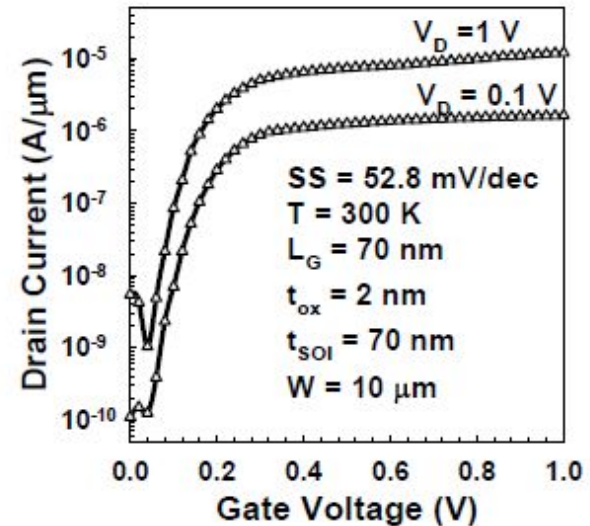
Модель переноса носителей заряда	Большие токи утечки сток-исток	Токи утечки через подзатворный диэлектрик	Рассеиваемая мощность	Квантовые проблемы
Баллистическая модель переноса носителей	Создание туннельно-прозрачного диэлектрика, новые конструкции	Исследования (физическое ограничение около 0,7 нм)	При размере 10 нм и частоте 10 ГГц рассеиваемая мощн. 500 Вт на 1 кв. см, новые материалы	Традиционные модели не работают, необходимы новые модели. Возможно новые носители информации

Туннельные транзисторы с р-п переходами, контактами Шоттки, двойным барьером

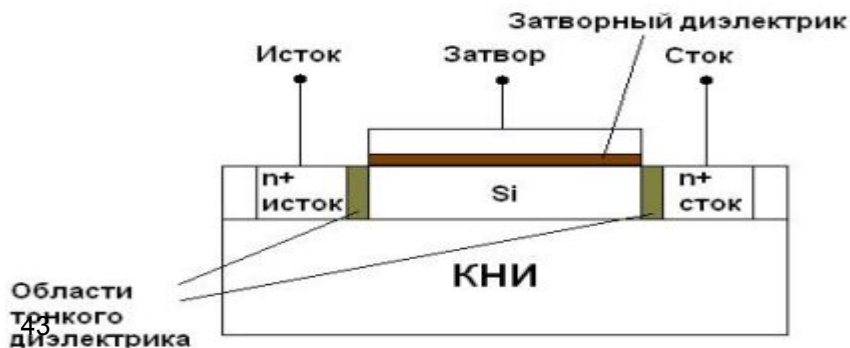


Si TFET I-V Characteristics

W. Y. Choi *et al.* (Seoul Nat'l U. & UC Berkeley)
IEEE-EDL vol. 28, pp. 743-745, 2007

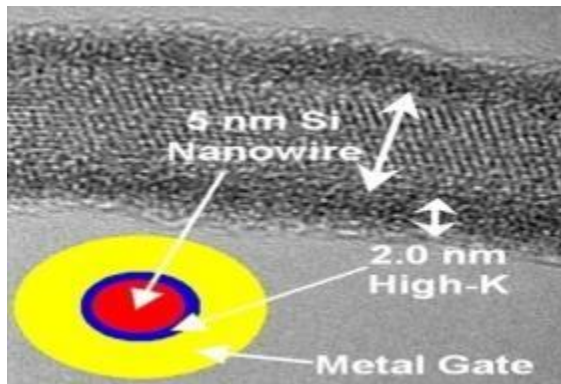


Перспективный МОП транзистор с двойным барьером

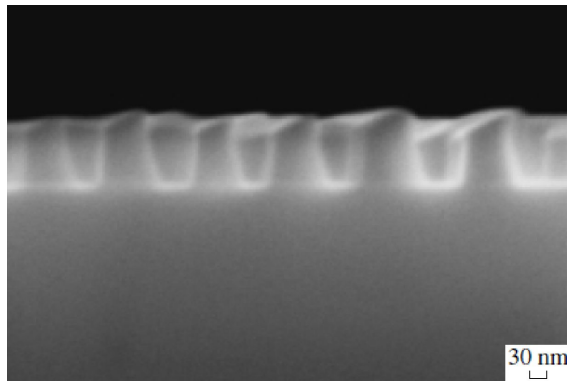


- Обеспечивает снижение подпорог. крутизны: SS меньше 60mV/dec .
- Идеальный прибор для “зеленых” приложений с ультранизким энергопотреблением.
- Стоит задача увеличения тока открытого состояния

Транзисторы на основе «Nanowire»



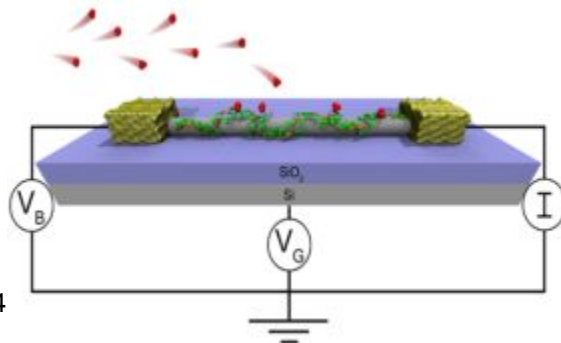
Окружение области канала затвором естественным образом стимулирует применение «Nanowire» (нанопроволок и нанотрубок)



Сечение структуры с волнообразным рельефом с $\lambda = 150$ нм в α -Si для получения «Nanowire», 30-40нм

Источник: Отличительные особенности и проблемы КМОП технологии при уменьшении проектной нормы до уровня 0,18 мкм и меньше / Красников Г.Я., Орлов О.М.

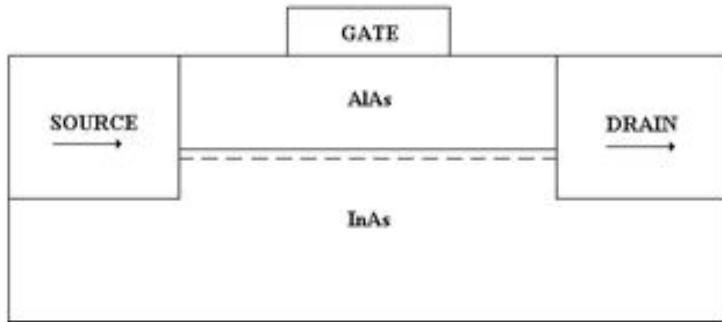
// Российские нанотехнологии, 2008 , Том 3, N 7 - 8, С. 124-128.



Полевой транзистор с каналом из нанопроволоки (или углеродной нанотрубки) в качестве биохимического сенсора.

Источник: <http://astro.temple.edu>

Спиновый транзистор, одноэлектронный транзистор

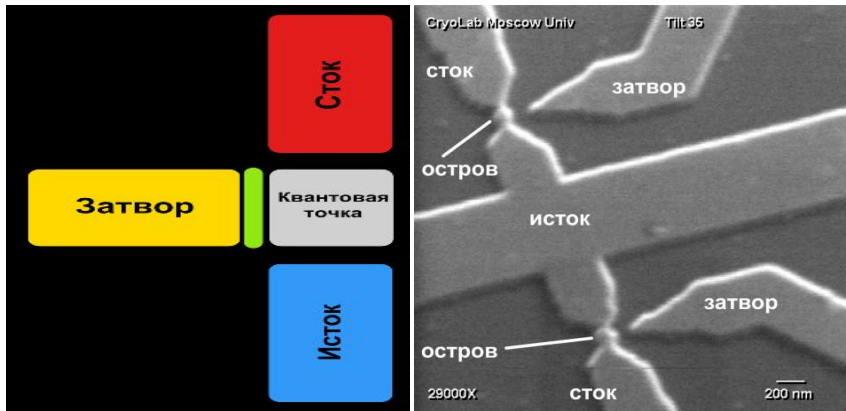


Спиновый транзистор, предполагаемый конкурент обычного полевого транзистора. Достижение преимуществ: низкое управляющее напряжение, малое энергопотребление, высокое быстродействие пока противоречиво. Необходимы структуры, которые имеют более сильное спин-орбитальное взаимодействие. Предложен S.Datta & B.Das, в 1990г.

Одноэлектронный транзистор (слева -- схема, справа -- реализация).

Источник: Преснов Д.Е., МГУ, 2010г.

http://www.nanometer.ru/2010/02/18/silicon_168602.html

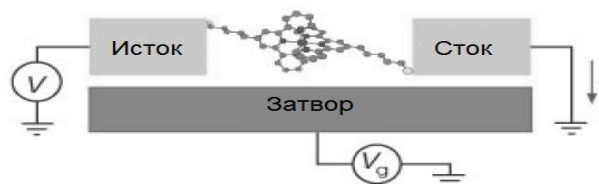
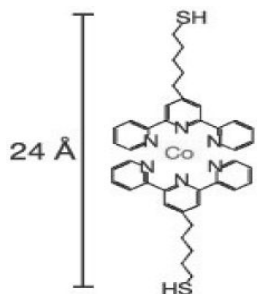


Хотя идея одноэлектронного транзистора предложена К. Лихаревым в 1986г., до сих пор имеются только лабораторные разработки одноэлектронных транзисторов (SET).

Молекулярный транзистор.

Источник: Electronics below 10nm, K.Likharev,

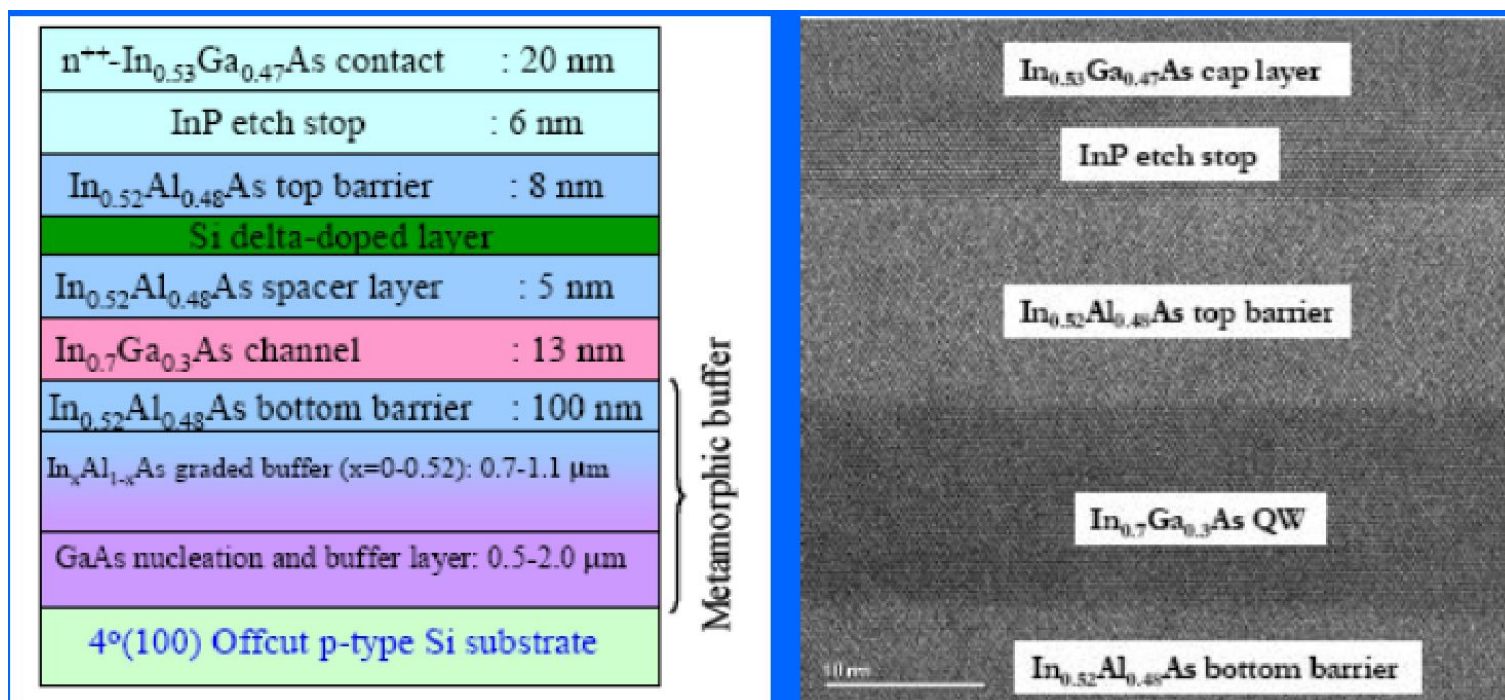
<http://pavel.physics.sunysb.edu/~likharev/nano/NanoGiga.pdf>



Идея МТ близка к идее SET. Целевой молекулой может быть белок или фрагмент нуклеиновой кислоты.



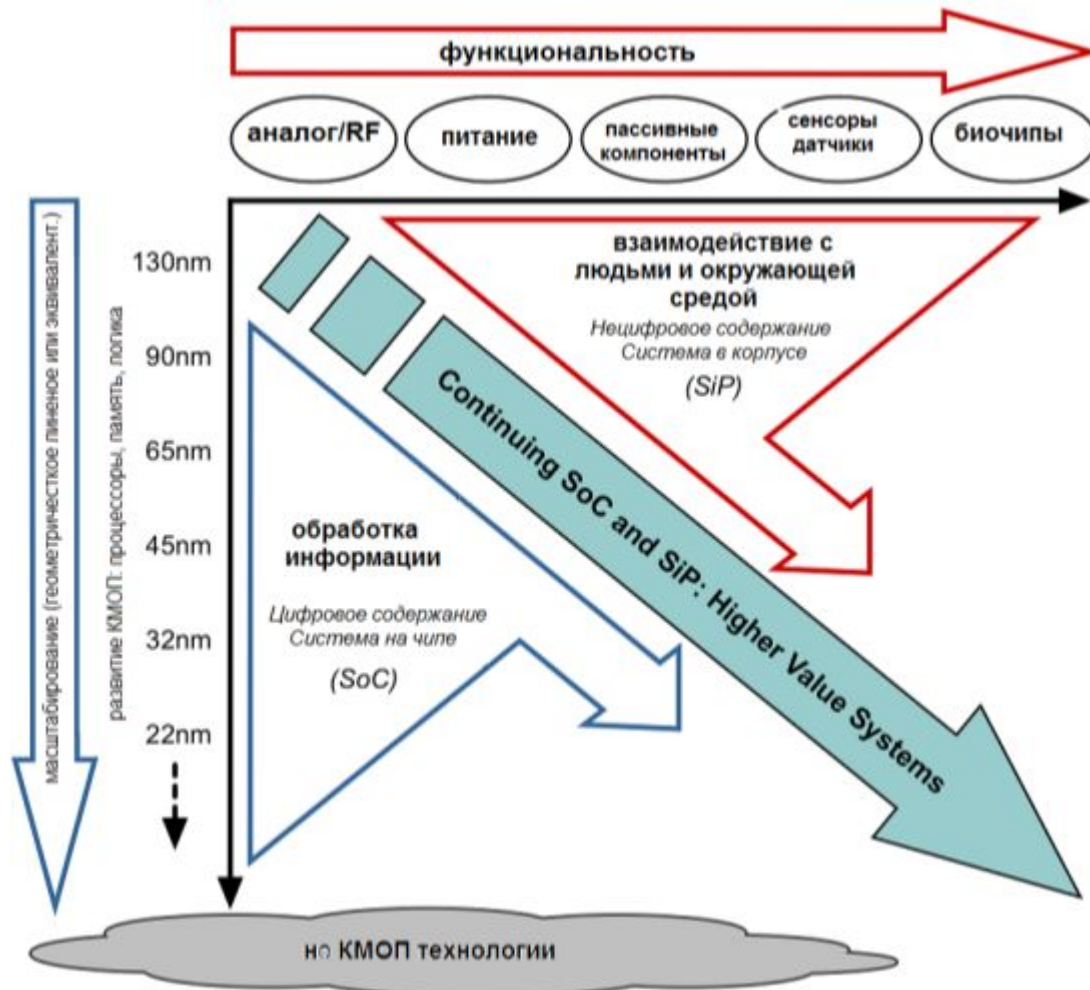
QWET (In 0.7 Ga 0.3 As) на кремнии (источник: Intel)



Преимущество – достижение исключительно высоких подвижностей при сложной технологии. Гибридная технология позволяет совмещать новые материалы с кремнием.

Разрабатываются технологии для использования оптических каналов передачи данных внутри одной микросхемы

Развитие микроэлектроники по Муру и «вне Мура»



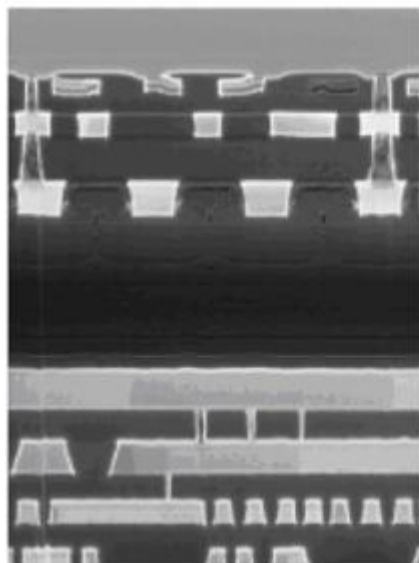
3D сборка

Развивающиеся технологии сборки кристаллов:

- 4 Технология «система в корпусе»
- 4 3D сборка с применением межкристалльных сквозных соединений
- 4 Сборка «чип на чипе»
- 4 Применение изолированных проводников для разварки чипов (проводник в изоляторе)

Технологии позволяют увеличить скорость передачи сигнала между чипами.

Разрез 3D чипа



подложка ИС памяти
транзисторы памяти
слой металлизации
слой соединений
слой металлизации логики
транзисторы и подложка ИС логики

Source: Ziptronix

Примеры разварки стека чипов («чип на чипе») и посадки на плату



PoP with Package-Stackable vBGA (PSvBGA)



PoP with Stacked Die Top and Bottom

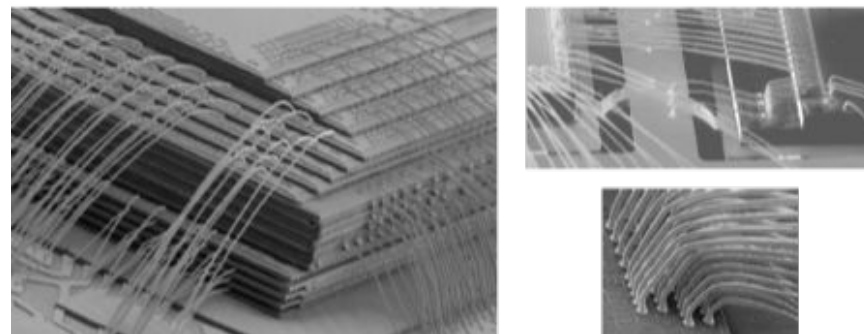


PoP with Flip-Chip CSP (fcCSP)

Source: Amkor Technology

Глубина транзисторных структур ~1мкм, а толщина подложки ~ 1000мкм

Фото разварки стопки чипов (проводник в изоляторе)



Source: Amkor

www.mikron.ru

**Спасибо
за
ВНИМАНИЕ**

