

Практическая работа №1

Создание проекта в среде Quartus

II

Под запись

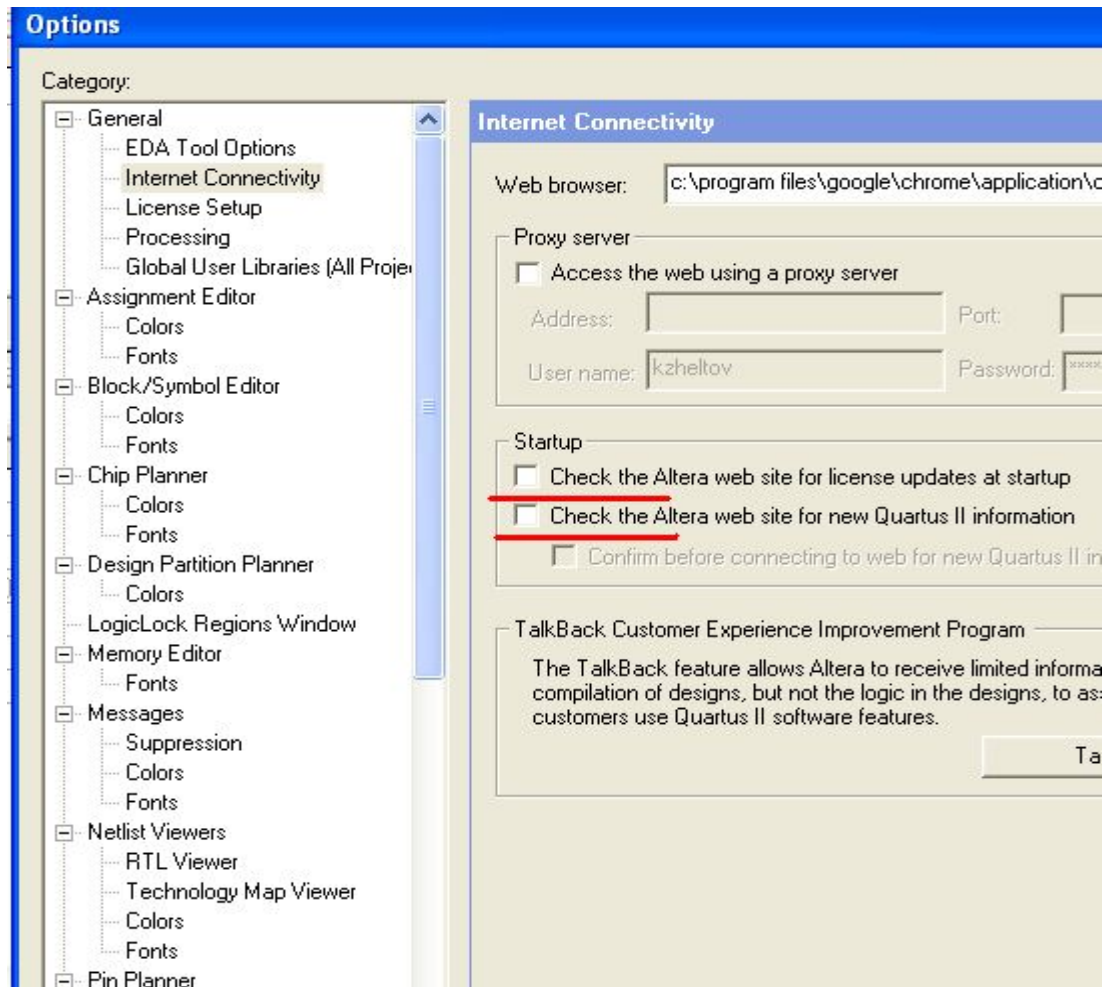
Начальная настройка Quartus II

- Запустить интегрированную среду Quartus II двойным щелчком правой кнопкой «мыши» по иконке



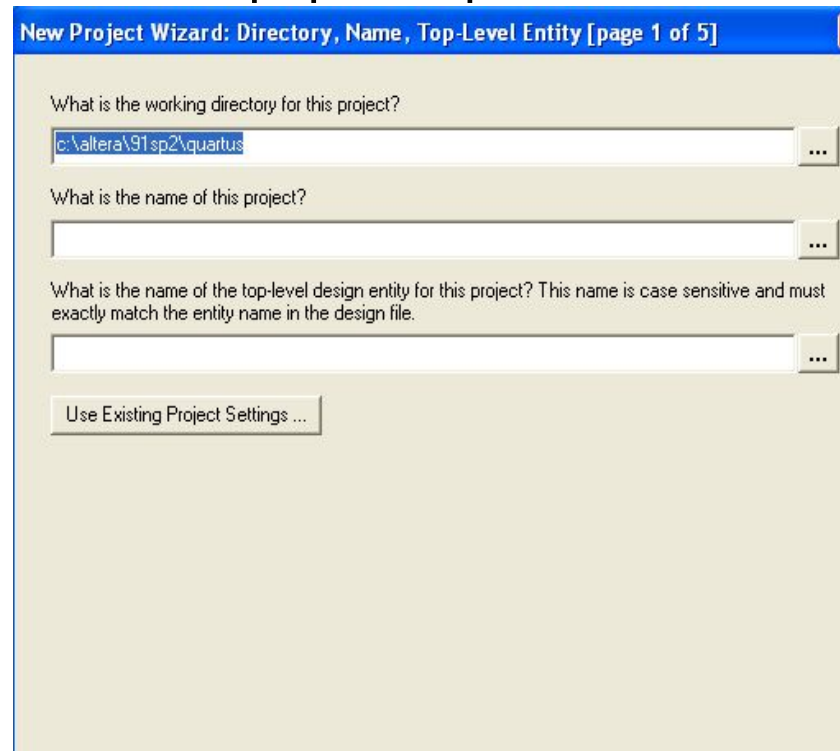
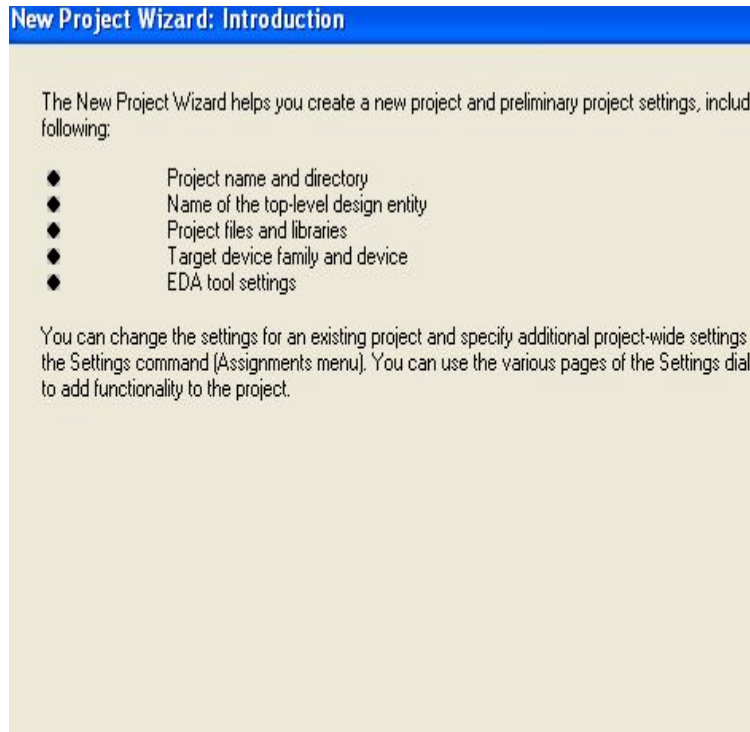
- В открывшемся главном окне в меню Tools выбрать «Options», выбрать в дереве меню «Internet Connectivity» в открывшемся диалоговом окне снять отметки с полей:
 - «Check the Altera web site for license update at startup»;
 - «Check the Altera web site for new Quartus II information»

Отключение обновлений



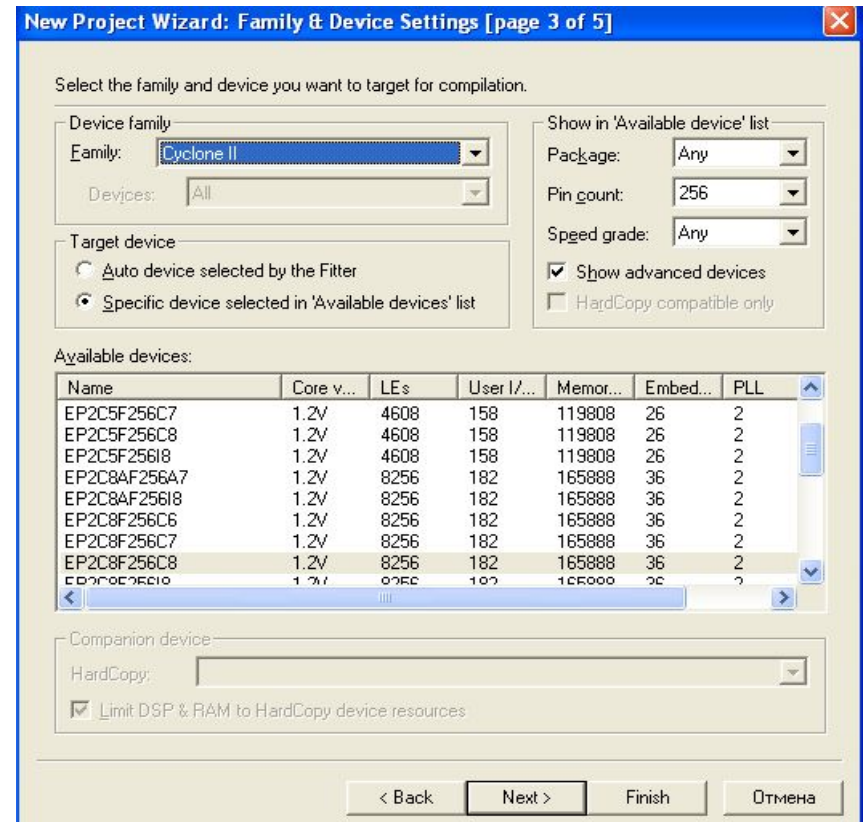
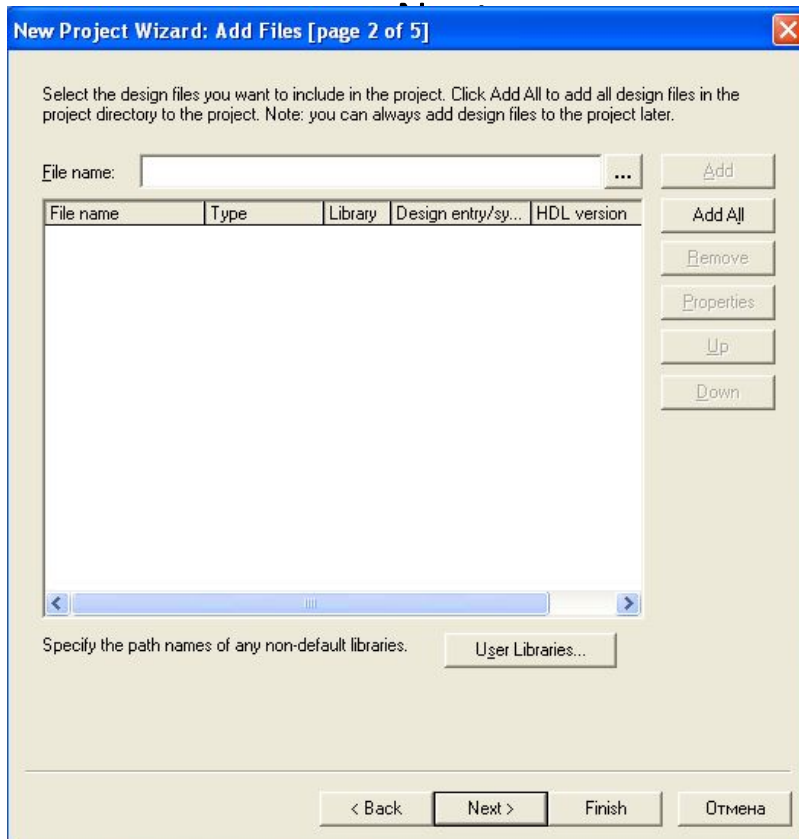
Создание нового проекта

- В главном меню необходимо выбрать File- New Project Wizard. Откроется окно 1, нажать кнопку «Next», во втором окне в поле **What is the working directory for this project?** указать директорию на своем сетевом диске в ней создать папку Lab1. В поле **What is the name of this project?** Указать имя Lab 1, третье поле будет заполнено автоматически – это имя иерархии проекта. Нажать



Создание нового проекта (продолжение)

- В открывшемся окне предлагается добавить файлы к проекту, но так как это первый проект, то данный шаг необходимо пропустить и нажать кнопку Next. В следующем окне необходимо выбрать микросхему ПЛИС для этого выбрать в поле Family Cyclone II в поле Pin count выбрать 256, в поле Available Device выбрать EP2C8F256C8,



Создание нового проекта (продолжение)

- В открывшемся окне предлагается добавить инструменты (не используются для создаваемых проектов), пропустить данный шаг и нажать кнопку Next. В открывшемся окне представлена суммарная информация работы мастера проекта, нажать кнопку

New Project Wizard: EDA Tool Settings [page 4 of 5]

Specify the other EDA tools -- in addition to the Quartus II software -- used with the project.

Design Entry/Synthesis

Tool name: <None>

Format:

Run this tool automatically to synthesize the current design

Simulation

Tool name: <None>

Format:

Run gate-level simulation automatically after compilation

Timing Analysis

Tool name: <None>

Format:

Run this tool automatically after compilation

< Back Next > Finish Отмена

New Project Wizard: Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory:
c:/altera/91sp2/quartus/lab1/

Project name: lab1

Top-level design entity: lab1

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone II

Device: EP2C8F256C8

EDA tools:

Design entry/synthesis: <None>

Simulation: <None>

Timing analysis: <None>

Operating conditions:

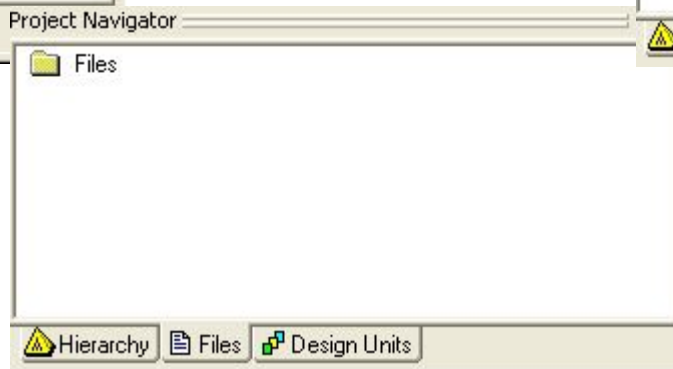
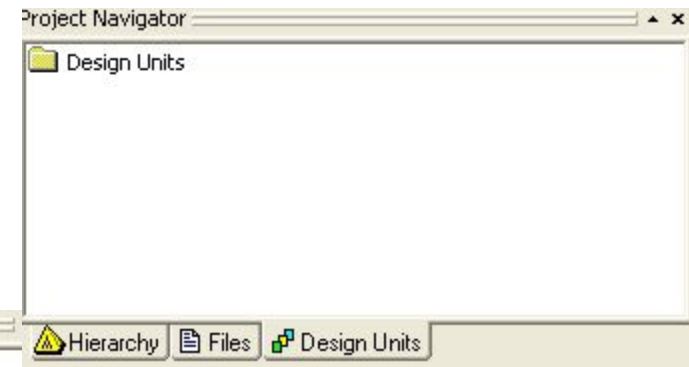
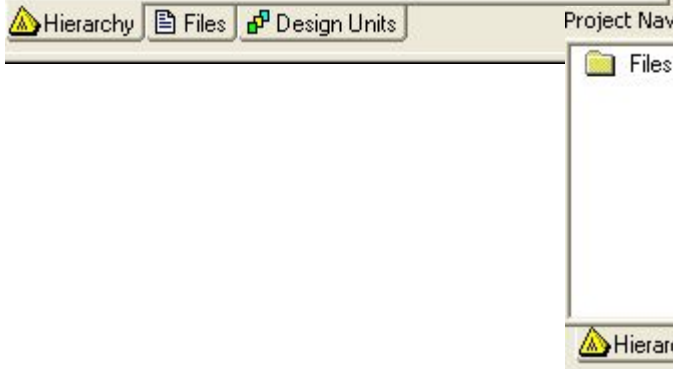
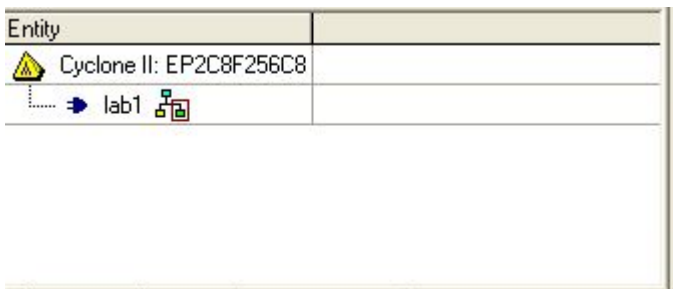
Core voltage: 1.2V

Junction temperature range: 0-85 °C

< Back Next > Finish Отмена

Первый проект

- Слева в главном окне проекта присутствует окно Project Navigator в нем представлены: иерархия проекта, файлы в проекте и модули



Описание интерфейса среды Quartus II

The screenshot shows the Quartus II IDE interface. The main window displays a project named 'lab1' with a 'Compilation Report - Flow Summary' open. The interface includes a menu bar, a toolbar, a Project Navigator, a Status window, a Tasks window, and a Messages window. Several components are highlighted with yellow callout boxes:

- Меню менеджера пакета**: Points to the File menu.
- Панель инструментов**: Points to the toolbar.
- Навигатор проекта**: Points to the Project Navigator window.
- Окно состояния процедуры компиляции проекта**: Points to the Status window.
- Окно процессора сообщений**: Points to the Messages window.
- Название проекта и его рабочая папка**: Points to the title bar of the main window.
- Отчет о результатах компиляции**: Points to the 'Compilation Report - Flow Summary' window.

The 'Compilation Report - Flow Summary' window displays the following data:

Revision Name	lab1
Toplevel Entity Name	lab1
Family	Cyclone II
Device	EP2K8F256C8
Timing Models	Final
Metatiming requirements	Yes
Total logic elements	102 / 8,256 (1 %)
Total combinational functions	102 / 8,256 (1 %)
Dedicated logic registers	56 / 8,256 (<1 %)
Total registers	56
Total pins	11 / 182 (6 %)
Total virtual pins	0
Total macro bits	0 / 1,155,888 (0 %)

The Status window shows the following progress:

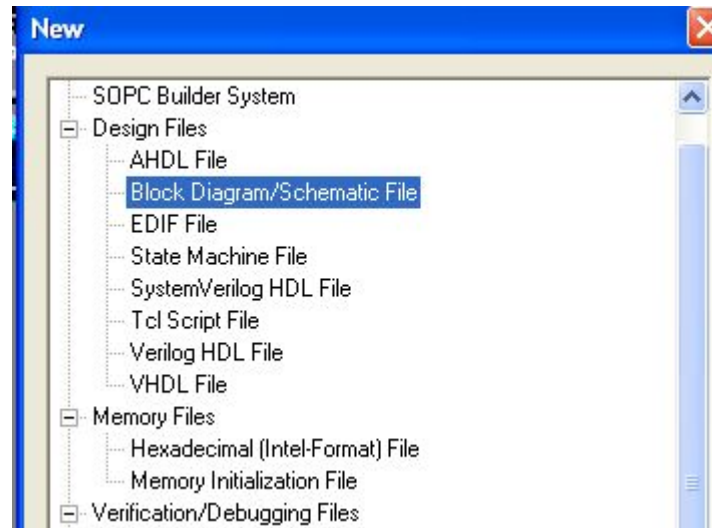
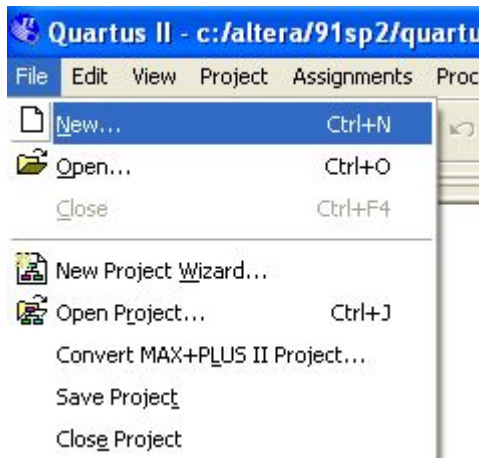
Module	Progress %	Time
Full Completion	100 %	00:00:12
Analysis & Synthesis	100 %	00:00:03
Filter	100 %	00:00:05
Assembler	100 %	00:00:02

The Messages window shows the following messages:

```
Info: too from clock "clk_25mhz" to destination pin "ledbuf_re" through register "LCD_Display:inst|led_re" is 9.932 ns
Info: Quartus II Classic Timing Analyzer was successful. 0 errors, 1 warning
Info: Quartus II Full Compilation was successful. 0 errors, 3 warnings
```

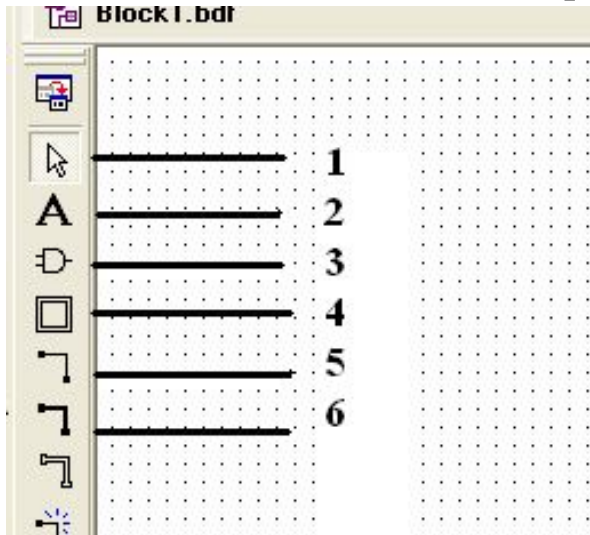

Первый проект

- В меню File выбрать New и открывшемся меню выбрать Block Diagram/Schematic File



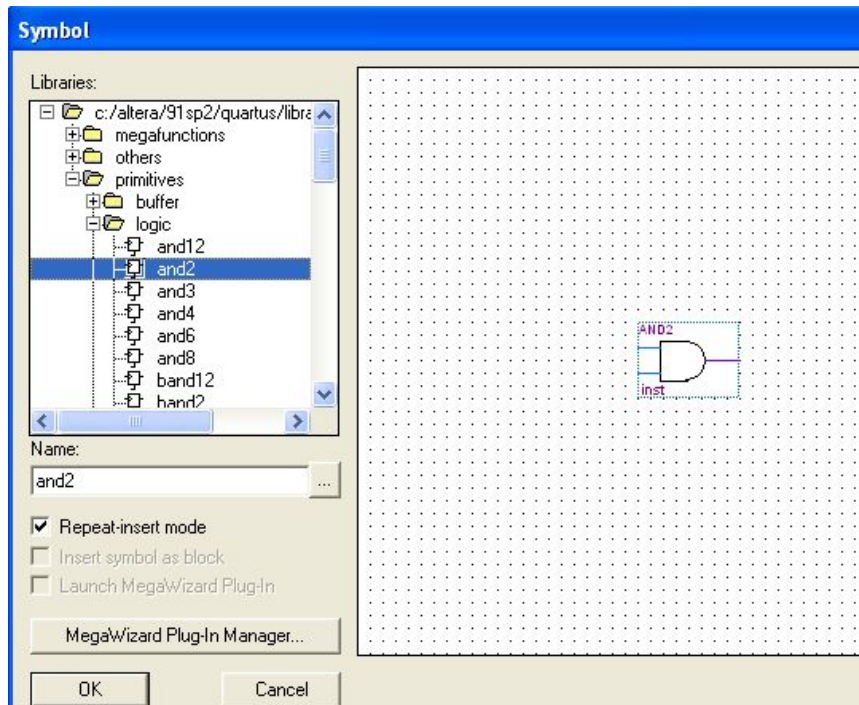
- Откроется редактор схем и блоков

Панель инструментов редактора

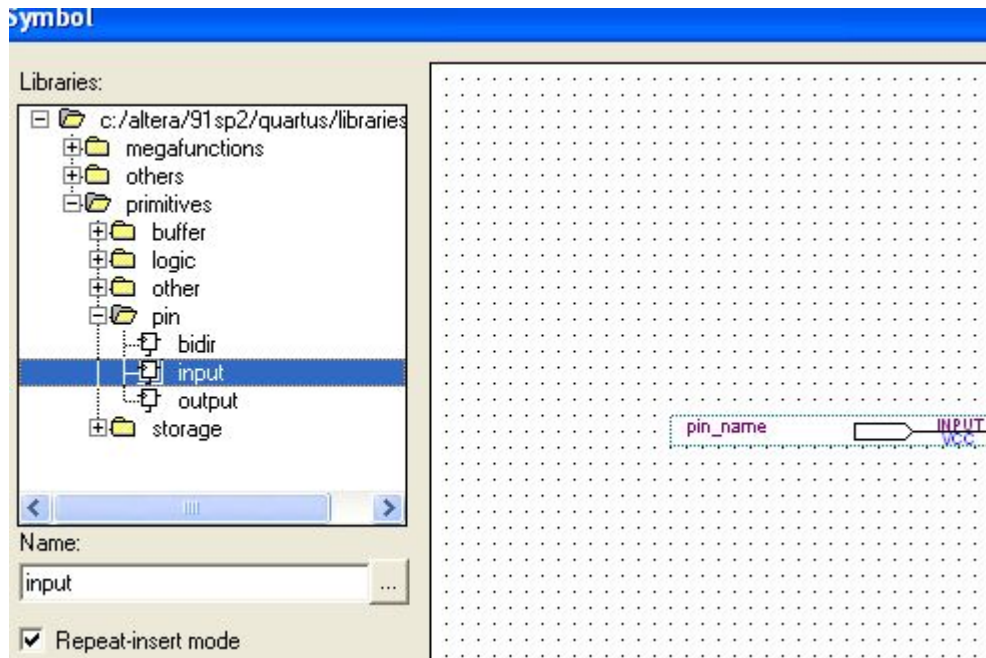


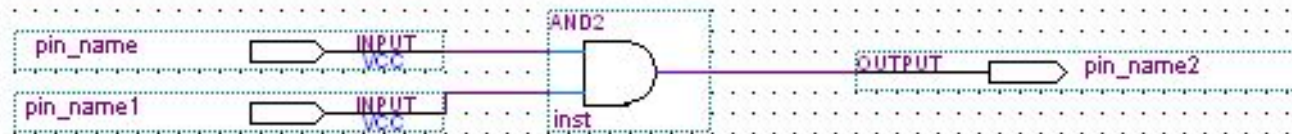
- 1 – курсор для управления элементами схемы;
 - 2- инструмент текстового ввода
 - 3 – инструмент ввода символов Symbol;
 - 4- инструмент рисования блоков
 - 5- инструмент рисования цепей;
 - 6 – инструмент рисования шин.
-
- Сохранить файл под именем lab1.bdf

- Добавить новый элемент кликну по инструменту Symbol. В открывшемся окне Symbol в разделе Libraries выбрать primitives, logic и выбрать and2. Данный компонент разместить на поле редактора.

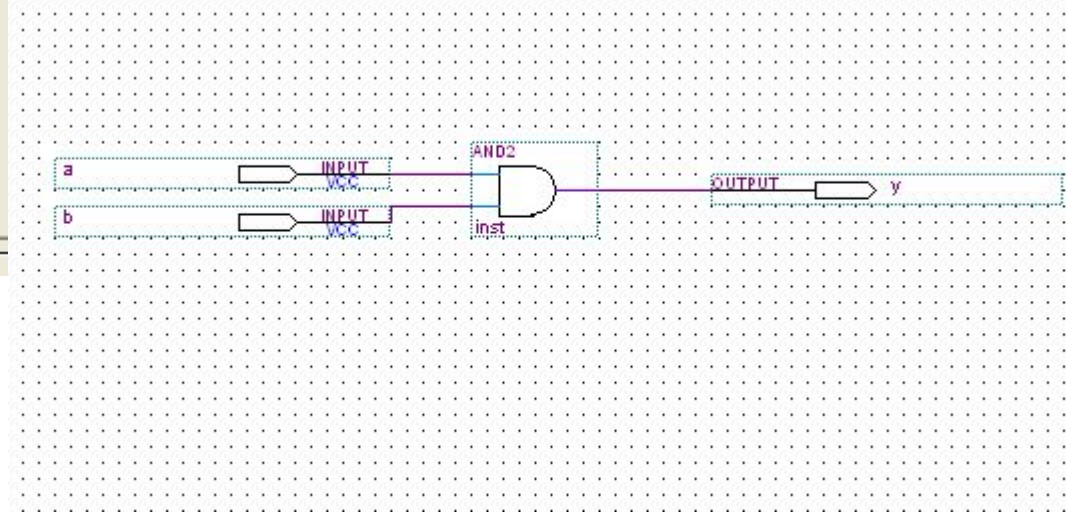
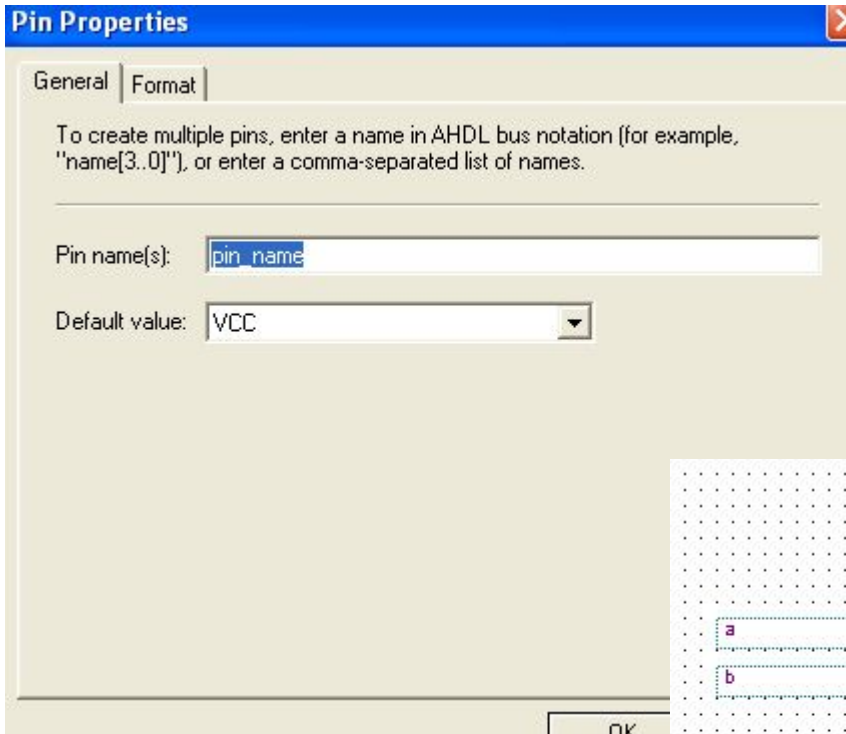


- Подобным образом добавить на схему два входа (input)и один выход (output). Данные компоненты находятся в разделе «primitives –pin». Подключить их к элементу and2 при помощи инструмента цепей (представлено на следующем слайде)





- Поочередно присвоить имена выводам. Для этого два раза кликнуть левой кнопкой «мыши» по выделенному элементу и в открывшемся окне в поле Pin name(s) ввести для входов: a, b для выхода y.



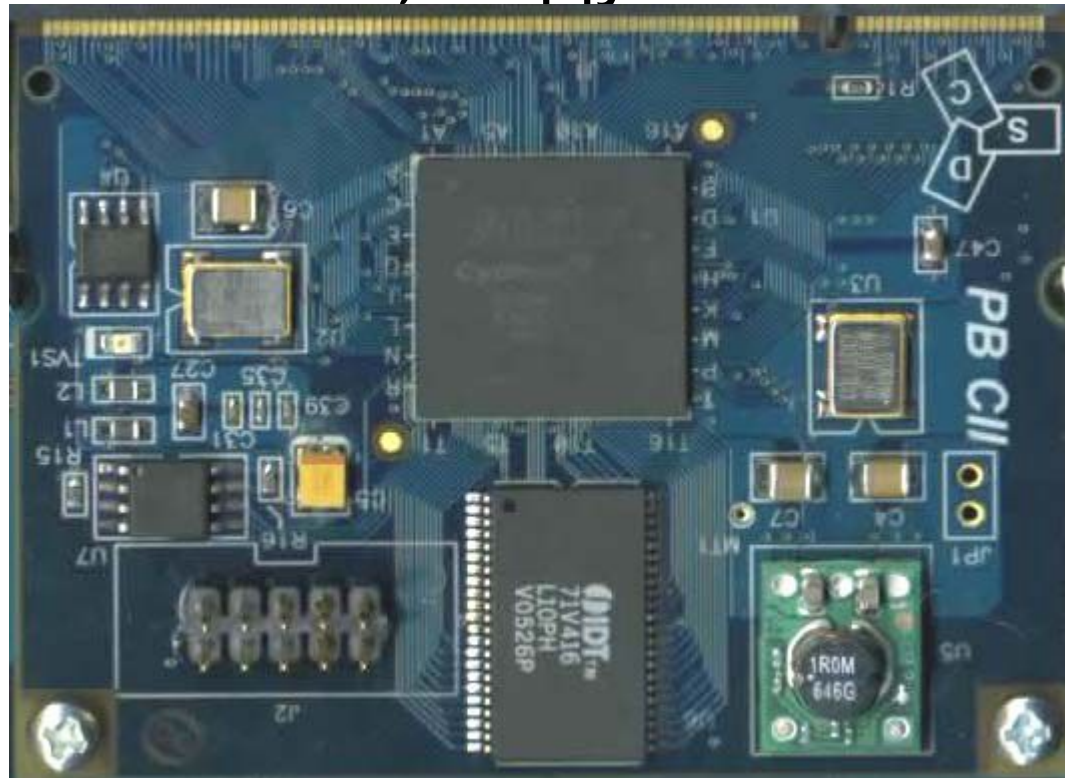
- Сохранить файл и проект нажав Save и Save Project

Практическая работа №2

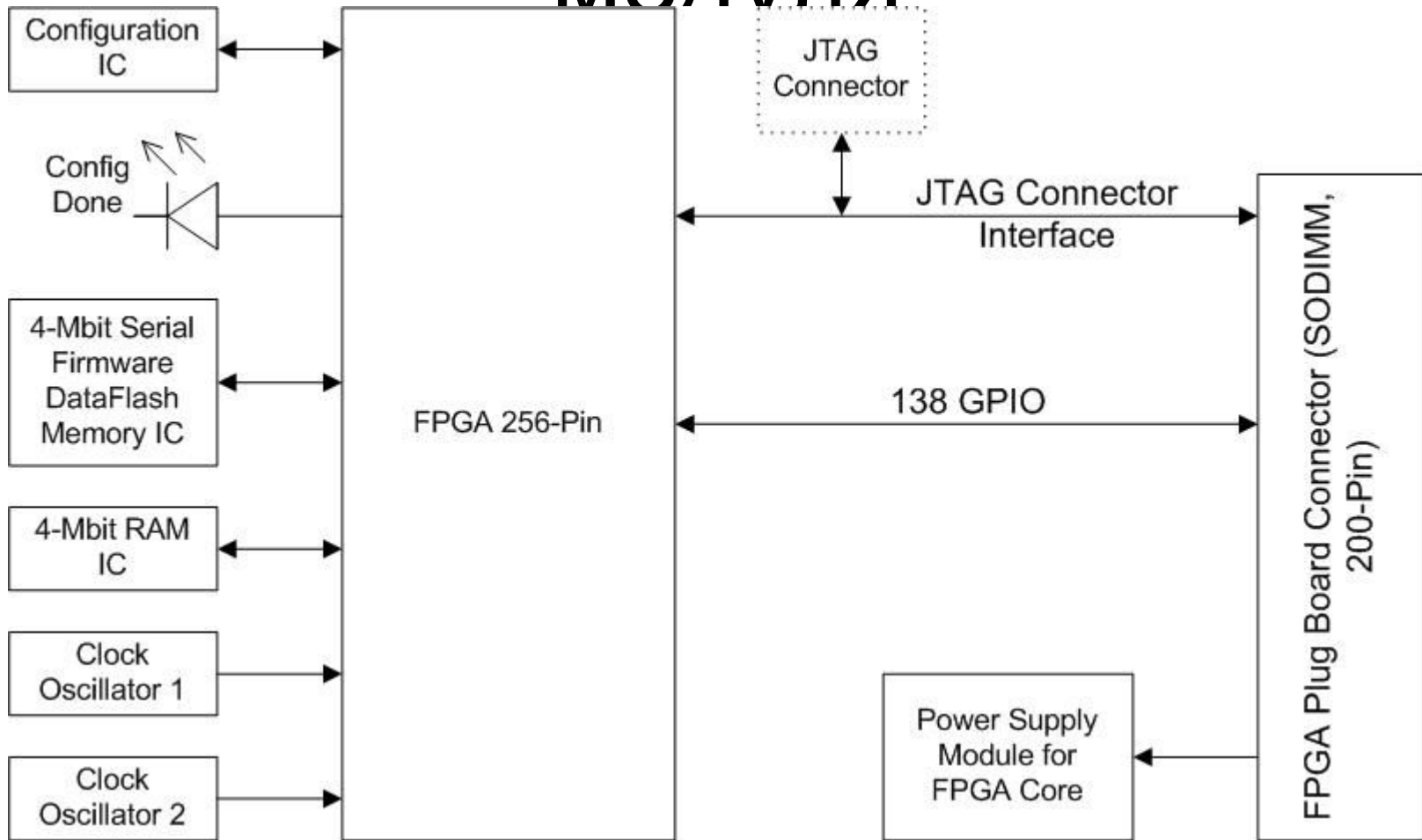
Отладочная плата DiLab II

Центральный модуль отладочной платы

- На рисунке представлен центральный модуль отладочной платы на котором находятся ПЛИС, модули памяти ОЗУ и ПЗУ



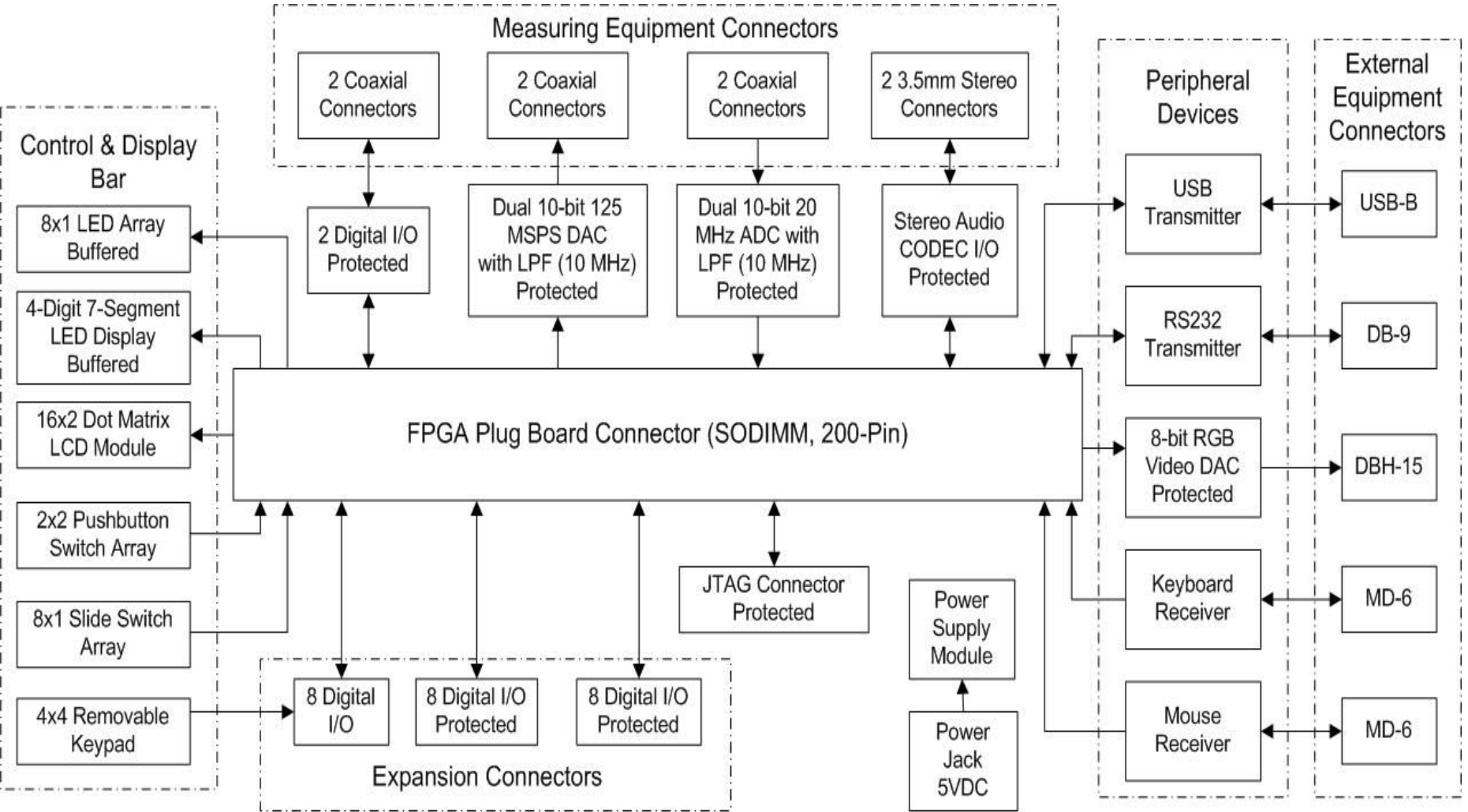
Структура центрального МОДУЛЯ



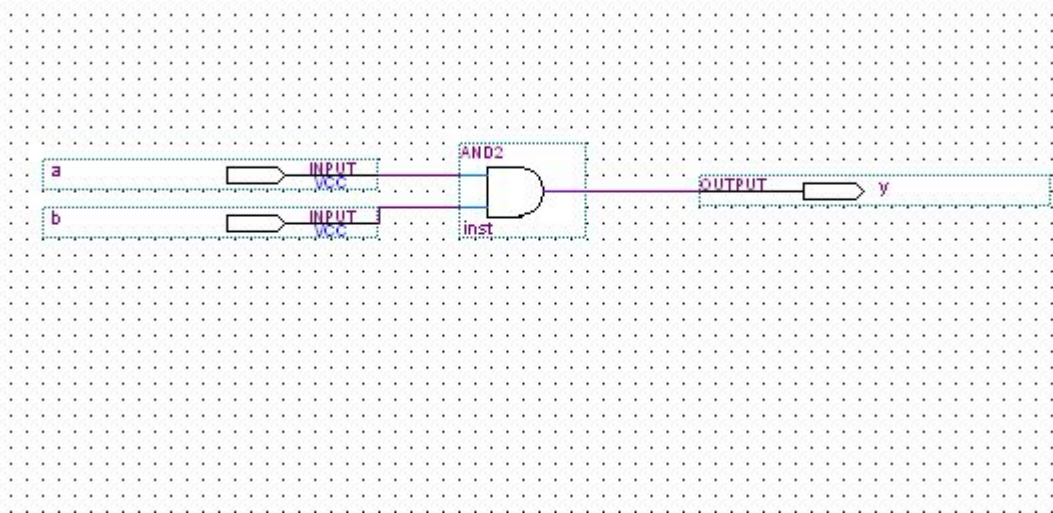
Плата DiLab II на рисунке приведен внешний вид отладочной платы без центрального модуля



Структура DiLab II

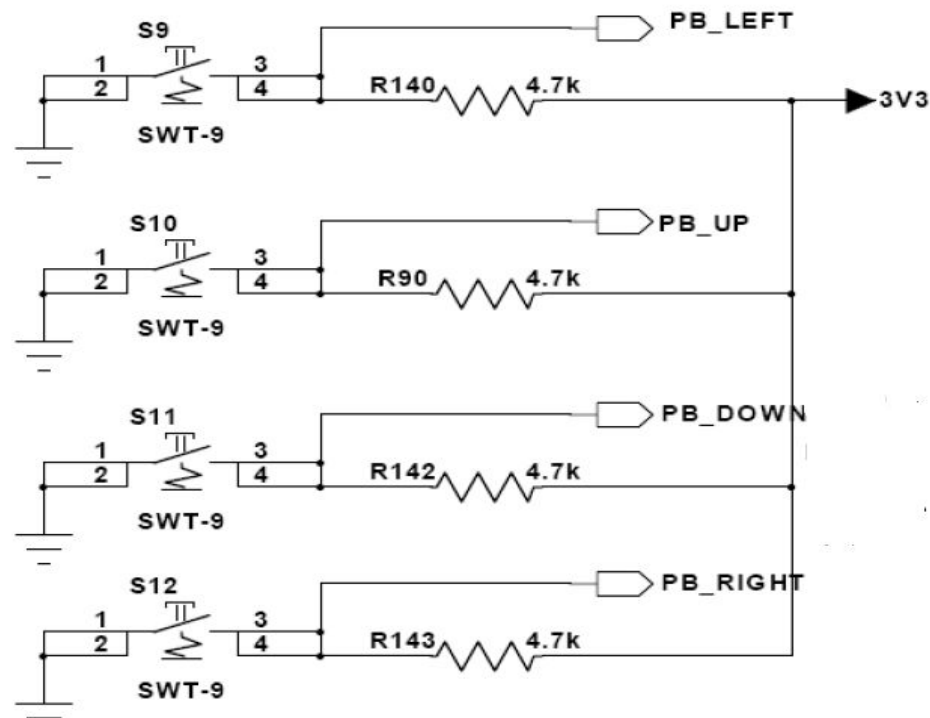


- Для реализации схемы описанной в практической работе №1 необходимо определить к каким элементам ввода вывода подключить выводы схемы:



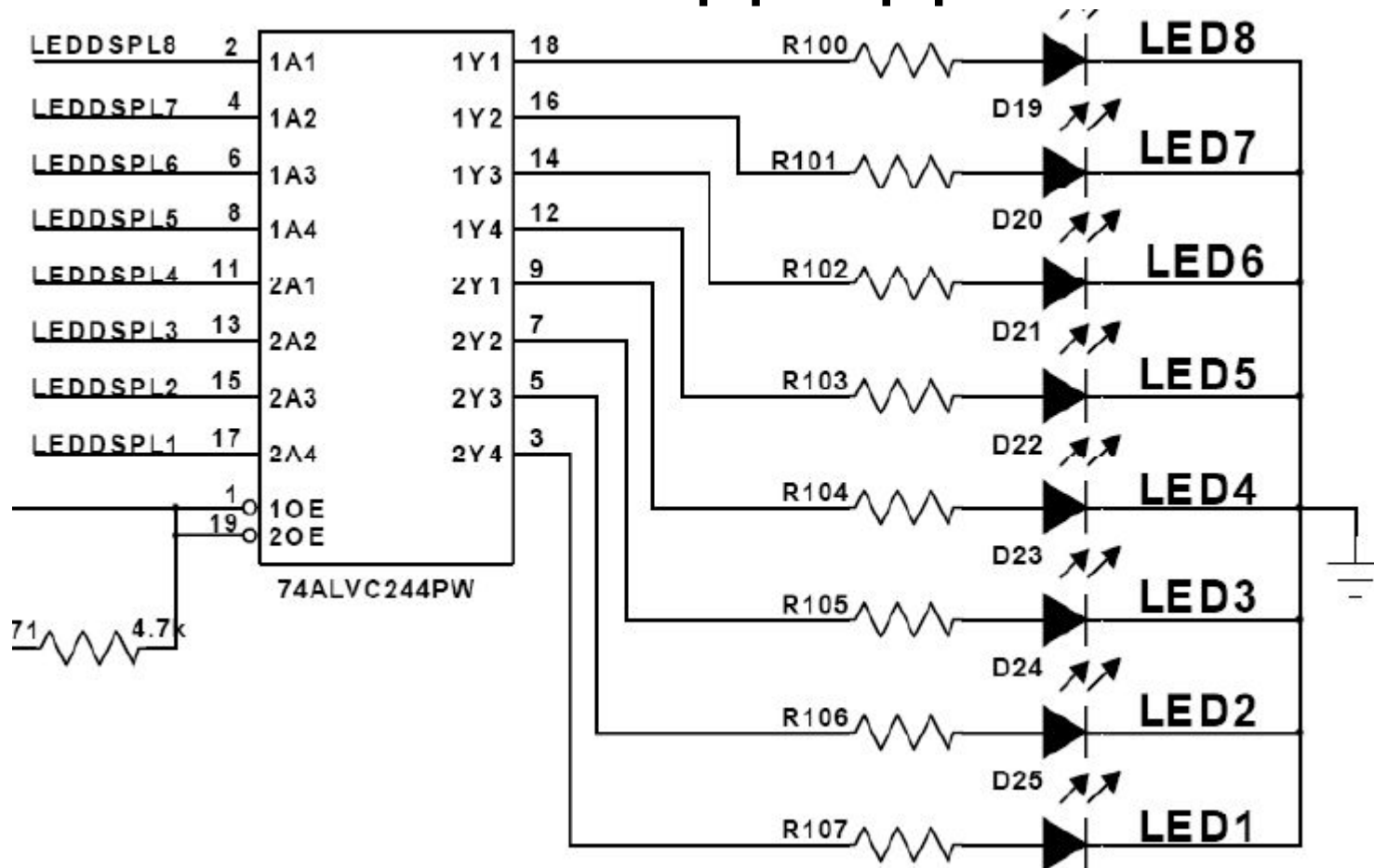
- Пусть входы a, b будут подключены к оранжевым кнопкам UP и DOWN, выход y к LED1

- Для реализации заданных технических условий необходимо иметь представление о схеме включения кнопок и светодиода. Схема включения кнопок (прим. При нажатой кнопке передается логический «0».):

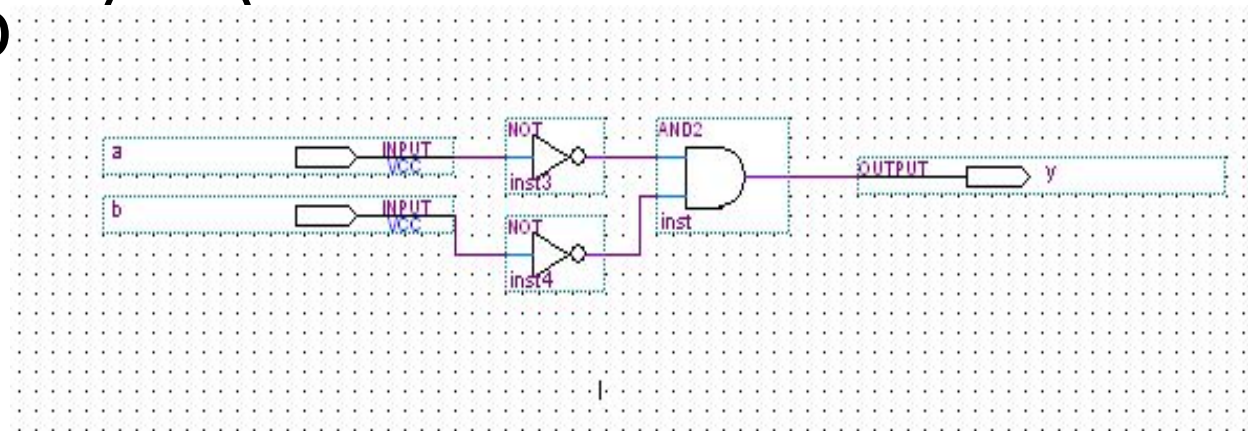


- Данную схему начертить в тетради

Схема включения СВЕТОДИОДОВ



- Так как кнопки при нажатии подают сигнал логический «0», то необходимо модифицировать схему. Для этого в разрыв между входами и элементом добавить инверторы (not). Добавить самостоятельно по аналогии с первой практической работой элементы инвертор



- Для физического подключения кнопок к созданной схеме необходимо установить выводы ПЛИС к которым они подключены. В таблице 1 приведены значения контактов ПЛИС к которым подключены кнопки (занести таблицу в тетрадь):

Кнопка	Имя сигнала	Контакт на разъеме платы DiLaB	Плата PB-CII выходы EP2C8F256
Left	pb_left	200	N8
Up	pb_up	199	N3
Right	pb_right	197	J1
Down	pb_down	198	J16

- Для физического подключения светодиодов к созданной схеме необходимо установить выводы ПЛИС к которым подключены кнопки в таблице 1 приведены данные значения (занести таблицу в тетраль).

Светодиод	Имя сигнала	Контакт на разъеме платы DiLaB	Плата РВ-СII выводы EP2C8F256	Активный уровень сигнала
LED1	leddspl1	160	F6	лог. «1»
LED2	leddspl2	161	E3	лог. «1»
LED3	leddspl3	162	D4	лог. «1»
LED4	leddspl4	163	E2	лог. «1»
LED5	leddspl5	164	E5	лог. «1»
LED6	leddspl6	165	E1	лог. «1»
LED7	leddspl7	166	E4	лог. «1»
LED8	leddspl8	167	F3	лог. «1»
Разрешение светодиодов	led_en_n	134	L12	лог. «0»