

**Лекція № 7 з навчальної дисципліни
“Архітектура обчислювальних систем”.
Розділ 2. Програмування низького рівня.**

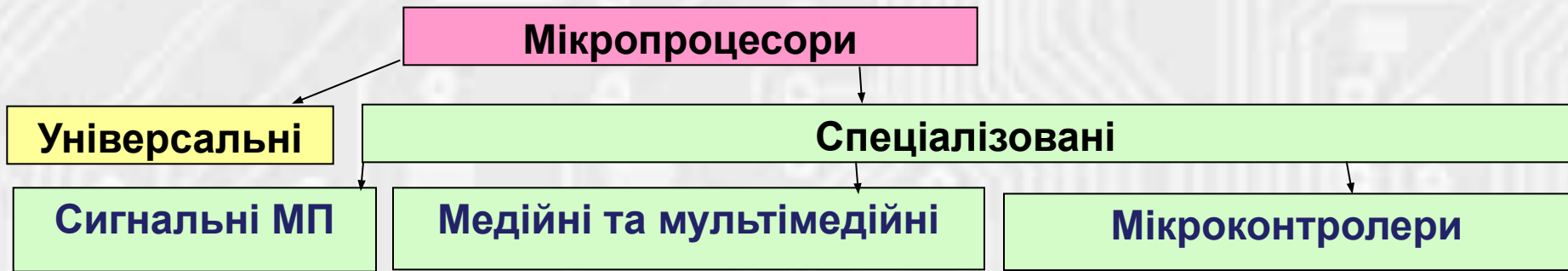
Тема лекції:

**Призначення, класифікація та характеристики МП.
Архітектура і програмна модель МП I8086.**

План лекції

1. Класифікація та характеристики МП.
2. Загальна характеристика, структура та принцип функціонування МП I8086.
3. Формування фізичної адреси у МП I8086.
4. Програмна модель МП I8086.

1. Класифікація та характеристики мікропроцесорів



Класифікація мікропроцесорів за призначенням

Універсальні МП мають алгоритмічно універсальний набір команд, за допомогою якого можна здійснювати перетворення інформації згідно будь-якому алгоритму.

Спеціалізовані МП призначені для розв'язання обмеженого і визначеного кола завдань.

Сигнальні процесори (процесори цифрових сигналів) – для цифрової обробки сигналів у реальному масштабі часу.

Медійні та мультимедійні процесори -- для обробки аудіо сигналів, графічної інформації, відео зображень.

Мікроконтролери – МП, призначені для керування якими-небудь процесами або пристроями (іноді МК розглядають як МПС).

1. Класифікація та характеристики мікропроцесорів

Інтегральні системні характеристики МП як обчислювального пристрою:

- використовувана система команд;
- структура системи переривань;
- можливість організації різних структур пам'яті і типів обміну інформацією з зовнішніми пристроями;
- способи організації спільної роботи декількох процесорів і ін.

Основні конструктивні і функціональні характеристики:

Прозрядність МП – розрядність внутрішньої шини даних або регістрів загального призначення МП.

Прозрядність шини даних МП – кількість зовнішніх виводів МП для передачі даних.

Прозрядність шини адреси – кількість зовнішніх виводів МП для передачі адресної інформації. Розрядність адреси визначає максимальний обсяг фізично адресованої пам'яті як $M=2^N$, де N - розрядність ША, M - обсяг фізично адресованої пам'яті в байтах.

Максимальний обсяг фізично адресованої пам'яті. Визначається, у першу чергу, розрядністю ША МП.

Продуктивність. Прийнято роздільно оцінювати швидкість виконання МП цілочисленних операцій (над числами з фіксованою комою) в **MIPS**, швидкість виконання операцій із рухомою комою – у **MFLOPS**.

2. Загальна характеристика, структура та принцип функціонування МП І8086.

Pin	Signal	Function	Pin	Signal
17	NMI	CPU	16	AD0
18	INTR		15	AD1
			14	AD2
			13	AD3
			12	AD4
19	CLK		11	AD5
			10	AD6
21	RESET		9	AD7
			8	AD8
22	READY		7	AD9
			6	AD10
			5	AD11
23	$\overline{\text{TEST}}$		4	AD12
			3	AD13
			2	AD14
33	$\text{MN}/\overline{\text{MX}}$	39	AD15	
		38	A16/ST3	
30	HLDA ($\overline{\text{RQ}}/\overline{\text{GT}}_1$)	37	A17/ST4	
		36	A18/ST5	
31	HOLD ($\overline{\text{RQ}}/\overline{\text{GT}}_0$)	35	A19/ST6	
		34	$\overline{\text{BHE}}/\text{ST7}$	
		32	$\overline{\text{RD}}$	
1	GND	29	$\overline{\text{WR}}(\text{LOCK})$	
		28	$\text{M}/\overline{\text{IO}}(\text{ST}2)$	
20	GND	27	$\overline{\text{DT}}/\overline{\text{R}}(\text{ST}1)$	
		26	$\overline{\text{DEN}}(\text{ST}0)$	
40	U_{cc}	25	ALE(QS0)	
		24	$\overline{\text{INTA}}(\text{QS}1)$	

УГП мікропроцесора І8086

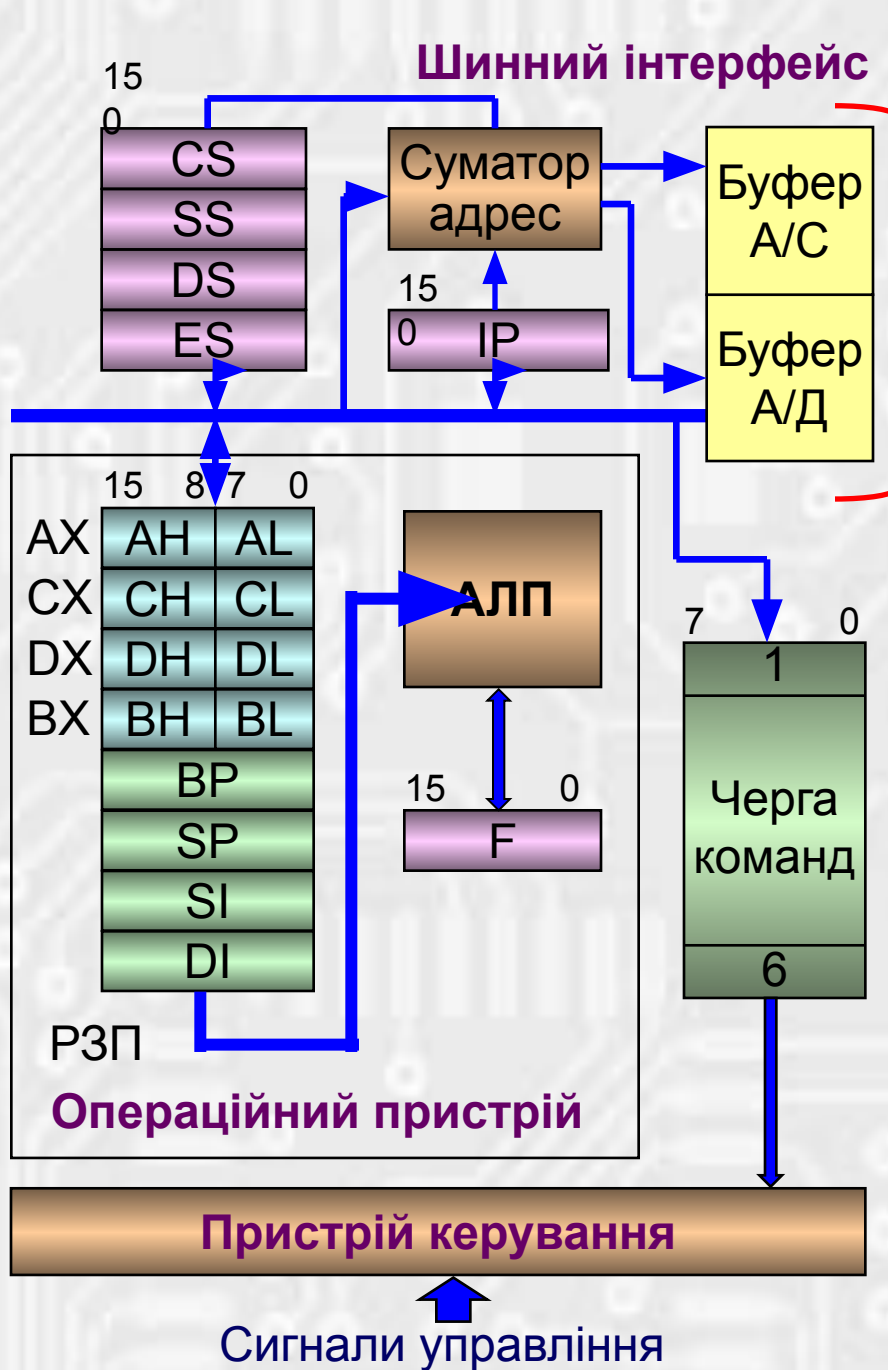
- І8086 - перший МП сімейства Intel x86 (1979 р.). Однокристальний 16-бітовий МП (архітектура ІА-16). Кристал розміром 5,5 x5,5 мм містить 29 000 транзисторів і споживає 1,7 Вт від джерела живлення +5 В. В останніх різновидах цієї моделі тактова частота досягала 10 МГц, а продуктивність -- 1,5 MIPS.
- Містить 14 16-бітових внутрішніх регістрів і 16-бітову ШД для зв'язку з пам'яттю і ПВВ. ША двадцятирозрядна, що дозволяє безпосередньо адресуватися до пам'яті обсягом 1 Мб. Використовується механізм сегментації пам'яті. Тобто, простір пам'яті розділений на сегменти по 64 Кбайт, причому в будь-який момент часу МП може звертатися до комірок чотирьох сегментів, що програмно обрані в якості поточних.
- І8086 має багаторівневу систему переривань з числом векторів до 256.

2. Загальна характеристика, структура та принцип функціонування МП І8086.

- Виконує операції з даними, поданими у двійковому або двійково-десятковому вигляді, може обробляти біти та рядки або масиви даних.
- Має вбудовані апаратні засоби множення і ділення.

Формати даних: Формат

№	Тип даних	Формат	Діапазон
1	Байт без знака	Байт, старший значущий розряд – 7	0...255
2	Байт зі знаком	Байт, старший значущий розряд – 6, знаковий розряд – 7	-128...+128
3	Слово без знака	2 байти, старший значущий розряд – 15	0... 65535
4	Слово зі знаком	2 байти, старший значущий розряд – 14, знаковий розряд – 15	-32768... 32768
5	Упаковане двійково-десятькове число	Байт, дві тетради (0-9), молодша тетрада – 0...3 розряди, старша – 4...7 розряди	0...99
6	Розпаковане двійково-десятькове число	Байт, дві тетради (0-9), молодша тетрада – значуща, старша – нульова.	0...9



2. Загальна характеристика, структура та принцип функціонування МП 18086.

1. Пристрій управління
2. Операційний пристрій:

- АЛП – арифметико – логічний пристрій на основі 16 – бітового комбінаційного суматора з буферними регістрами;
- РЗП – регістри загального призначення: AX, BX, CX,DX – арифметичні регістри; BP, SP, SI, DI – вказівні та індексні регістри;
- F – регістр прапорців.

3. Шинний інтерфейс:

- Сегментні регістри: CS, SS, DS, ES;
- Черга команд – блок з 6 однобайтових регістрів (стек FIFO);
- IP – покажчик (лічильник) команд;
- Суматор адрес;
- Буфери адреси / стану та адреси/даних.

2. Загальна характеристика, структура та принцип функціонування МП I8086.

- Будь-якій програмі у просторі пам'яті МП I8086 виділяється до чотирьох областей (сегментів) різного призначення, розміром по 64 Кбайт. У **кодovому сегменті CS** зберігається код програми, у **стековому сегменті SS** розміщується стек, **сегмент даних DS** і **додатковий сегмент ES** містять дані. Сегментна організація пам'яті, зокрема, визначає способи адресації комірок пам'яті МП.
- Кодовий сегмент зберігає **програмний код – послідовність інструкцій, кожна з яких певним чином закодована і розташована в цілому числі суміжних байтів пам'яті.**
- Адресна (операндна) частина вказує процесорові, де знаходяться операнди. В операндній частині можуть бути описані від нуля до двох операндів. Тут можуть бути самі значення операндів (**безпосередні операнди**); явні або неявні вказівки на регістри процесора, у яких знаходяться операнди (**регістрові операнди**); адреса (або складові частини адреси) комірки пам'яті або порту введення-виведення; регістри процесора, що беруть участь у формуванні адреси і різні комбінації цих компонентів (**адресні операнди**). Довжина інструкції визначається її типом і складає від 1 до 12 байтів.
- Операційний пристрій і шинний інтерфейс можуть працювати паралельно, що забезпечує суміжність в часі процесів вибірки і виконання команд.

3. Формування фізичної адреси у МП I8086

Фізична двадцятирозрядна адреса (РА) складається з двох шістнадцятирозрядних частин логічної адреси: адреси сегмента (Seg) і виконавчої адреси EA (executive address) або внутрішньосегментного зсуву. EA додається зі зсунутою на 4 біти вліво Seg (що еквівалентно її множенню на 16).

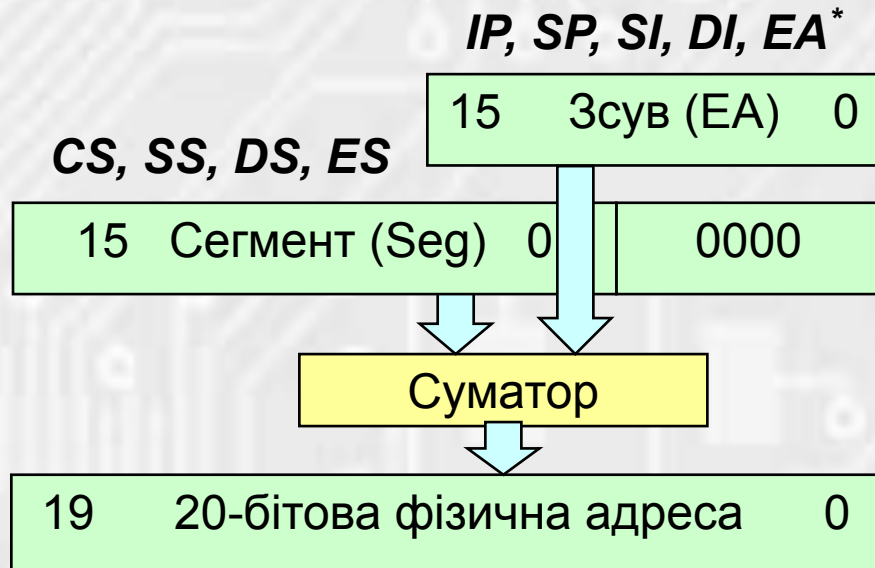
Формат запису логічної адреси із зазначенням сегмента і зсуву або їхнього місця розташування в регістрах процесора: **Seg: EA** (наприклад, DCBA:4321 або CS:IP).

$$PA = 16 * Seg + EA$$

Адреса сегмента Seg зберігається в одному із сегментних регістрів CS, DS, SS, ES. Виконавча адреса може бути константою, вмістом регістра (наприклад, IP при обчисленні адреси команди, SP при стекових операціях), вмістом комірки пам'яті або сумою декількох величин, але ця сума завжди шістнадцятирозрядна, тобто перенос у розряд переповнення ігнорується. Таким чином, **фізична адреса ніколи не перейде границю 64-кілобайтного сегмента, на початок якого вказує поточний сегментний покажчик.** Сегмент як би згорнутий у кільце: зі збільшенням компонентів виконавча адреса росте, але після досягнення значення $FFFF_{16}$ скидається в нуль і починає рости з початку.

Згорнутим у кільце також є і весь простір фізичної пам'яті: зі збільшенням адреси сегмента та виконавчої адреси зростає і фізична адреса до значення $FFFFF_{16}$.

3. Формування фізичної адреси у МП І8086



Приклад:

$Seg = DCBA_{16}$; $EA = 4321_{16}$
 Зсув сегмента: $DCBA0_{16}$

Одержання фізичної адреси:

$$\begin{array}{r} DCBA0 \\ + 04321 \\ \hline E0EC1_{16} \end{array}$$

Фізична адреса: $E0EC1_{16} =$
 $= 1110\ 0000\ 1110\ 1100\ 0001_2$

* EA обчислюється відповідно до заданого способу адресації

Простір пам'яті розбивається на параграфи (області з 16 суміжних байт, починаючи з нульової адреси. Чотири молодших біта адреси сегмента нульові, тому будь-який сегмент може починатися тільки на границі параграфа. Повна логічна адреса зберігається – подвійне слово використовується подвійне слово, і в ньому спочатку розташовується слово зсуву - молодший байт, потім старший. Потім у тому ж порядку розташовується адреса сегмента.

01003	DC	HB	Сегмент DCBA
01002	BA	LB	
01001	43	HB	Зсув 4321
01000	21	LB	

Розміщення повної логічної адреси DCBA:4321 у комірках пам'яті.

3. Формування фізичної адреси у МП І8086

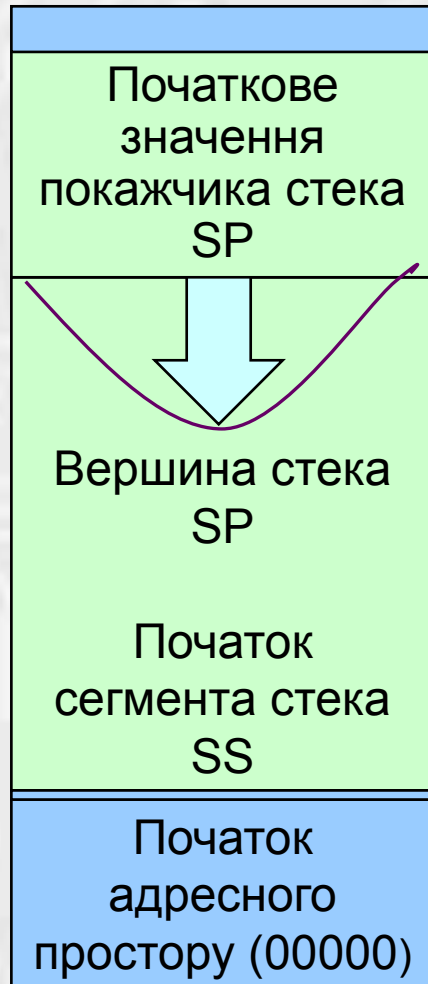
Джерела логічної адреси для різних типів звернення до пам'яті:

Тип звернення до пам'яті	Сегмент (за замовчанням)	Варіант	Зсув
Вибірка команди	CS		IP
Стекова операція	SS		SP
Змінна	DS	CS, SS,ES	EA
Ланцюжок-джерело	DS	CS, SS,ES	SI
Ланцюжок-приймач	ES		DI
BP як базовий реєстр	ES	CS, SS,DS	EA

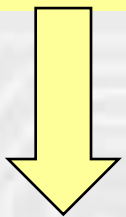
- Команди завжди вибираються з поточного сегмента коду за адресою **CS: IP**;
- Стекові команди завжди звертаються до поточного сегмента стеку **SS:SP**;
- Операнди, як правило, розміщуються у поточному сегменті даних, звернення до них -- за адресою **DS: EA**;
- Якщо при обчисленні адреси EA використовується реєстр BP, звернення виконується до стекового сегмента, але комірки стекового сегмента розглядаються як ОЗП з довільною вибіркою.

3. Формування фізичної адреси у МП І8086

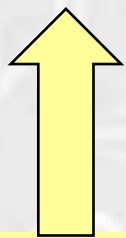
Організація стека ІВМ РС



Запис
(PUSH)
eSP - 2 (4)



Зчитування
(POP)
eSP + 2 (4)



При кожному зверненні до стеку пересилається одне слово – звичайне або подвійне (для МП ІА-32). При цьому вміст SP (eSP) модифікується автоматично -- (збільшується або зменшується) на 2 або 4. Таким чином, при запису даних у стек він “росте” вниз, а при читанні даних стек “стискується”.

4. Програмна модель МП І8086

Ім'я	Назва	Функція
Арифметичні регістри (збереження даних)		
AX	акумулятор, accumulator register	усі чотири регістри допускають роздільне використання їх молодших байтів AL, BL, CL, DL і старших байтів AH, BH, CH, DH. Таким чином, забезпечується можливість обробки двобайтових слів та окремих байтів.
BX	базовий регістр, base register	
CX	лічильник, count register	
DX	регістр даних, data register	
Сегментні регістри (адресна інформація)		
CS	регістр кодового сегмента, code segment register	зберігають адреси відповідних сегментів
SS	регістр стекового сегмента, stack segment register	
DS	регістр сегмента даних, data segment register	
ES	регістр додаткового сегмента даних, extension data segment register	
Вказівні та індексні регістри (адресна інформація)		
BP	показчик бази, base pointer register	зберігають зсув адреси в межах поточного стекового сегмента пам'яті
SP	показчик стека, stack pointer register	
SI	індекс джерела, source index register	зберігають зсув адреси відповідно в поточному сегменті даних і в поточному додатковому сегменті
DI	індекс приймача, destination index register	
Регістри стану та управління		
F	регістр прапорців, Flag register	зберігає інформацію про стан як самого МП, так і програми, що виконується
IP	показчик команд, Instruction Pointer register	зберігає зсув наступної команди в поточному кодовому сегменті

4. Програмна модель МП І8086

Спеціальні функції РЗП

Регістр	Назва	Спеціальна функція регістра
AX	Акумулятор	<i>Множення, ділення і введення-виведення слів</i>
AL	Акумулятор (молодший байт)	<i>Множення, ділення і введення-виведення байтів; перетворення байтів, десяткова арифметика.</i>
AH	Акумулятор (старший байт)	<i>Множення і ділення слів.</i>
BX	Базовий регістр	<i>Адресація по базі; перетворення адрес.</i>
CX	Лічильник	<i>Підрахунок циклів; підрахунок елементів ланцюжків.</i>
CL	Лічильник (молодший байт)	<i>Реалізація параметричних зсувів.</i>
DX	Регістр даних	<i>Множення і ділення слів; непряме введення-виведення.</i>
SP	Показчик стека	<i>Операції з використанням стека</i>
BP	Показчик бази	<i>Базовий регістр.</i>
SI	Індекс джерела	<i>Показчик ланцюжка-джерела, індексний регістр.</i>
DI	Індекс приймача	<i>Показчик ланцюжка-приймача, індексний регістр.</i>

4. Програмна модель МП І8086

Регістр прапорців

Регістр прапорців або ознак (*flag register*) призначений для збереження інформації про стан як самого МП, так і програми, що виконується. За допомогою прапорців можна одержувати інформацію про виконання команд і впливати на стан самого МП. Шість арифметичних прапорців фіксують визначені ознаки результату виконання операції (арифметичної, логічної, зсуву або завантаження регістра прапорців). Значення цих прапорців (крім *AF*) використовуються для реалізації умовних переходів, що змінюють хід виконання програми. Різні команди по-різному впливають на стан прапорців. Три прапорці (*DF*, *IF*, *TF*) призначені для керування деякими діями МП.

Формат регістра прапорців МП І8086
(*X* позначає невизначений стан байта).

F	FH								FL							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	X	X	X	X	OF	DF	IF	TF	SF	ZF	X	AF	X	PF	X	CF

4. Програмна модель МП І8086

Призначення прапорців

Ф	Назва	Призначення
CF	Прапор переносу	Арифметичний, фіксує значення переносу (позики), що виникає при додаванні (відніманні) байтів або слів, а також значення висунутого біта при зсуві операнда.
PF	Прапор парності (паритету)	Арифметичний, фіксує наявність парного числа одиниць у молодшому байті результату операції, може бути використаний, наприклад, для контролю правильності передачі даних.
AF	Прапор допоміжного переносу	Арифметичний, фіксує перенос (позику) з молодшої тетради, тобто з біта a_3 , у старшу при додаванні (відніманні), використовується тільки для двійково-десятькової арифметики, що оперує винятково молодшими байтами.
ZF	Прапор нуля	Арифметичний, сигналізує про одержання нульового результату операції.
SF	Прапор знака	Арифметичний, дублює значення старшого біта результату, що при використанні додаткового коду відповідає знакові числа.
OF	Прапор переповнення	Арифметичний, сигналізує про втрату старшого біта результату додавання або віднімання в зв'язку з переповненням розрядної сітки при роботі з числами зі знаком.
DF	Прапор напрямку	Керуючий, визначає порядок обробки ланцюжків у відповідних командах.
IF	Прапор дозволу переривань	Керуючий, дозволяє або забороняє реакцію процесора на запит переривання по входу INTR. Значення прапора не впливає на сприйняття зовнішніх немаскованих переривань по входу NMI, а також внутрішніх (програмних) переривань, виконуваних по команді INT.
TF	Прапор трасування	Керуючий, дозволяє перехід у покомандний (покроковий) режим роботи, якій застосовується при налагодженні програм.

ВИСНОВОК

- *Будь-якій програмі у просторі пам'яті ЕОМ, побудованої на МП І8086, виділяється до чотирьох сегментів різного призначення, розмір кожного з яких не перевищує 64 Кбайт. Це кодовий сегмент CS, у якому зберігається код програми, стековий сегмент SS, у якому розміщується стек, сегмент даних DS і додатковий сегмент ES, що також звичайно містить дані.*
- *Сукупність реєстрів користувача являє собою програмну модель МП І8086. Реєстри користувача програміст може використовувати при написанні програм мовою асемблера.*
- *За функціональними ознаками реєстри користувача можна класифікувати в такий спосіб:*
 - *вісім реєстрів загального призначення: AX, BX, CX, DX, SP, BP, SI, DI, перші чотири з яких допускають роздільне звертання до їх молодших і старших байтів і використовуються переважно для збереження даних; останні чотири є неподільними і використовуються переважно для збереження адресної інформації;*
 - *чотири реєстри сегментів CS, SS, DS, ES, що містять адреси пам'яті, з яких починаються відведені програмі сегменти коду, стека, даних і додатковий;*
 - *реєстри стану і керування, до яких відносяться реєстр прапорів F і покажчик команд IP.*