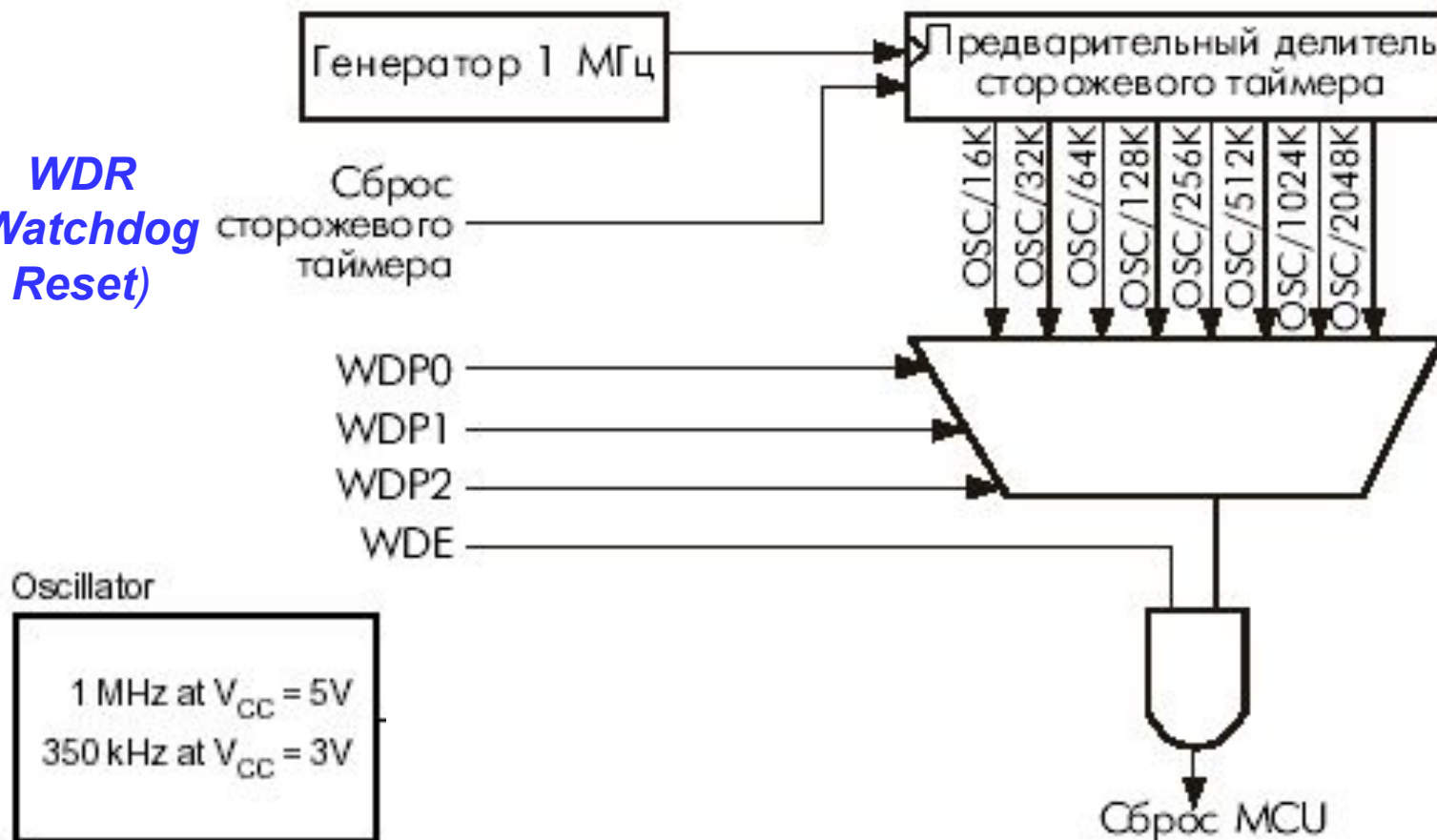


WDR
(**Watchdog**
Reset)



Длительность интервала от сброса по “сторожевику” – от 15 мс до 1,9 с

Структура сторожевого таймера МК

**РЕГИСТР УПРАВЛЕНИЯ СТОРОЖЕВЫМ ТАЙМЕРОМ -
WDTCSR - (Watchdog Timer Control Register)**

Биты	7	6	5	4	3	2	1	0	
\$21 (\$41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCSR
Чтение/Запись	R	R	R	R/W	R/W	R/W	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	

- **Bits 7..5 - Res: Reserved bits - Зарезервированные биты**
- **Bit 4 - WDTOE: Watch Dog Turn Off Enable - Разрешение отключения сторожевого таймера**
- **Bit 3 - WDE: Watch Dog Enable - Разрешение сторожевого таймера**
- **Bits 2..0 - WDP2, WDP1, WDP0: Watch Dog Timer Prescaler 2, 1 and 0 - биты установки коэффициента предварительного деления сторожевого таймера**

Управление сторожевым таймером МК

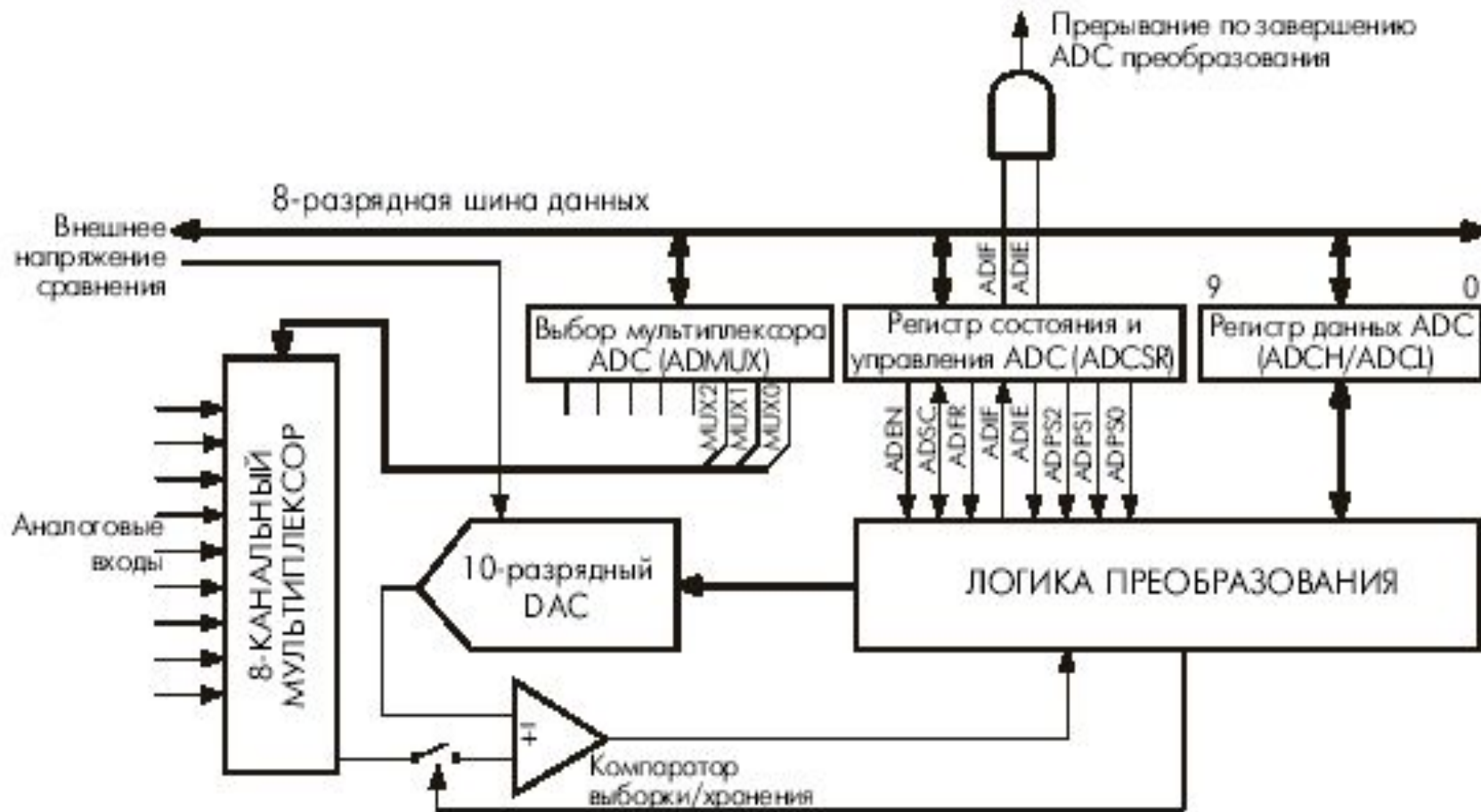
WDP2	WDP1	WDP0	Number of WDT Oscillator cycles	Typical time-out at Vcc = 3.0V	Typical time-out at Vcc = 5.0V
0	0	0	16K cycles	47 ms	15 ms
0	0	1	32K cycles	94 ms	30 ms
0	1	0	64K cycles	0.19 s	60 ms
0	1	1	128K cycles	0.38 s	0.12 s
1	0	0	256K cycles	0.75 s	0,24 s
1	0	1	512K cycles	1.5 s	0.49 s
1	1	0	1,024K cycles	3.0 s	0.97 s
1	1	1	2,048K cycles	6.0 s	1.9 s

Выбор коэффициента предварительного деления тактовой частоты сторожевого таймера МК

- Разрешение 10 разрядов
- Точность $\pm 1/2$ LSB
- Время преобразования 70...280 мс
- 8 мультиплексируемых каналов входа
- Режимы циклического и однократного преобразования
- Прерывание по завершению ADC преобразования
- Устройство подавления шумов Sleep режима

Основные характеристики АЦП последовательного приближения МК

AVR МК AT90S8535 (АЦП)



**Структура 10-разрядного АЦП
последовательного приближения МК**

РЕГИСТР ВЫБОРА МУЛЬТИПЛЕКСОРА ADC - ADMUX (ADC Multiplexer Select Register)

Бит	7	6	5	4	3	2	1	0	
\$07 (\$27)	-	-	-	-	-	MUX2	MUX1	MUX0	ADMUX
Чтение/Запись	R	R	R	R	R	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	0	0	0	

- **Bits 7..3 - Res: Reserved Bits - Резервированные биты**
- **Bits 2..0 - MUX2..MUX0: Analog Channel Select Bits 2-0 - Биты выбора аналогового канала**

Управление АЦП последовательного приближения МК
(регистр управления входным аналоговым коммутатором)

**РЕГИСТР УПРАВЛЕНИЯ И СОСТОЯНИЯ ADC -
ADCSR - (ADC Control and Status Register)**

Бит	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Чтение/Запись	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	0	0	0	

- **Bit 7 - ADEN: ADC Enable - Разрешение ADC**
- **Bit 6 - ADSC: ADC Start Conversion - Запуск преобразования ADC**
- **Bit 5 - ADFR: ADC Free Run Select - Установка циклического режима работы ADC**
- **Bit 4 -ADIF: ADC Interrupt Flag - Флаг прерывания ADC**
- **Bit 3 - ADIE: ADC Interrupt Enable - Разрешение прерывания ADC**
- **Bits 2..0 - ADPS2..ADPS0: ADC Prescaler Select Bits - Выбор коэффициента предварительного деления**

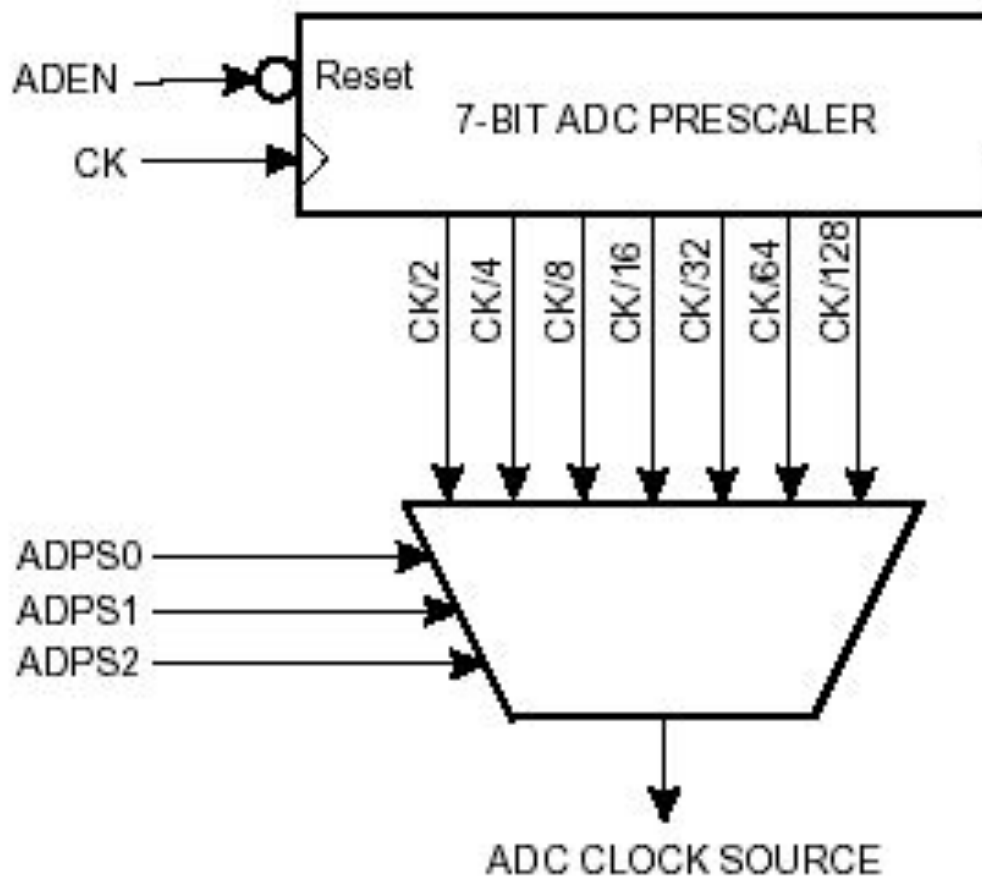
**Управление АЦП последовательного приближения МК
(регистр управления и состояния)**

РЕГИСТРЫ ДАННЫХ ADC - ADCL и ADCH - (ADC Data Register)

Бит	15	14	13	12	11	10	9	8								
\$05 (\$25)	-	-	-	-	-	-	ADC9	ADC8	ADCH							
\$04 (\$24)								ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
	7	6	5	4	3	2	1	0								
Чтение/Запись	R	R	R	R	R	R	R	R								
	R	R	R	R	R	R	R	R								
Начальное значение	0	0	0	0	0	0	0	0								
	0	0	0	0	0	0	0	0								

Управление АЦП последовательного приближения МК (выходные регистры данных)

AVR МК AT90S8535 (АЦП)



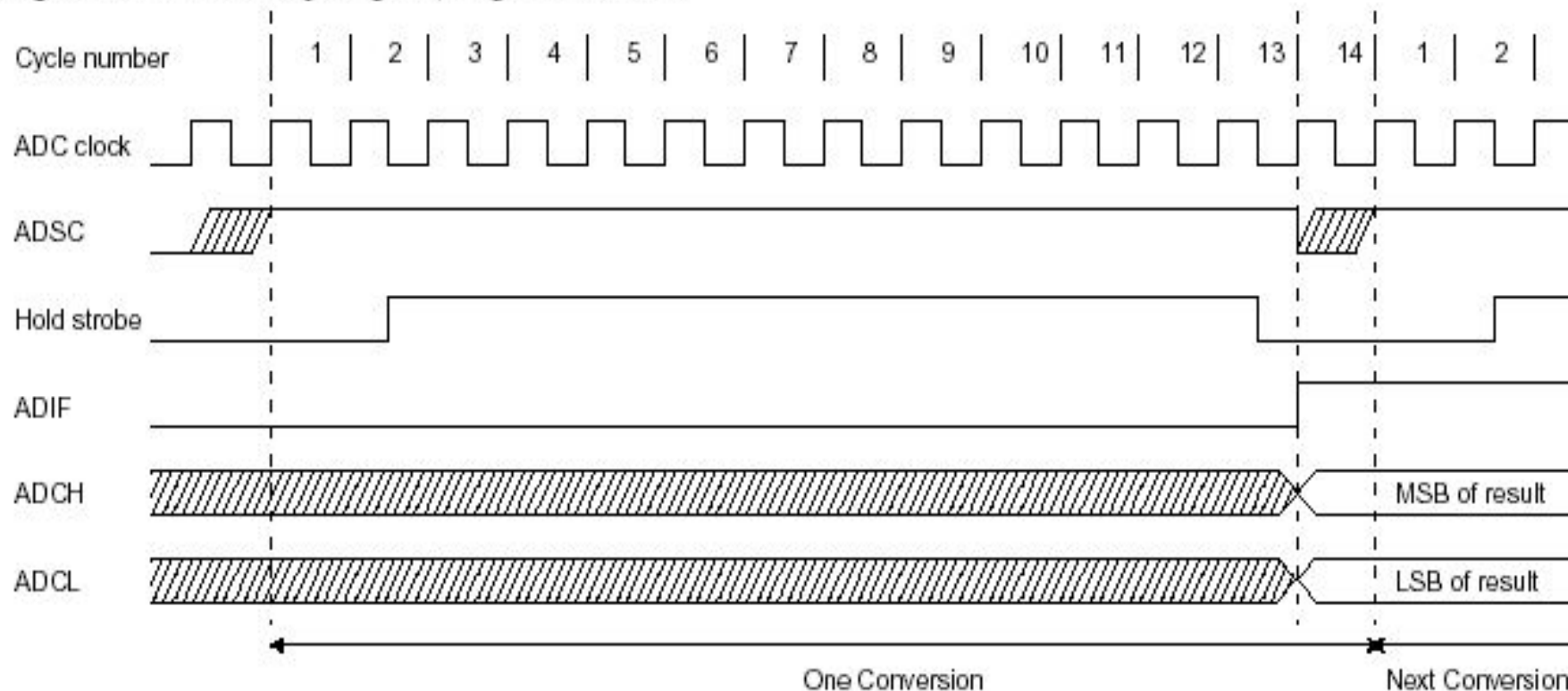
Предварительное деление частоты XTAL для тактирования АЦП МК

ADPS2	ADPS1	ADPS0	Division Factor
0	0	0	0
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

ADC работает с тактовой частотой в диапазоне от 50 до 200 кГц. В режиме циклического преобразования для преобразования необходимо 14 тактовых циклов, т.е. преобразование выполняется за время от 70 до 280 мс. В режиме однократного преобразования преобразование выполняется за 15 тактовых циклов. Если тактовая частота выйдет за указанные пределы, то правильность результата не гарантируется. Биты ADPS0 - ADPS2 используются для обеспечения необходимого диапазона тактовой частоты ADC при частоте XTAL свыше 100 кГц.

Выбор коэффициента предварительного деления частоты XTAL для тактирования АЦП МК

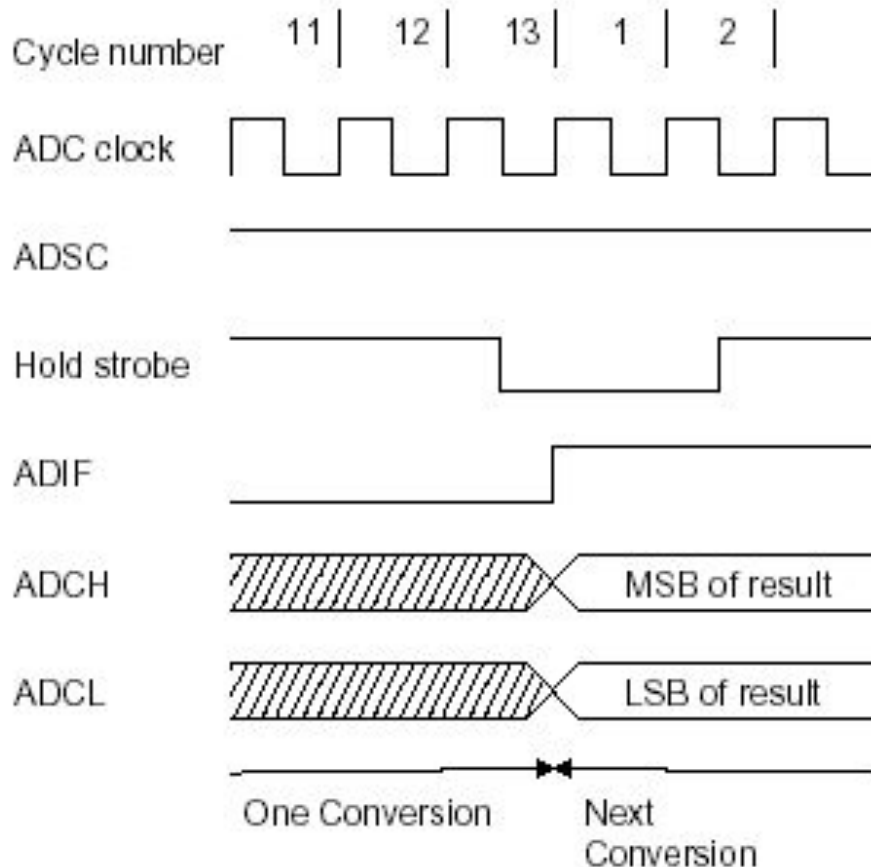
Figure 48. ADC Timing Diagram, single conversion



**Временная диаграмма работы АЦП МК
(режим однократного измерения)**

AVR МК AT90S8535 (АЦП)

Figure 49. ADC Timing Diagram, free run conversion



**Временная диаграмма работы АЦП МК
(режим циклического измерения)**

Функция подавления шума ADC

Функция подавления шума обеспечивает включение Idle режима на время выполнения преобразования, что позволяет снизить шумы, создаваемые ядром CPU. Для реализации этой функции необходимо выполнить следующую процедуру:

1. Отключить ADC очисткой бита ADEN.
2. Включить ADC и одновременно запустить преобразование установкой битов ADEN и ADSC. Таким образом запускается пустое преобразование за которым последует рабочее преобразование.
3. В течение 14 тактовых циклов пустого преобразования ADC ввести Idle режим.
4. Если, прежде чем будет завершено рабочее преобразование, не произойдет другого прерывания, то прерывание ADC активирует MCU и будет выполнена подпрограмма обработки прерывания по завершению преобразования ADC.

Реализация процедуры измерения АЦП в Idle - режиме пониженного энергопотребления МК

AVR МК AT90S8535 (Sleep Modes)

Режимы энергосбережения (Sleep Modes)

Для перевода в любой из трех режимов энергосбережения бит SE в регистре MCUCR должен быть установлен в состояние 1. Биты SM1 и SM0 регистра MCUCR определяют какой из режимов Idle, Power Down или Power Save будет запущен командой SLEEP.

1. **Активный** режим – 3 мА
2. Режим **Idle** (пассивный) – 1,2 мА
останов ЦП, работа таймеров, SPI, UART, “сторожевик”,
разрешены прерывания
3. Режим **Power Down** (стоповый) – 15 мкА
останов всего, разрешены “сторожевик”,
внешние прерывания и сброс
4. Режим **Power Save** (экономичный)
разрешены “сторожевик”, таймер TM0,
внешние прерывания и сброс

AVR МК AT90S8535 (ЭППЗУ)

РЕГИСТР АДРЕСА EEPROM- EEARH, EEARL - (EEPROM Address Register)

Бит	15	14	13	12	11	10	9	8	
\$1F (\$3F)	-	-	-	-	-	-	-	EEAR8	EEARH
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
	7	6	5	4	3	2	1	0	
Чтение/Запись	R	R	R	R	R	R	R	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

РЕГИСТР ДАННЫХ EEPROM - EEDR - (EEPROM Data Register)

Бит	7	6	5	4	3	2	1	0	
\$1D (\$3D)	MSB							LSB	EEDR
Чтение/Запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	0	0	0	

**Время обращения к ЭППЗУ при записи – от 2,5 до 4 мс
(в зависимости от напряжения питания)**

По окончании записи генерируется запрос прерывания

AVR МК AT90S8535 (ЭППЗУ)

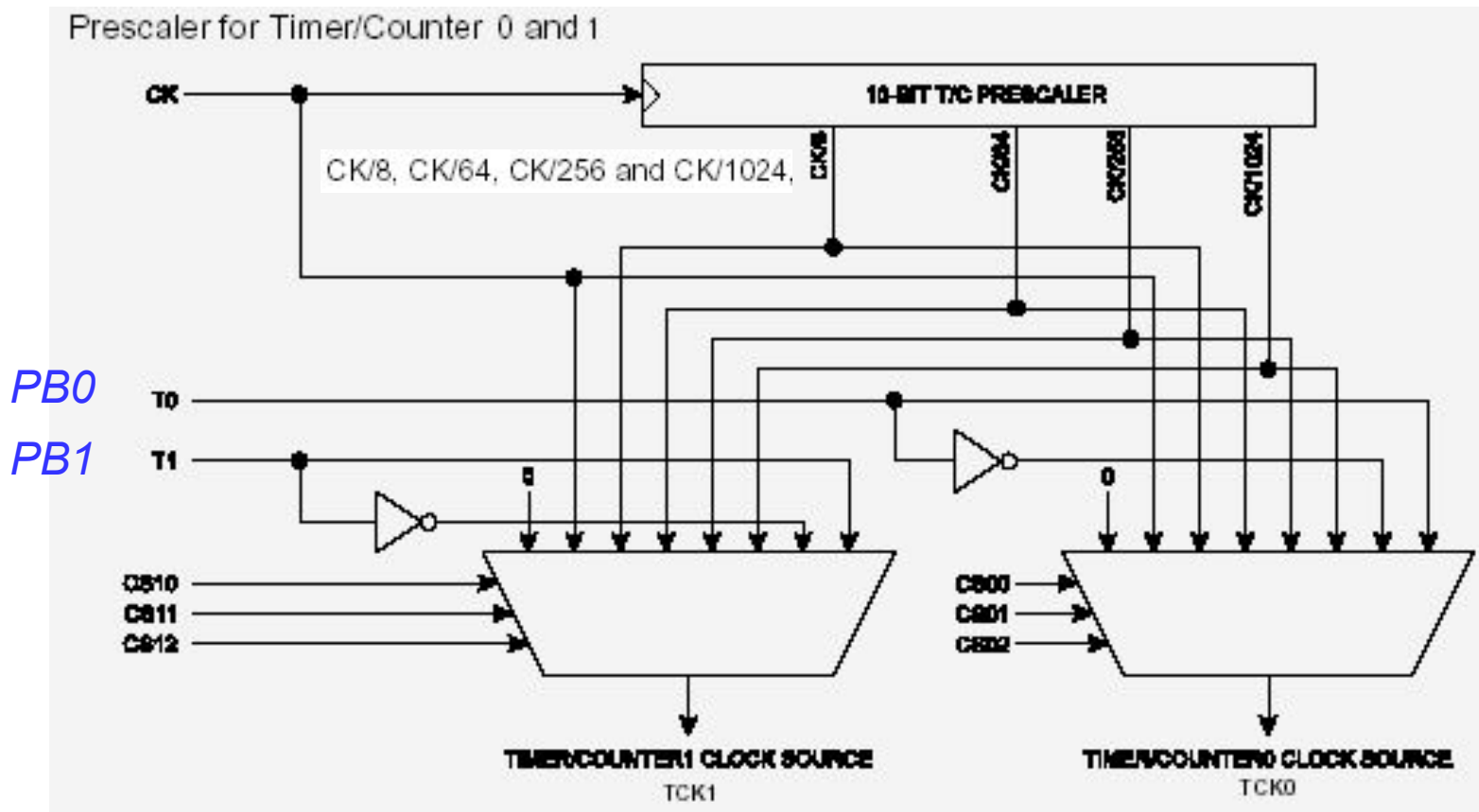
РЕГИСТР УПРАВЛЕНИЯ EEPROM - EECR - (EEPROM Control Register)

Бит	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERIE	EEMWE	EEWE	EERE	EECR
Чтение/Запись	R	R	R	R	R	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	0	0	0	

- **Bits 7..4 - Res: Reserved bits - Зарезервированные биты**
- **Bit 3 - EERIE: EEPROM Ready Interrupt Enable - Разрешение прерывания по готовности EEPROM**
- **Bit 2 - EEMWE: EEPROM Master Write Enable - Управление разрешением записи EEPROM**
- **Bit 1 - EEWE: EEPROM Write Enable - Разрешение записи EEPROM**
- **Bit 0 - EERE: EEPROM Read Enable - Разрешение чтения EEPROM**

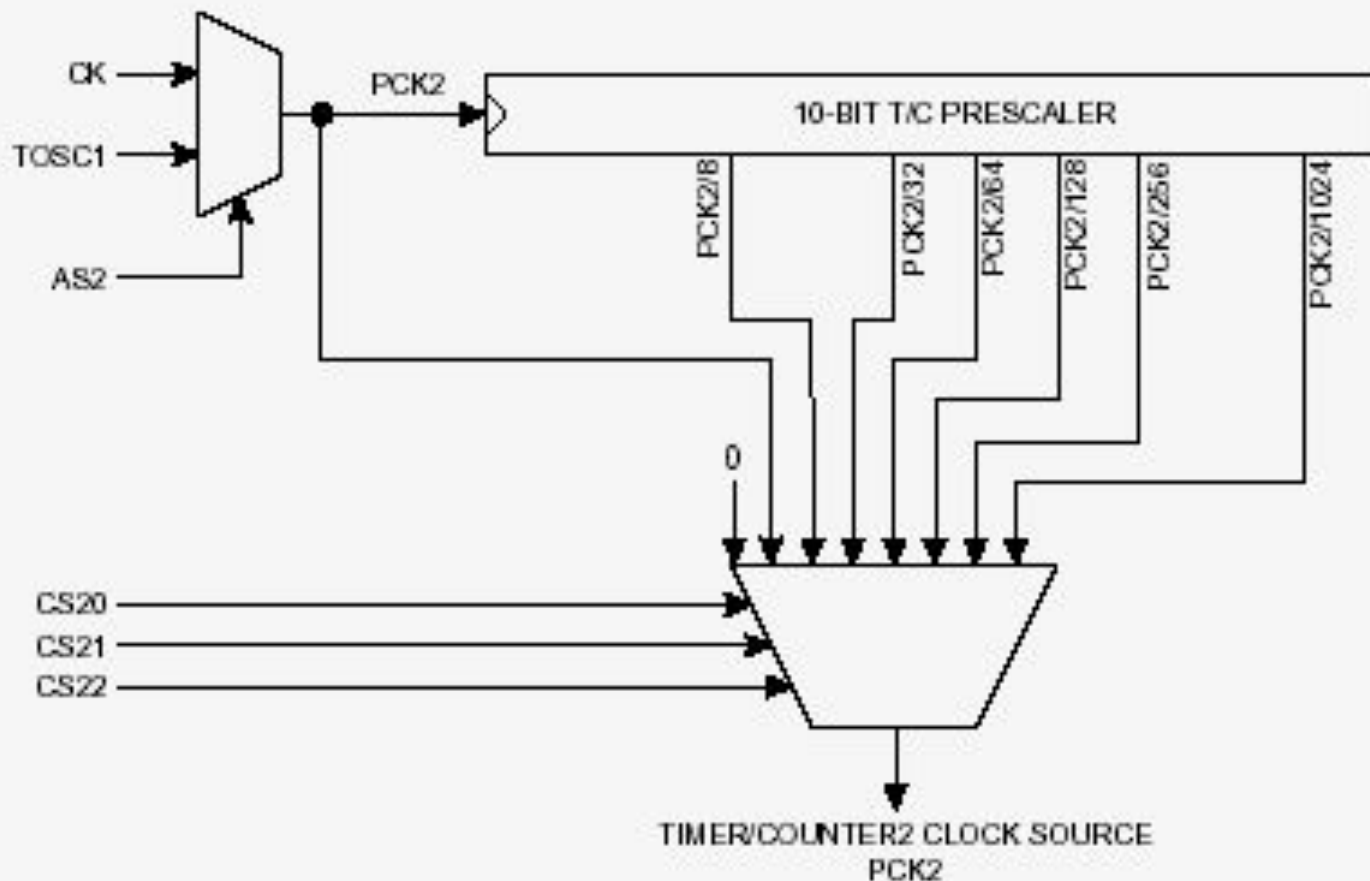
МК содержит 3 таймера/счетчика:

1. Два 8-разрядных таймера **TM0, TM2** (с функциями ШИМ)
2. Один 16-разрядный таймер **TM1** (с функциями ШИМ)

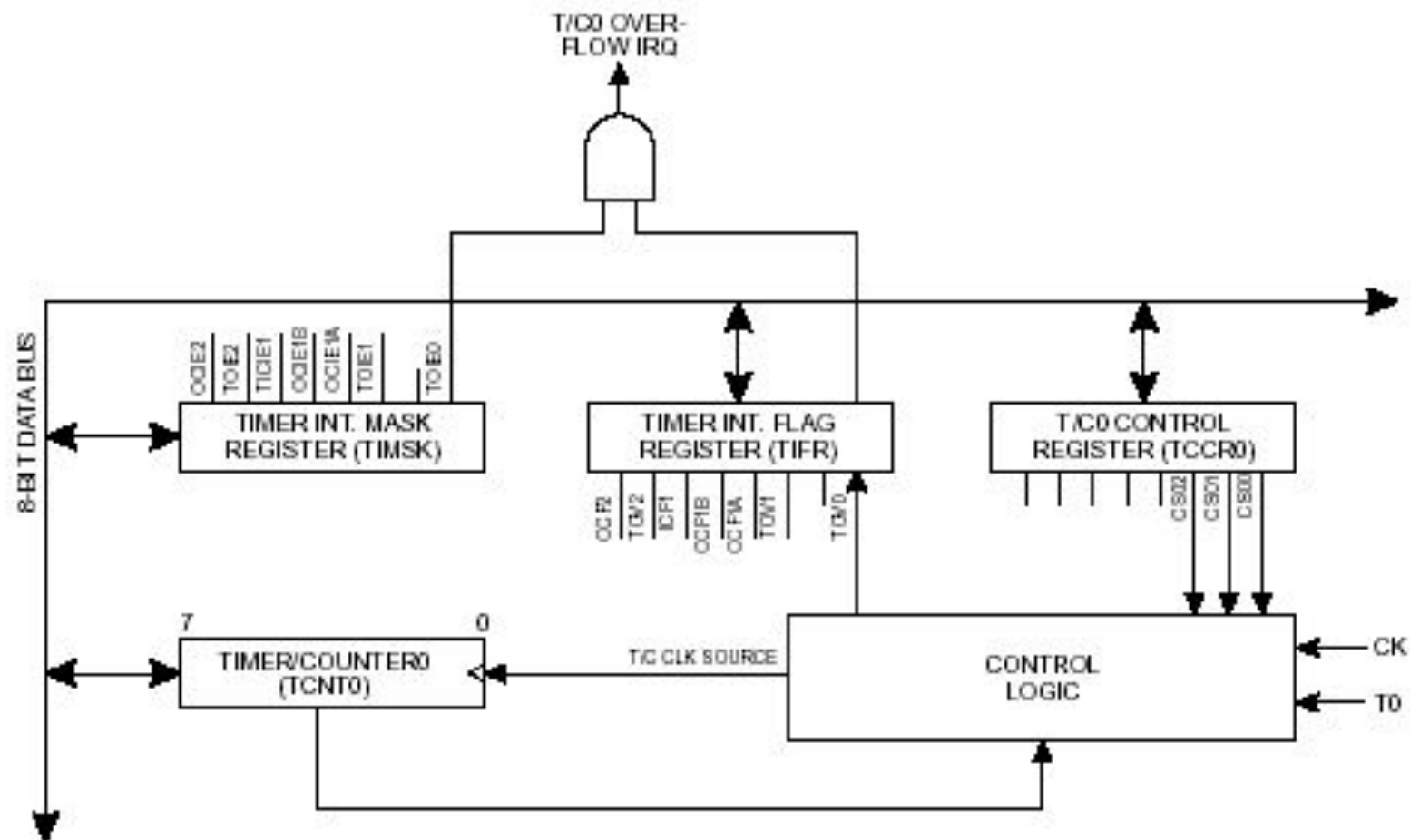


Предварительное деление частоты для тактирования таймеров TM0, TM1 МК

Timer/Counter 2 Prescaler



Предварительное деление частоты для тактирования таймера ТМ2 МК



Структура таймера ТМ0 МК

Timer/Counter0 Control Register - TCCR0

Bit	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	-	-	-	-	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

- **Bits 7..3 - Res: Reserved bits**

- **Bits 2,1,0 - CS02, CS01, CS00: Clock Select0, bit 2,1 and 0**

The Clock Select0 bits 2,1 and 0 define the prescaling source of Timer0.

Table 11. Clock 0 Prescale Select

CS02	CS01	CS00	Description
0	0	0	Stop, Timer/Counter0 is stopped.
0	0	1	CK
0	1	0	CK / 8
0	1	1	CK / 64
1	0	0	CK / 256
1	0	1	CK / 1024
1	1	0	External Pin T0, falling edge
1	1	1	External Pin T0, rising edge

Регистр управления таймера ТМ0 МК

Timer Counter 0 - TCNT0

Bit	7	6	5	4	3	2	1	0	
\$32 (\$52)	MSB							LSB	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

Timer/Counter Interrupt Mask Register - TIMSK

Bit	7	6	5	4	3	2	1	0	
\$39 (\$59)	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	-	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial value	0	0	0	0	0	0	0	0	

• **Bit 7 - OCIE2: Timer/Counter2 Output Compare Interrupt Enable - Разрешение прерывания по совпадению таймера/счетчика2**

При установленном бите OCIE2 и установленном бите I регистра статуса разрешается прерывание по совпадению содержимого регистра сравнения и состояния таймера/счетчика2. Соответствующее прерывание (с вектором \$0012) выполняется если произойдет совпадение при сравнении содержимого регистра сравнения и состояния таймера/счетчика2. В регистре флагов прерывания TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг совпадения таймера/счетчика2.

Регистры счетчика таймера ТМ0 и масок прерывания по таймерам / счетчикам ТМ0, ТМ1, ТМ2 МК

• **Bit 6 - TOIE2: Timer/Counter2 Overflow Interrupt Enable - Разрешение прерывания по переполнению таймера/счетчика2**

При установленном бите TOIE2 и установленном бите I регистра статуса разрешается прерывание по переполнению таймера/счетчика2. Соответствующее прерывание (с вектором \$0014) выполняется если произойдет переполнение таймера/счетчика2. В регистре флагов TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг переполнения таймера/счетчика2.

• **Bit 5 - TICIE1: Timer/Counter1 Input Capture Interrupt Enable - Разрешение прерывания по захвату таймера/счетчика1**

При установленном бите TICIE1 и установленном бите I регистра статуса разрешается прерывание по захвату таймера/счетчика1. Соответствующее прерывание (с вектором \$0016) выполняется если произойдет запуск захвата по выводу 29, PD4(IC1). В регистре флагов TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг захвата таймера/счетчика1.

• **Bit 4 - OCIE1A: Timer/Counter1 Output CompareA Match Interrupt Enable - Разрешение прерывания по совпадению регистра A с таймером/счетчиком1**

При установленном бите OCIE1A и установленном бите I регистра статуса разрешается прерывание по совпадению регистра A с состоянием таймера/счетчика1. Соответствующее прерывание (с вектором \$0018) выполняется если произойдет совпадение содержимого регистра A сравнения выхода с состоянием таймера/счетчика1. В регистре флагов TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг совпадения регистра A с таймером/счетчиком1.

Регистр масок прерывания по таймерам / счетчикам ТМ0, ТМ1, ТМ2 МК

• **Bit 3 - OCIE1B: Timer/Counter1 Output CompareB Match Interrupt Enable - Разрешение прерывания по совпадению регистра В с таймером/счетчиком1**

При установленном бите OCIE1B и установленном бите I регистра статуса разрешается прерывание по совпадению регистра В с состоянием таймера/счетчика1. Соответствующее прерывание (с вектором \$001A) выполняется если произойдет совпадение содержимого регистра В сравнения выхода с состоянием таймера/счетчика1. В регистре флагов TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг совпадения регистра В с таймером/счетчиком1.

• **Bit 2 - TOIE1: Timer/Counter1 Overflow Interrupt Enable - Разрешение прерывания по переполнению таймера/счетчика1**

При установленном бите OCIE1B и установленном бите I регистра статуса разрешается прерывание по переполнению таймера/счетчика1. Соответствующее прерывание (с вектором \$001C) выполняется если произойдет переполнение таймера/счетчика1. В регистре флагов TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг переполнения таймера/счетчика1. При нахождении таймера/счетчика1 в PWM режиме флаг переполнения счетчика устанавливается когда счетчик изменит направление счета при \$0000.

• **Bit 1 - Res: Reserved bit**

• **Bit 0 - TOIE0: Timer/Counter0 Overflow Interrupt Enable - Разрешение прерывания по переполнению таймера/счетчика0**

При установленном бите TOIE0 и установленном бите I регистра статуса разрешается прерывание по переполнению таймера/счетчика0. Соответствующее прерывание (с вектором \$0020) выполняется если произойдет переполнение таймера/счетчика0. В регистре флагов TIFR (Timer/Counter Interrupt Flag Register) устанавливается флаг переполнения таймера/счетчика0.

Регистр масок прерывания по таймерам / счетчикам ТМ0, ТМ1, ТМ2 МК

Timer/Counter Interrupt Flag Register - TIFR

Bit	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF2 TOV2 ICF1 OCF1A OCF1B TOV1 - TOV0								TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial value	0	0	0	0	0	0	0	0	

• **Bit 7 - OCF2: Output Compare Flag 2:- Флаг 2 совпадения таймера/счетчика2 и данных OCR2**

Бит OCF2 устанавливается при совпадении состояния таймера/счетчика2 и содержимого регистра OCR2 (Output Compare Register 2). Бит OCF2 аппаратно очищается при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1. При установленном бите 1 в регистре SREG, установленных OCIE2 (Timer/Counter2 Output Compare Interrupt Enable) и OCF2 выполняется прерывание по совпадению выхода таймера/счетчика2.

• **Bit 6 - TOV2: Timer/Counter2 Overflow Flag -Флаг переполнения таймера/счетчика2**

Бит TOV2 устанавливается при переполнении таймера/счетчика2. Он аппаратно очищается при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1. При установленном бите 1 в регистре SREG, установленных OCIE2 (Timer/Counter2 Overflow Interrupt Enable) и TOV2 выполняется прерывание по переполнению таймера/счетчика2. В режиме PWM этот бит устанавливается при смене направления счета при \$00.

Регистр флагов прерывания по таймерам / счетчикам ТМ0, ТМ1, ТМ2 МК

• Bit 5 - ICF1: Input Capture Flag 1 - Флаг 1 захвата входа

Бит ICF1 устанавливается в случае захвата входа, показывающего, что состояние таймера/счетчика1 переслано в входной регистр захвата ICR1. Бит очищается аппаратно при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1.

• Bit 4 - OCF1A: Output Compare Flag 1A - Флаг 1A совпадения выхода

Бит OCF1A устанавливается при совпадении состояния таймера/счетчика1 и содержимого регистра OCR1A (Output Compare Register 1A). Бит OCF1A аппаратно очищается при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1. При установленном бите I в регистре SREG, установленных OCIE1A (Timer/Counter1 Compare Interrupt Enable) и OCF1A выполняется прерывание по совпадению выхода таймера/счетчика1.

• Bit 3 - OCF1B: Output Compare Flag 1B - Флаг 1B совпадения выхода

Бит OCF1B устанавливается при совпадении состояния таймера/счетчика1 и содержимого регистра OCR1B (Output Compare Register 1B). Бит OCF1B аппаратно очищается при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1. При установленном бите I в регистре SREG, установленных OCIE1B (Timer/Counter1 Compare InterruptB Enable) и OCF1B выполняется прерывание по совпадению выхода таймера/счетчика1.

Регистр флагов прерывания по таймерам / счетчикам ТМ0, ТМ1, ТМ2 МК

- **Bit 2 - TOV1: Timer/Counter1 Overflow Flag - Флаг переполнения таймера/счетчика1**

Бит TOV1 устанавливается при переполнении таймера/счетчика1. Он аппаратно очищается при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1. При установленном бите 1 в регистре SREG, установленных TOIE1(Timer/Counter1 Overflow Interrupt Enable) и TOV1 выполняется прерывание по переполнению таймера/счетчика1. В режиме PWM этот бит устанавливается при смене таймером/счетчиком1 направления счета при \$0000.

- **Bit 1 - Res: Reserved bit**

- **Bit 0 - TOV0: Timer/Counter0 Overflow Flag - Флаг переполнения таймера/счетчика0**

Бит TOV0 устанавливается при переполнении таймера/счетчика0. Он аппаратно очищается при обработке соответствующего вектора прерывания. Возможна очистка бита записью во флаг логической 1. При установленном бите 1 в регистре SREG, установленных TOIE0(Timer/Counter0 Overflow Interrupt Enable) и TOV0 выполняется прерывание по переполнению таймера/счетчика0.

Регистр флагов прерывания по таймерам / счетчикам ТМ0, ТМ1, ТМ2 МК

Timer/Counter2 Control Register - TCCR2

Bit	7	6	5	4	3	2	1	0	
\$25 (\$45)	-	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20	TCCR2
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

- Bit 7 - Res: Reserved Bit
- **Bit 6 - PWM2: Pulse Width Modulator Enable - Разрешение широтно-импульсного модулятора**
- **Bits 5,4 - COM21, COM20: Compare Output Mode, bits 1 and 0 - Режим сравнения выхода, биты 1 и 0** (OC2) - PD7

COM21	COM20	Description
0	0	Timer/Counter disconnected from output pin OC2
0	1	Toggle the OC2 output line.
1	0	Clear the OC2 output line (to zero).
1	1	Set the OC2 output line (to one).

- **Bit 3 - CTC2: Clear Timer/Counter on Compare match - Очистить таймер/счетчик при совпадении**

Регистр управления таймера / счетчика ТМ2 МК

- **Bits 2,1,0 - CS22, CS21, CS20: Clock Select bits 2,1 and 0 - БИТЫ ВЫБОРА ТАКОВОЙ ЧАСТОТЫ**

Table 19. Timer/Counter2 Prescale Select

CS22	CS21	CS20	Description
0	0	0	Timer/Counter2 is stopped.
0	0	1	PCK2
0	1	0	PCK2/ 8
0	1	1	PCK2/ 32
1	0	0	PCK2/ 64
1	0	1	PCK2 / 128
1	1	0	PCK2 / 256
1	1	1	PCK2 / 1024

Timer/Counter2 - TCNT2

Bit	7	6	5	4	3	2	1	0		
\$24 (\$44)	MSB							LSB		TCNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
Initial value	0	0	0	0	0	0	0	0		

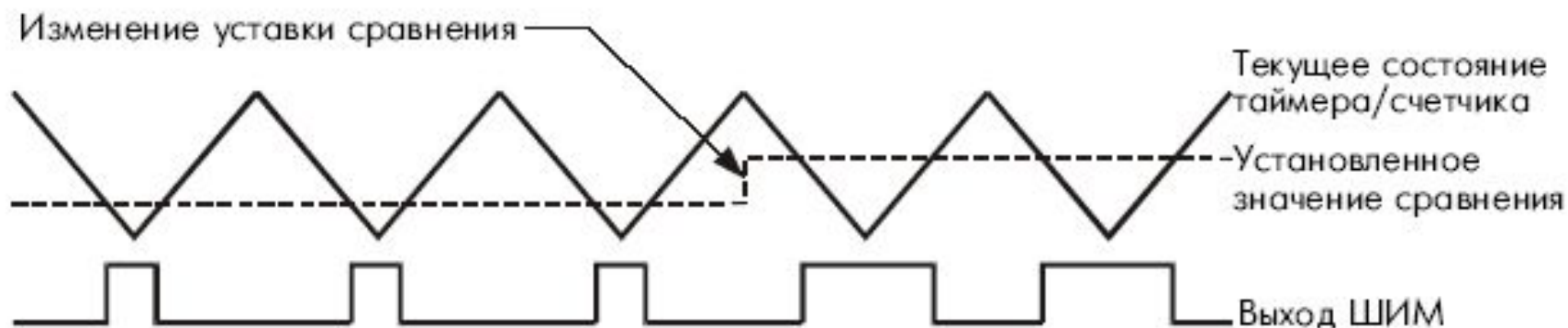
Регистры управления и таймера / счетчика ТМ2 МК

Регистр сравнения (OCR2) ТМ2 МК**Timer/Counter2 Output Compare Register - OCR2**

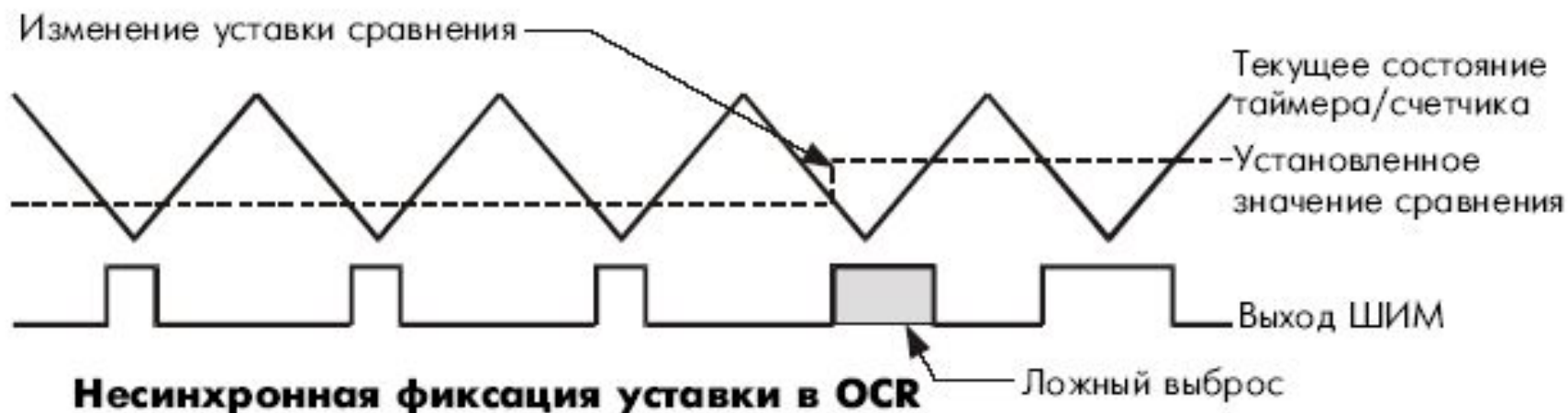
Bit	7	6	5	4	3	2	1	0	
\$23 (\$43)	MSB							LSB	OCR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

Работа таймера / счетчика ТМ2 МК в режиме ШИМ**Table 20. Compare Mode Select in PWM Mode**

COM21	COM20	Effect on Compare Pin
0	0	Не подсоединен
0	1	Не подсоединен
1	0	Очистка при совпадении, счет по нарастанию. Установка при совпадении, счет по убыванию (неинвертирующий ШИМ).
1	1	Очистка при совпадении, счет по убыванию. Установка при совпадении, счет по нарастанию (инвертирующий ШИМ).



Синхронизированная фиксация уставки в OCR



Работа таймера / счетчика ТМ2 МК в режиме ШИМ

Работа таймера / счетчика ТМ2 МК в режиме ШИМ

Table 21. PWM Outputs OCR2 = \$00 or \$FF

COM21	COM20	OCR2	Output PWMn
1	0	\$00	L
1	0	\$FF	H
1	1	\$00	H
1	1	\$FF	L

АСИНХРОННАЯ РАБОТА ТАЙМЕРА/СЧЕТЧИКА

• Это важно! При переключении между асинхронным и синхронным тактированием таймера/счетчика2 регистры таймера TCNT2, OCR2 и TCCR2 могут быть повреждены. Безопасное переключение выполняется следующей последовательностью действий:

1. Запрещаются прерывания OCIE2 и TOIE2 таймера2
2. Соответствующей установкой ASO выбирается источник тактового сигнала.
3. В TCNT2, OCR2 и TCCR2 записываются новые значения.
4. Если выполняется переключение в асинхронный режим: ожидать TCN2UB, OCR2UB и TCR2UB.
5. Разрешить прерывания, если это необходимо.

Asynchronous Status Register - ASSR

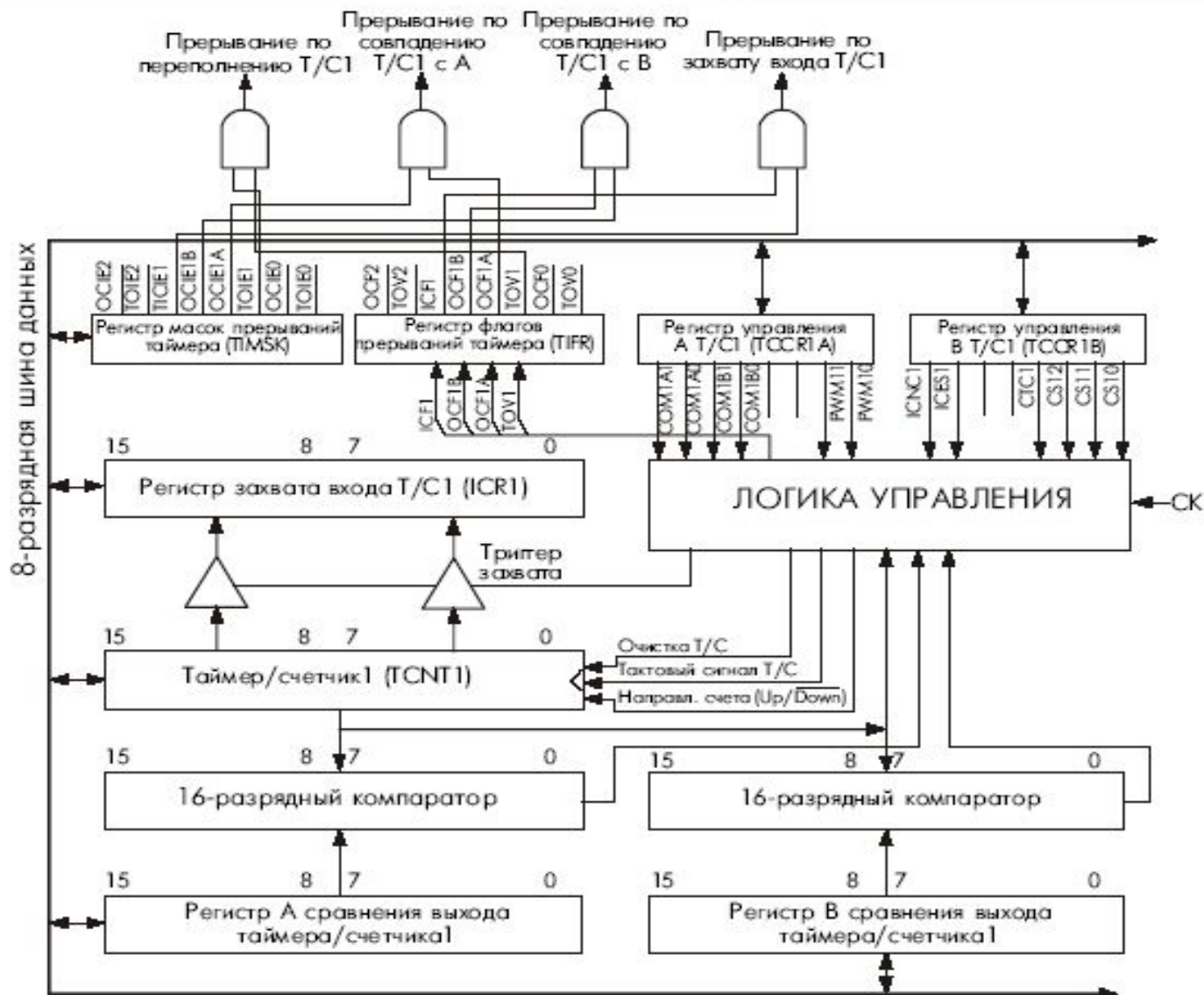
Bit	7	6	5	4	3	2	1	0	
\$22 (\$22)	-	-	-	-	AS2	TCN2UB	OCR2UB	TCR2UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
Initial value	0	0	0	0	0	0	0	0	

- **Bit 7..4 - Res: Reserved Bits**
- **Bit 3 - AS2: Asynchronous Timer/Counter2**
- **Bit 2 - TCN2UB: Timer/Counter2 Update Busy**
- **Bit 1 - OCR2UB: Output Compare Register2 Update Busy**
- **Bit 0 - TCR2UB: Timer/Counter Control Register2 Update Busy**

• При записи в один из регистров TCNT2 OCR2 или TCCR2 записываемая величина пересылается в регистр временного хранения и фиксируется после двух положительных фронтов TOSC1. Пользователь не должен записывать новое значение прежде, чем содержимое регистра временного хранения не будет передано по назначению. Каждый из указанных регистров имеет свой собственный регистр временного хранения, это означает, к примеру, что запись в TCNT2 не исказится при записи в OCR2. Для того, чтобы убедиться в выполнении пересылки в регистр назначения используется регистр статуса асинхронного режима (Asynchronous Status Register - ASSR).

Регистр состояния асинхронного режима таймера / счетчика ТМ2 МК

AVR МК AT90S8535 (Таймер / счетчик ТМ1)



Структура таймера / счетчика ТМ1 МК

**РЕГИСТР УПРАВЛЕНИЯ А ТАЙМЕРА/СЧЕТЧИКА1 -
TCCR1A - (Timer/Counter1 Control Register A)**

Биты	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	-	-	PWM11	PWM10	TCCR1A
Чтение/Запись	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	

• **Bits 7,6 - COM1A1, COM1A0: Compare Output Mode1A, bits 1 and 0 - Режим1A сравнения выхода, биты 1 и 0**

• **Bits 5,4 - COM1B1, COM1B0: Compare Output Mode1B, bits 1 and 0 - Режим1B сравнения выхода, биты 1 и 0**

Таблица 15. Выбор режима сравнения 1 (OC1A) – PD5, (OC1B) – PD4

COM1X1	COM1X0	Описание
0	0	Таймер/счетчик1 отключен от вывода выхода OC1X
0	1	Переключение выходной линии OC1X.
1	0	Очистка выходной линии OC1X (на линии низкий уровень).
1	1	Установка выходной линии OC1X (на линии высокий уровень).

Примечание: X = A или B

Регистр управления А таймера / счетчика ТМ1 МК

- **Bits 3..2 - Res: Reserved bits - Зарезервированные биты**
- **Bits 1..0 - PWM11, PWM10: Pulse Width Modulator Select Bits - Биты выбора режима ШИМ**

Таблица 16. Выбор ШИМ режима

PWM11	PWM10	Description
0	0	Работа таймера/счетчика1 в ШИМ режиме запрещена
0	1	Работа таймера/счетчика1 в 8-разрядном ШИМ режиме
1	0	Работа таймера/счетчика1 в 9-разрядном ШИМ режиме
1	1	Работа таймера/счетчика1 в 10-разрядном ШИМ режиме

РЕГИСТР УПРАВЛЕНИЯ В ТАЙМЕРА/СЧЕТЧИКА1 - TCCR1B - (Timer/Counter1 Control Register B)

Биты	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	TCCR1B
Чтение/Запись	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	

- **Bit 7 - ICNC1: Input Capture1 Noise Canceler (4 CKs) - Установка режима подавления шума на входе захвата 1**

Регистры управления А и В таймера / счетчика ТМ1 МК

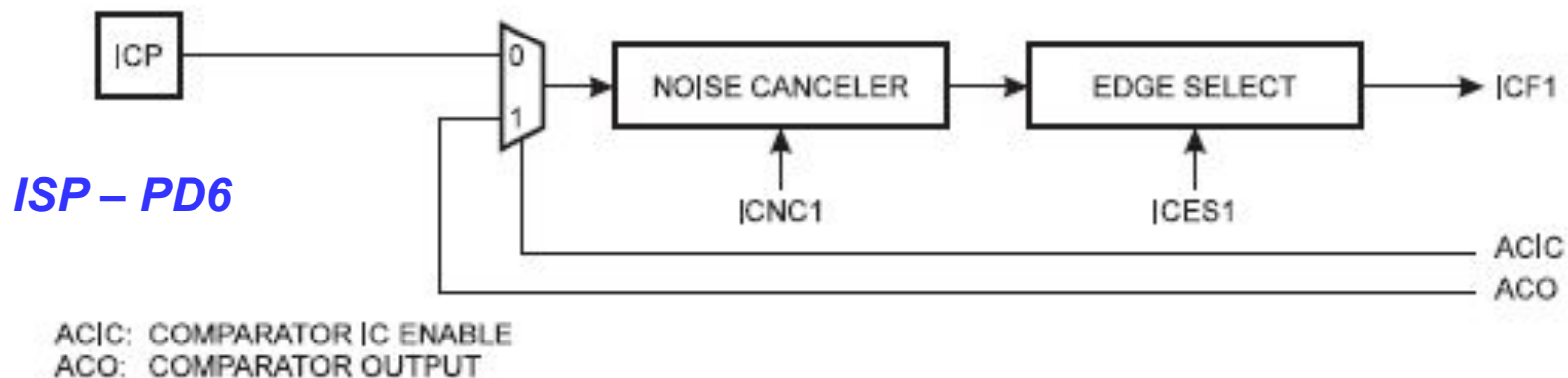
- **Bit 6 - ICES1: Input Capture1 Edge Select** - Выбор фронта срабатывания на входе захвата 1
- **Bits 5, 4 - Res: Reserved bits** - Зарезервированные биты
- **Bit 3 - CTC1: Clear Timer/Counter1 on Compare Match** - Очистка таймера/счетчика1 по совпадению
- **Bits 2,1,0 - CS12, CS11, CS10: Clock Select1, bit 2,1 and 0** - Выбор источника тактовой частоты, биты 2,1 и 0

Таблица 17. Выбор источника тактового сигнала таймера/счетчика1

CS12	CS11	CS10	Описание
0	0	0	Stop условие - таймер/счетчик1 остановлен.
0	0	1	СК
0	1	0	СК / 8
0	1	1	СК / 64
1	0	0	СК / 256
1	0	1	СК / 1024
1	1	0	Внешний тактирующий сигнал на выводе T1, нарастающий фронт
1	1	1	Внешний тактирующий сигнал на выводе T1, подающий фронт.

Регистр управления В таймера / счетчика ТМ1 МК

ICP Pin Schematic Diagram



Логика управления захватом таймера / счетчика ТМ1 МК

ТАЙМЕР/СЧЕТЧИК1 - TCNT1H и TCNT1L

Биты	15	14	13	12	11	10	9	8	
\$2D (\$4D)	MSB								TCNT1H TCNT1L
\$2C (\$4C)								LCB	
	7	6	5	4	3	2	1	0	
Чтение/Запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное состояние	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

Регистры таймера / счетчика ТМ1 МК

• Запись в таймер/счетчик1 - TCNT1

Когда CPU производит запись в старший байт (TCNT1H) записываемые данные размещаются в регистре TEMP. Затем, когда CPU производит запись в младший байт (TCNT1L) данные младшего байта объединяются с байтом данных регистра TEMP и все 16 битов одновременно переписываются в регистр таймера/счетчика TCNT1. Следовательно, при 16-разрядных операциях обращение к старшему байту (TCNT1H) должно выполняться первым. При использовании таймера/счетчика1 в качестве 8-разрядного таймера достаточно производить запись только младшего байта.

• Чтение таймера/счетчика1 - TCNT1

Когда CPU считывает младший байт (TCNT1L), то содержимое TCNT1L направляются непосредственно в CPU, содержимое старшего байта (TCNT1H) размещается в регистре TEMP и при считывании CPU старшего байта (TCNT1H) его содержимое CPU принимает из регистра TEMP. Следовательно, при 16-разрядных операциях первым должно выполняться обращение к младшему байту (TCNT1L). При использовании таймера/счетчика1 в качестве 8-разрядного таймера достаточно производить запись только младшего байта.

Чтение и запись регистров таймера / счетчика ТМ1 МК

**РЕГИСТРЫ СРАВНЕНИЯ А ВЫХОДА ТАЙМЕРА/СЧЕТЧИКА1 -
OCR1AH и OCR1AL - (Timer/Counter1 Output Compare Register)**

Биты	15	14	13	12	11	10	9	8	
\$2B (\$4B)	MSB								OCR1AH OCR1AL
\$2A (\$4A)								LSB	
	7	6	5	4	3	2	1	0	
Чтение/Запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

**РЕГИСТРЫ СРАВНЕНИЯ В ВЫХОДА ТАЙМЕРА/СЧЕТЧИКА1 - OCR1BH и
OCR1BL - (Timer/Counter1 Output Compare Register)**

Биты	15	14	13	12	11	10	9	8	
\$29 (\$49)	MSB								OCR1BH OCR1BL
\$28 (\$48)								LSB	
	7	6	5	4	3	2	1	0	
Чтение/Запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное состояние	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

Регистры сравнения таймера / счетчика ТМ1 МК

**РЕГИСТР ЗАХВАТА ВХОДА ТАЙМЕРА/СЧЕТЧИКА 1 -
ICR1H и ICR1L - (Timer/Counter1 Input Capture Register)**

Биты	15	14	13	12	11	10	9	8	
\$27 (\$47)	MSB								ICR1H ICR1L
\$26 (\$46)								LSB	
	7	6	5	4	3	2	1	0	
Чтение/Запись	R	R	R	R	R	R	R	R	
	R	R	R	R	R	R	R	R	
Начальное состояние	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

Регистр захвата таймера / счетчика ТМ1 МК

ТАЙМЕР/СЧЕТЧИК1 в ШИМ РЕЖИМЕ

При установленном ШИМ режиме таймер/счетчик1 и регистры сравнения выхода А и В (OCR1A и OCR1B), образуют сдвоенный 8, 9 или 10-разрядный автономный генератор ШИМ с правильным чередованием фаз, отсутствием ложных выбросов и выходами на выводы PD5(OC1A) и OC1B. Таймер/счетчик1 работает как реверсивный счетчик, считающий от \$0000 до TOP (см. таблицу 18), при котором направление счета меняется и отсчет ведется до нуля, после чего цикл повторяется. Когда состояние счетчика совпадет с содержимым 10 младших битов OCR1A или OCR1B, выводы PD5(OC1A)/OC1B устанавливаются или очищаются, в соответствии с установками битов COM1A1/COM1A0 или COM1B1/COM1B0 в регистре управления таймером/счетчиком1 TCCR1A. Подробности см. в таблице 19.

Таблица 18. TOP значения таймера и частота ШИМ

Разрешение ШИМ	TOP значения таймера	Частота ШИМ
8-разрядное	\$00FF (255)	$f_{TC1} / 510$
9- разрядное	\$01FF (511)	$f_{TC1} / 1022$
10- разрядное	\$03FF (1023)	$f_{TC1} / 2046$

Таблица 19. Выбор режима сравнения¹ в ШИМ режиме

COM1X1	COM1X0	Выходной сигнал на OCX1
0	0	Не подключен
0	1	Не подключен
1	0	Очищается по совпадению при счете вверх. Устанавливается по совпадению при счете вниз (не инвертированный ШИМ).
1	1	Очищается по совпадению при счете вниз. Устанавливается по совпадению при счете вверх (инвертированный ШИМ).

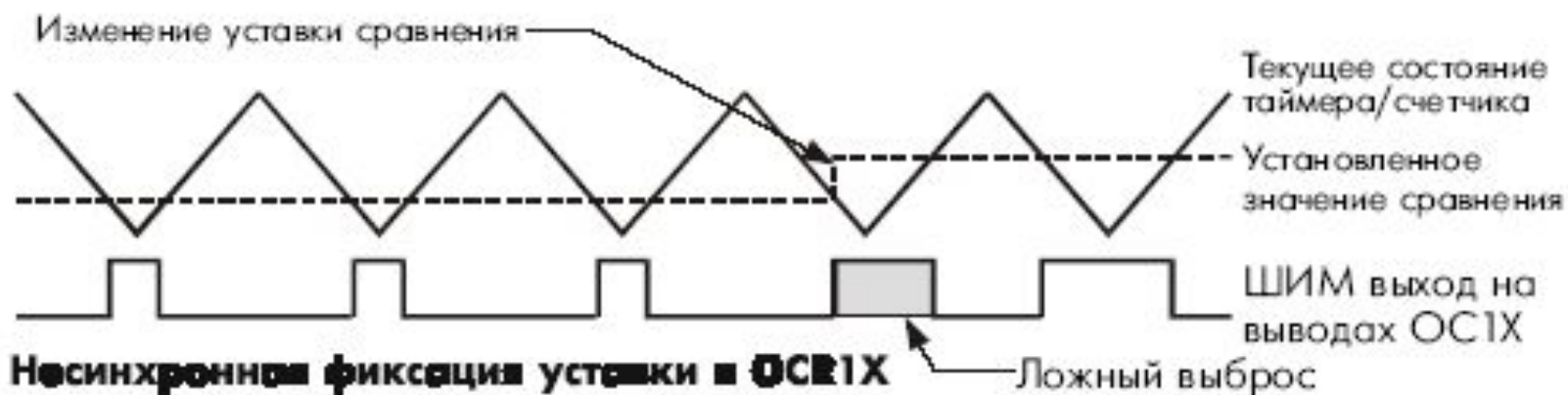
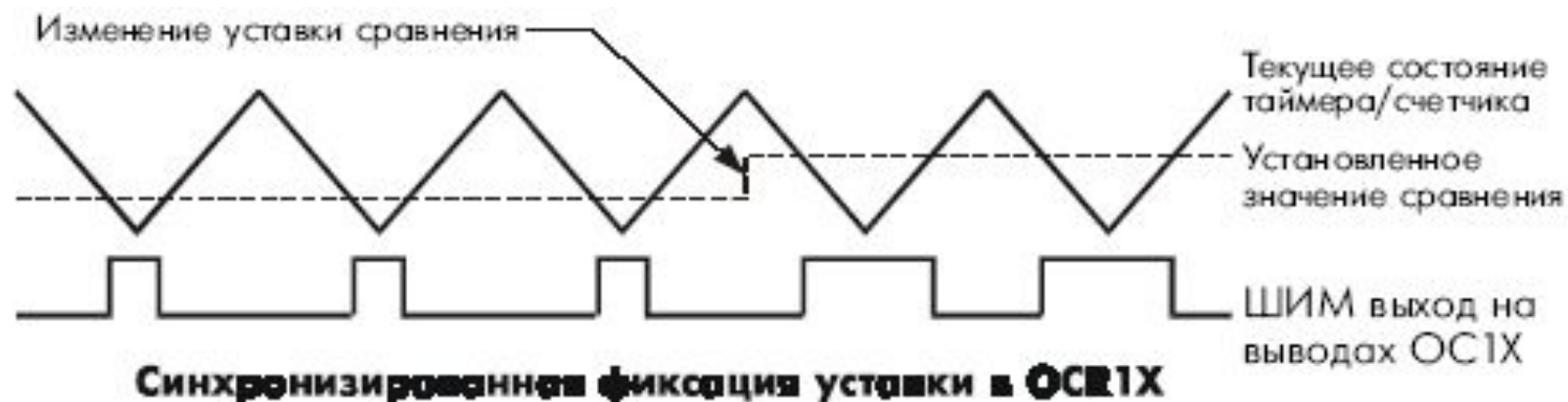
Примечание: X = A или B

Таблица 20. Состояния выходов в ШИМ режиме при OCR1X = \$0000 или TOP

COM1X1	COM1X0	OCR1X	Состояние выводов OC1X
1	0	\$0000	L
1	0	TOP	H
1	1	\$0000	H
1	1	TOP	L

Примечание: X = A или B

Таймер / счетчик ТМ1 МК в ШИМ-режиме



Примечание: X = A или B

Эффект несинхронной фиксации OCR1.

Таймер / счетчик ТМ1 МК в ШИМ-режиме