

# ЛЕКЦИЯ № 9

## *Тема: Сумматоры. АЛУ*

*Текст лекции по дисциплине «Цифровые устройства и микропроцессоры»*

# Контрольные вопросы

Нарисовать условно-графическое обозначение, схему регистра согласно задания варианта

## **1 вариант**

УГО последовательного регистра

## **2 вариант**

Схема параллельного 2-х разрядного регистра на D-триггерах

## **3 вариант**

УГО параллельного регистра

## **4 вариант**

Схема параллельного 2-х разрядного регистра на JK-триггерах

# УЧЕБНЫЕ ВОПРОСЫ:

1. Сумматоры
2. Арифметико-логическое устройство

## ЛИТЕРАТУРА:

### **Основная литература**

- Л.1. А.К.Нарышкин «Цифровые устройств и микропроцессоры»: учеб. пособие для студ. Высш. Учебн. Заведений/ А. К. Нарышкин, 2 – е изд. - Издательский центр «Академия», 2008г. с. 108-125, 267-283
- Л.2. Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров «Аналоговая и цифровая электроника», М.:Горячая линия- Телеком, 2000г. с. 603-623

### **Дополнительная литература**

- Л.5. Е.П. Угрюмов «Цифровая схемотехника», Санкт-Петербург, 2000г. с. 77-90
- Л6. Ю.А. Браммер. И.Н.Пашук «Импульсные и цифровые устройства», М.-Высшая школа, 1999г. с. 275-284

# УЧЕБНЫЕ ВОПРОСЫ:

## 1. Сумматоры

***Синтез цифровых устройств. Часть 1.***

*- Полусумматоры стр. 88-90 рис. 3.35 а, в*

*- Одноразрядный сумматор стр 90-91*

***Синтез цифровых устройств. Часть 2.***

*-Сумматор последовательного действия стр. 90-91  
рис. 4.9 а*

*-Сумматор параллельного действия стр. 93-95 рис.  
4.10 а, 4.11*

## 2. Арифметико-логическое устройство

***Синтез цифровых устройств. Часть 2.***

*Стр 99-102 (рис. 4.14, 4.16)*

# 1. Сумматоры

# Основные понятия и определения

**Сумматором** называется арифметический узел, формирующий код числа, являющийся значением суммы двух или нескольких слагаемых.

При сложении многоразрядных кодов, в каждом разряде формируется значение *суммы*  $S_i$  и значение *переноса*  $P_i$  из данного разряда в соседний старший разряд. Часть многоразрядного сумматора, в которой формируются значения  $S_i$  и  $P_i$  называется *разрядом*.

# Классификация сумматоров

1. По виду кода, в котором представляется сумма.

- двоичные сумматоры;
- двоично-десятичные сумматоры;
- сумматоры в спец коде и др.

2. По количеству разрядов в формируемом коде суммы:

- одноразрядные сумматоры (формирует одноразрядный код суммы двух или более слагаемых).
- многоразрядные сумматоры (формирует многоразрядный код суммы слагаемых которые, представлены многоразрядными кодами.).

3. По способу подачи в сумматор кодов слагаемых при формировании кода суммы:

- комбинационные сумматоры (параллельного действия) (это устройство, в котором коды слагаемых подаются одновременно на разные входы);
- накапливающие сумматоры (последовательного действия) (это устройство, на входы которого коды слагаемых подаются последовательно во времени).

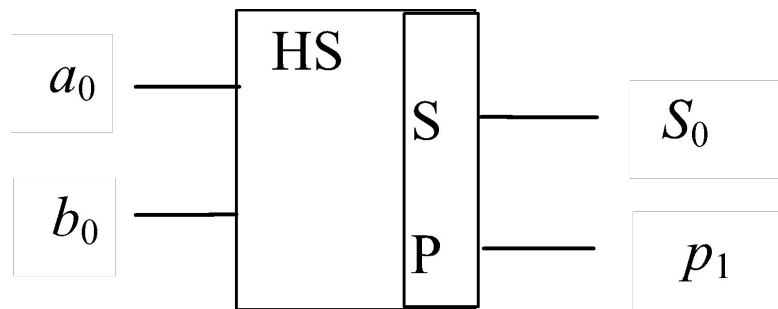
# ПОЛУСУММАТОР



# Основные понятия и определения

Одноразрядным комбинационным полусумматором называется ЦУ, которое вырабатывает значение суммы  $S$  двух слагаемых  $a$  и  $b$  одноименных разрядов и формирует сигнал переноса  $p$  в соседний старший разряд.

## УГО, работа

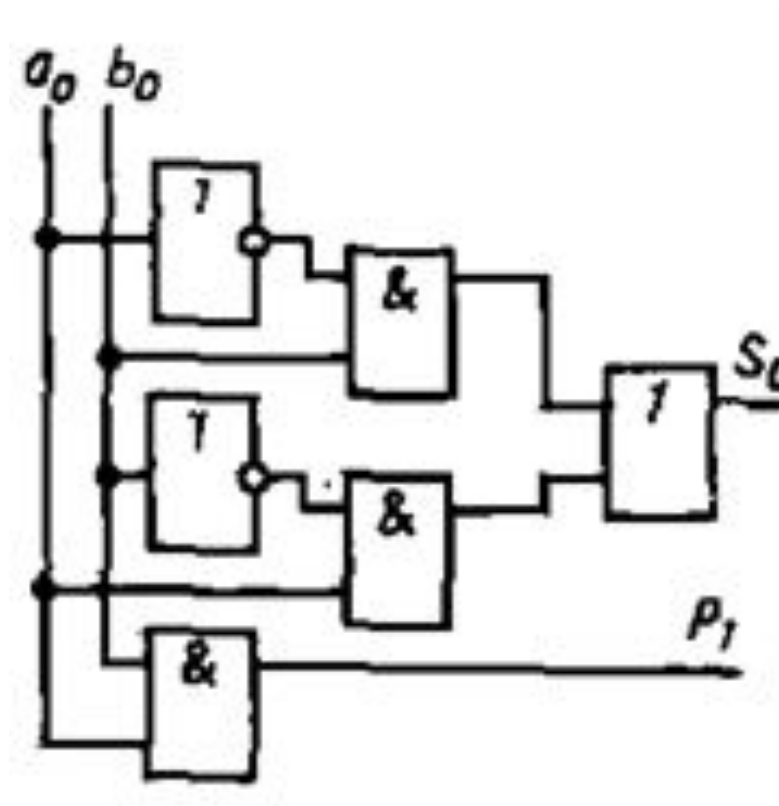


$a_0$	$b_0$	$S_0$	$p_i$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Переключательная функция (ПФ) в СДНФ для суммы и переноса:

$$S_0 = \overline{a_0} \cdot b_0 + a_0 \cdot \overline{b_0} ,$$
$$p_1 = a_0 \cdot b_0 .$$

# Схема одноразрядного комбинационного полусумматора



# ПОЛНЫЙ ДВОИЧНЫЙ ОДНОРАЗРЯДНЫЙ КОМБИНАЦИОННЫЙ СУММАТОР

# Основные понятия и определения

**Одноразрядным комбинационным сумматором** называется ЦУ, предназначенное для суммирования трех одноразрядных двоичных чисел: значений одноименных цифровых разрядов  $a_i$ ,  $b_i$  и сигнала переноса из соседнего младшего разряда  $p_i$ , выработки значения суммы в данном разряде  $S_i$ , и переноса  $p_{i+1}$  в старший разряд.

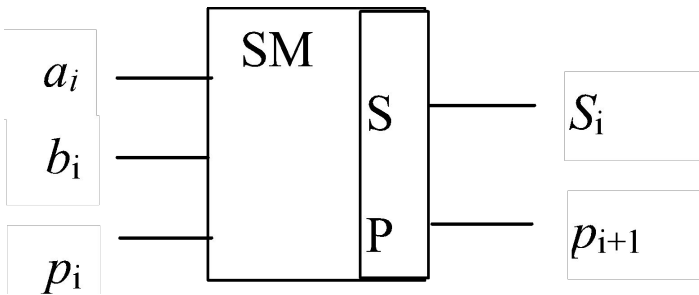
Таким образом, одноразрядный комбинационный сумматор имеет три входа —  $a_i$ ,  $b_i$  и  $p_i$  и два выхода —  $S_i$  и  $p_{i+1}$

Предназначен для поразрядного сложения двух многоразрядных чисел, когда в качестве третьего слагаемого приходится учитывать перенос из младшего разряда.

# УГО, работа

К155ИМ1.

Здесь И – элемент арифметических и дискретных устройств;  
М – сумматор.



$a_i$	$b_i$	$p_i$	$S_i$	$p_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

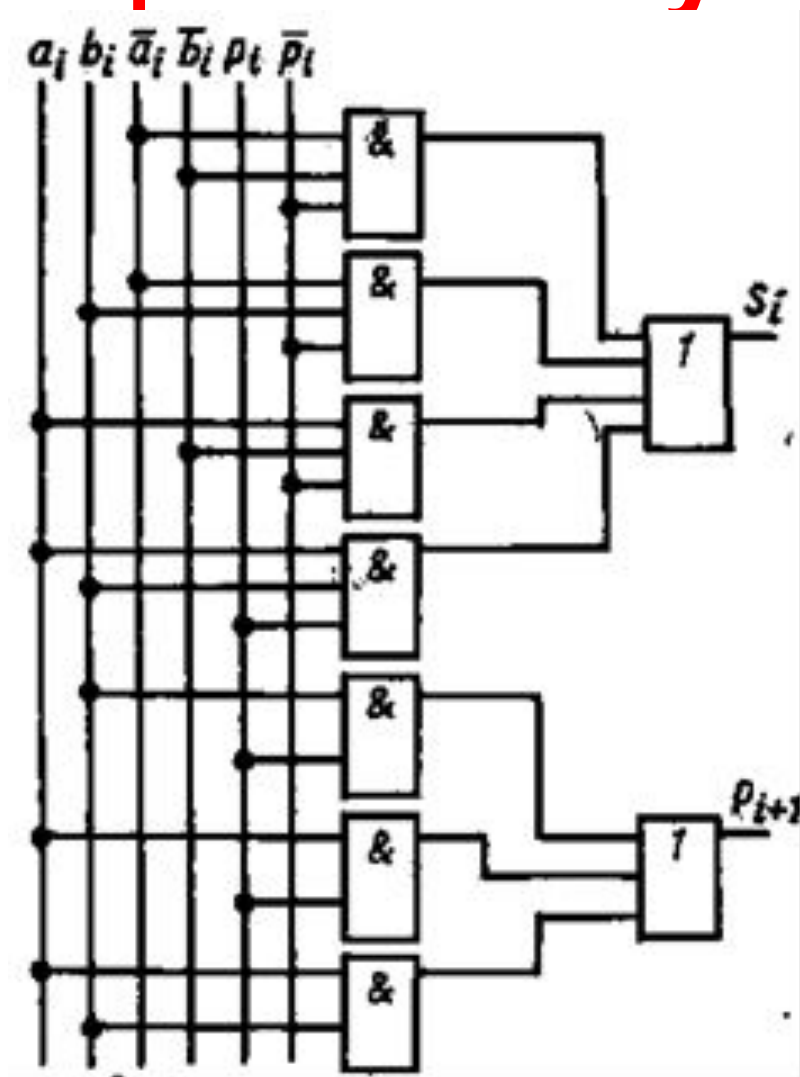
Используя таблицу истинности, запишем ПФ для суммы  $S_i$  и переноса  $p_{i+1}$  в СДНФ:

$$S_i = \bar{a}_i \bar{b}_i p_i + \bar{a}_i b_i \bar{p}_i + a_i \bar{b}_i \bar{p}_i + a_i b_i p_i,$$

$$p_{i+1} = \bar{a}_i b_i p_i + a_i \bar{b}_i p_i + a_i b_i \bar{p}_i + a_i b_i p_i.$$

Минимизировав для переноса получим  $p_{i+1} = b_i p_i + a_i p_i + a_i b_i$ .

# Схема одноразрядного комбинационного сумматора



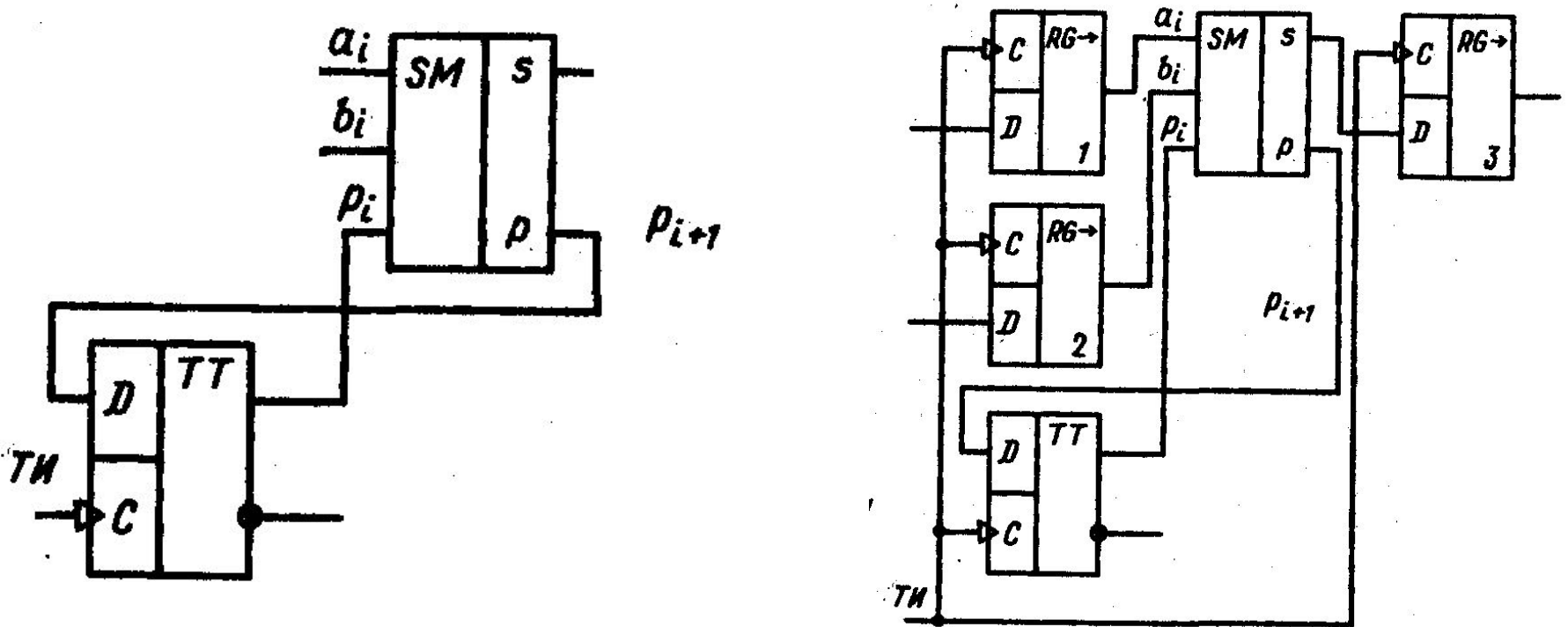
# МНОГОРАЗРЯДНЫЙ СУММАТОР

# Основные понятия и определения

В зависимости от способа ввода кодов слагаемых многоразрядные сумматоры делятся на два типа: *последовательного* и *параллельного действия*. В сумматоры первого типа коды чисел вводятся в последовательной форме, т.е. разряд за разрядом (младшим разрядом вперед), в сумматоры второго типа каждое слагаемое подается в параллельной форме, т.е. одновременно всеми разрядами.



# Сумматор последовательного действия



Сдвиговые регистры RG не входят непосредственно в схему сумматора, они служат для подачи на вход сумматора разрядов слагаемых (регистры 1 и 2) и приема выдаваемых сумматором разрядов суммы (регистр 3).

# Работа сумматора последовательного действия

## Работа последовательного сумматора.

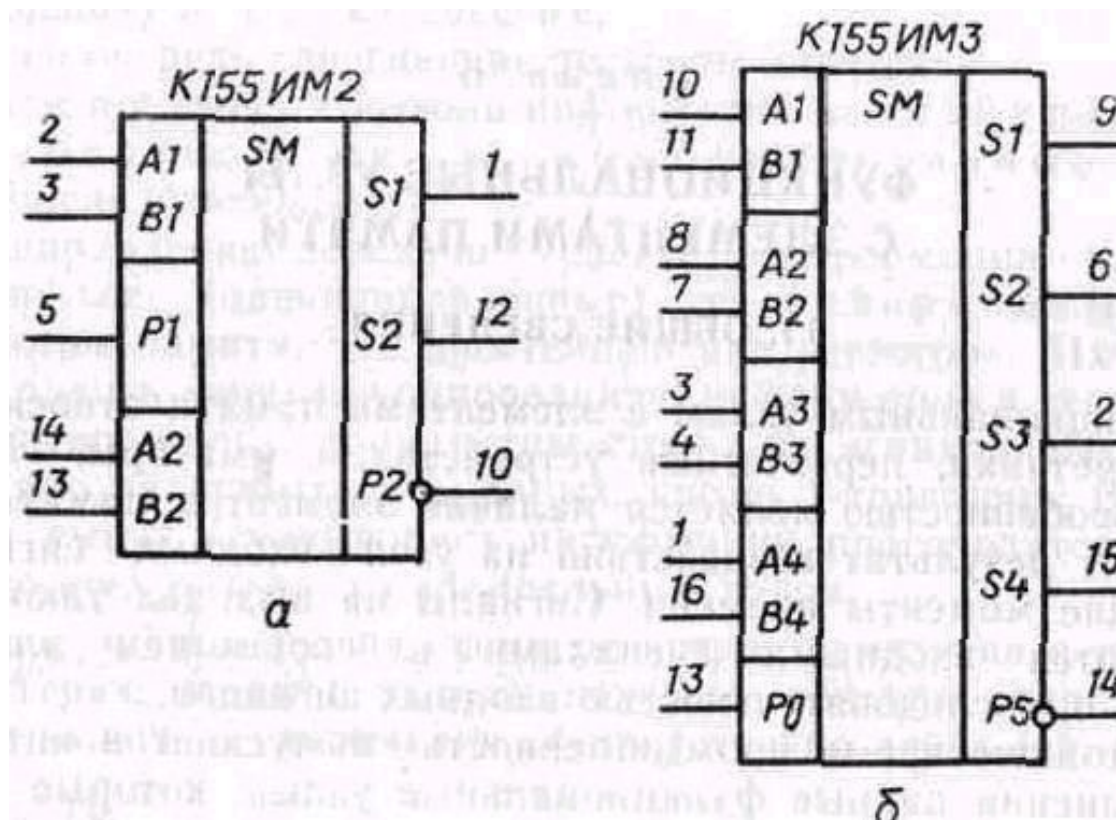
По первому тактовому импульсу на входы SM из RG1 и 2 поступают цифры первого разряда слагаемых  $a_1$  и  $b_1$ , из D-триггера на вход  $p_1$ , подается уровень лог. 0. SM формирует первый разряд суммы  $S_1$  выдаваемый на вход RG 3, и переноса принимаемый в D-триггер. Второй тактовый импульс осуществляет в регистрах сдвиг на один разряд вправо; при этом на входы одноразрядного сумматора подаются цифры второго разряда слагаемых  $a_2$ ,  $b_2$  и перенос  $p_2$  получающаяся цифра второго разряда суммы вдвигается в RG 3, переноса принимается в триггер и т.д.

**Достоинство** малый объем оборудования, требуемого для его построения.

**Недостаток** - необходимость в последовательной обработке разрядов, что приводит к низкому быстродействию.

# Сумматор параллельного действия

Состоит из отдельных разрядов, каждый из которых содержит одноразрядный сумматор. Поэтому такой сумматор называют ещё двоичным комбинационным многоразрядным сумматором.

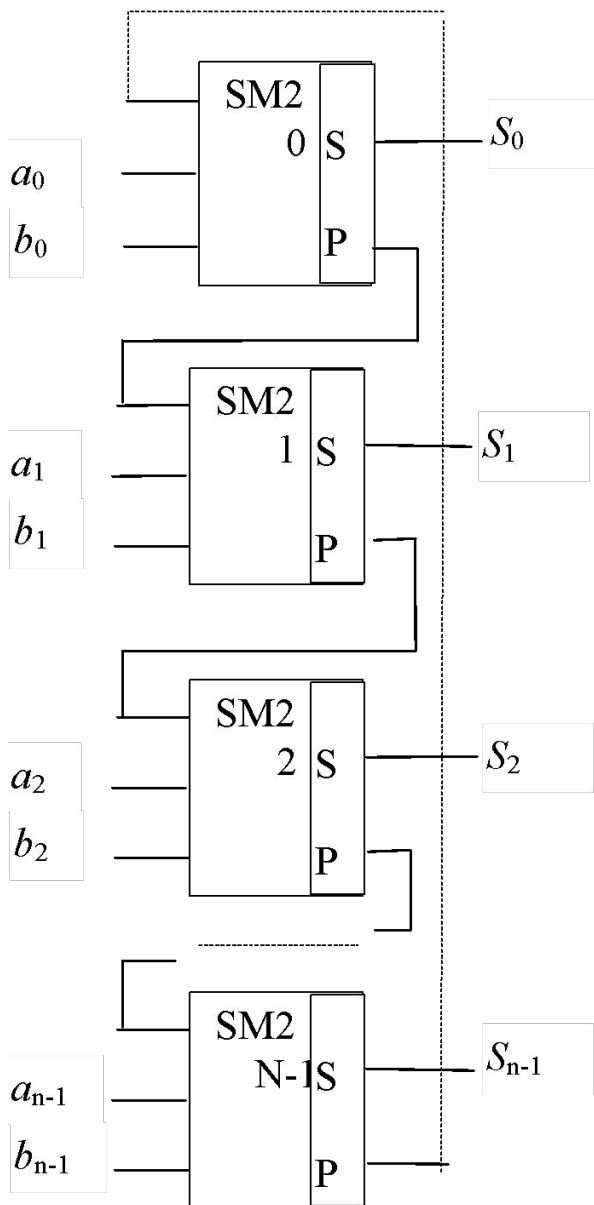


# Сумматор параллельного действия

## Принцип работы.

При подаче слагаемых цифры их разрядов поступают на соответствующие одноразрядные сумматоры. Каждый из одноразрядных сумматоров формирует на своих выходах цифру соответствующего разряда суммы и перенос, передаваемый на вход одноразрядного сумматора следующего, более старшего разряда.

# Сумматор параллельного действия



Импульс переноса в каждом разряде формируется после того, как будет сформирован импульс переноса из предыдущего разряда. В наиболее неблагоприятном случае возникший в младшем разряде перенос может последовательно вызывать переносы во всех остальных разрядах. Для устранения данного недостатка используется блок ускоренного переноса.

## 2. Арифметико-логическое устройство

# Основные понятия и определения

**Арифметико-логическое устройство (АЛУ)** - многокаскадное устройство функционального назначения, предназначенное для выполнения арифметических и логических операций над одним или двумя операндами.

## Назначение последовательного регистра.

В общем случае в АЛУ выполняются операции сложения, вычитания, умножения и деления двух чисел, операции поразрядного логического сложения и логического умножения, сдвиговые операции, преобразования кодов и некоторые другие операции.

# Классификация АЛУ

## 1. По способу действия над операндами:

- **ПОСЛЕДОВАТЕЛЬНЫЕ** (операнды представляются в последовательном коде, а операции производятся последовательно во времени разряд за разрядом; требуют меньших аппаратурных затрат);

- **ПАРАЛЛЕЛЬНЫЕ** (операнды представляются параллельным кодом и операции выполняются параллельно над всеми разрядами операнда; более быстродействующие и, в связи с этим более широко используемые).

## 2. По способу организации работы:

- **СИНХРОННЫЕ** (имеют меньший объем оборудования за счет простоты устройства, но менее быстродействующие)

- **АСИНХРОННЫЕ** (имеют специальные устройства для определения момента фактического завершения операции).



# Классификация АЛУ

## 3. По структуре:

- АЛУ с непосредственными связями (сумматор, схемы для выполнения логических операций и сдвигов, а также схемы передачи информации соединены непосредственно с выходами соответствующих регистров.);
- АЛУ с магистральной структурой (входы схем для выполнения сложения, логических операций и сдвигов соединены с магистральными шинами данных или шиной данных, на которые с помощью мультиплексора может быть подключена информация с любого регистра АЛУ, а выходы этой аппаратуры подключены через мультиплексор по входным цепям регистров.).

## 4. По способу представления чисел

- АЛУ для чисел с фиксированной запятой;
- АЛУ для чисел с плавающей запятой;
- АЛУ для десятичных чисел.

## 5. По характеру использования основных узлов

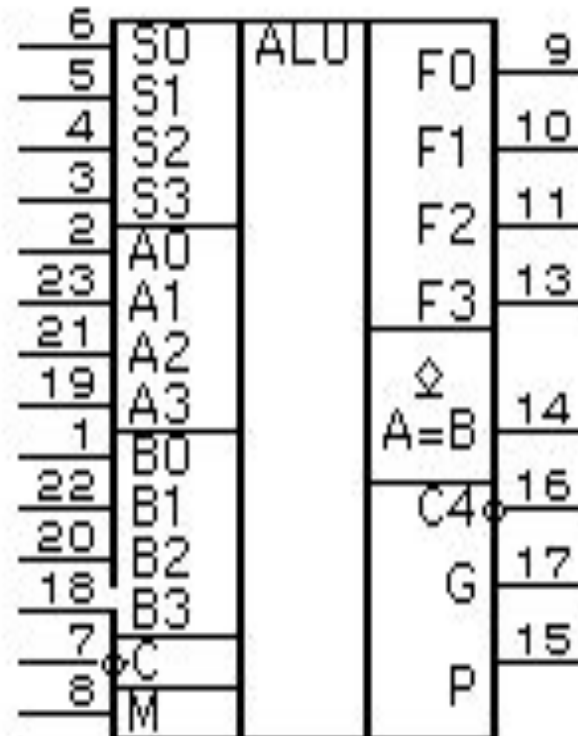
- АЛУ блочного типа (имеется несколько блоков для выполнения основных операций; более предпочтительны);
- АЛУ многофункционального типа (все операции выполняются одним блоком за счет изменения его структуры посредством коммутационных схем).

# УГО АЛУ

АЛУ выполняется в виде отдельных микросхем или же может входить в состав одной СБИС – микропроцессора.

Специализированные микросхемы АЛУ, выполняют в соответствии с программой арифметические или логические операции над двумя двоичными числами.

К155ИПЗ



# Устройство АЛУ

1. Операционный блок, т.е. блок выполнения операции. В состав него входят:

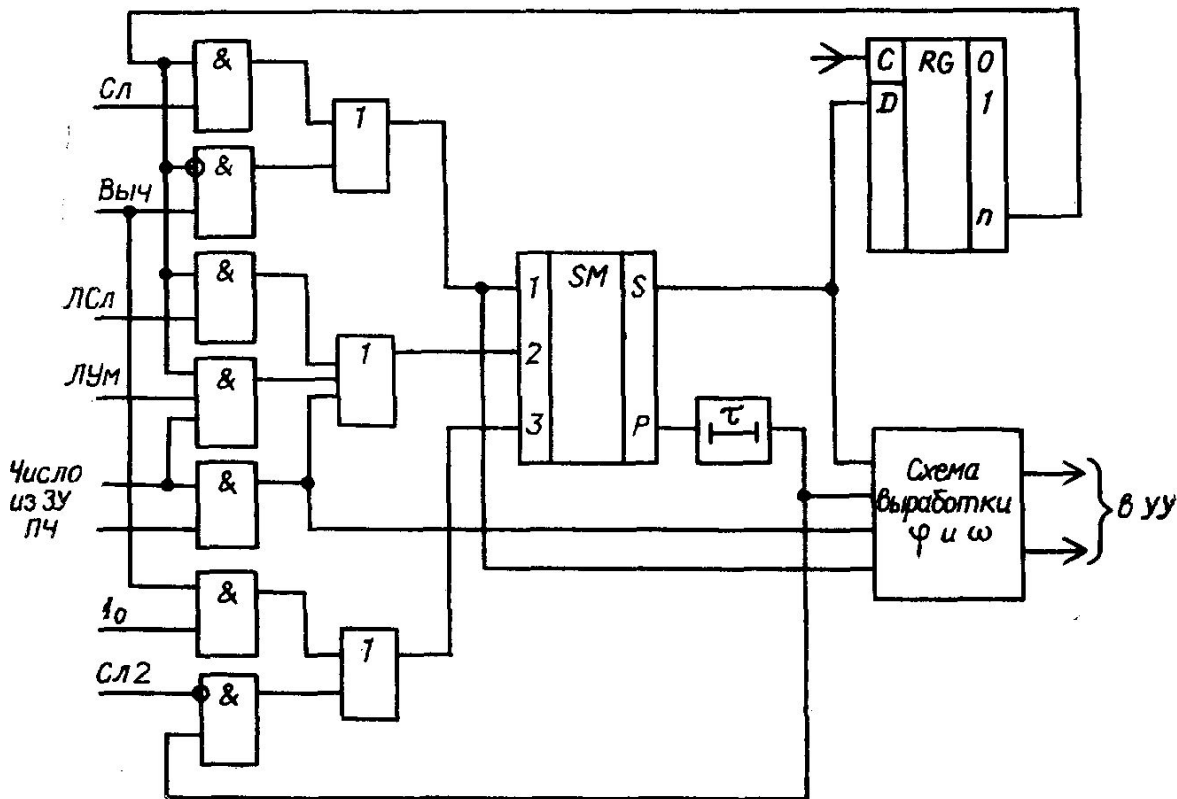
- суммирующий блок или суммирующая часть АЛУ (выполняет простые арифметические операции (сложение, вычитание, вычитание модулей) и логические операции);
- блок умножения или блок умножения-деления (реализует сложные арифметические операции (деление и умножение)).

2. Логические схемы, вырабатывающие признак результата (ПР).

3. Блок местного управления (БМУ) (служит для выработки управляющих сигналов, под действием которых реализуется операция в АЛУ. При отсутствии этого блока управление АЛУ осуществляется устройством управления вычислительной машины.).

4. Блок местной памяти (БМП) небольшой емкости.

# Суммирующая часть АЛУ последовательного типа



Для выполнения операции сложения – управляющие сигналы «Сл» и «ПЧ».

Для выполнения операции вычитания – сигналы «Выч», «ПЧ», «1<sub>0</sub>»

Для поразрядного логического сложения – сигналы «ЛСл» и «ПЧ».

Для поразрядного логического умножения – сигнал «ЛУМ».

Для поразрядного сложения по mod 2 – сигналы «Сл» и «ПЧ», «Сл2».

# Заключение

1. Сумматоры предназначены для суммирования двоичных и десятичных чисел.
2. Для построения многоразрядных сумматоров необходимы одноразрядные двоичные сумматоры.
3. АЛУ это многокаскадное устройство функционального назначения, предназначенное для выполнения арифметических и логических операций над одним или двумя операндами.
4. В связи со сложностью арифметических операций умножения и деления АЛУ состоит из отдельных блоков суммирования и умножения-деления.