



**ФГБОУ ВПО «Пермский национальный исследовательский
политехнический университет»**

Лекция № 3

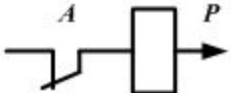
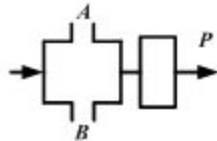
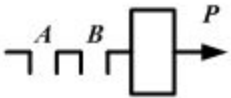
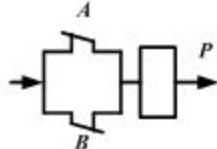
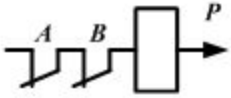
ТЕХНИЧЕСКИЕ СРЕДСТВА ЦИФРОВЫХ СИСТЕМ АВТОМАТИЗАЦИИ

1. Логические элементы цифровой автоматики



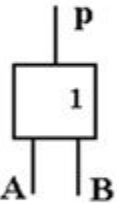



Основой систем цифровой автоматики являются логические элементы, принцип работы которых основан на законах науки, называемой *алгеброй логики*. Все входные параметры (сигналы элементов) по этим законам принимают за аргументы, а выходные параметры (сигналы элементов) принимают за функции.

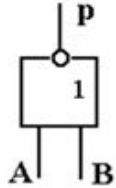

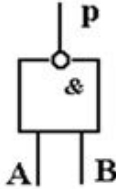
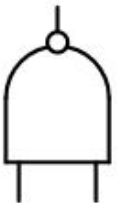
Как аргументы, так и функции всегда дискретны и могут принимать только одно из двух значений «истинно» или «ложно». В системах автоматики значение «истинно» является «логической единицей», «ложно» – «логическим нулем»

Основные логические элементы, соответствующие им логические функции алгебры логики и релейные схемы

	Название логического элемента	Название логического закона, по которому работает элемент	Релейный эквивалент элемента
1	Элемент «НЕ»	Логической инверсии	
2	Элемент «ИЛИ»	Логического сложения	
3	Элемент «И»	Логического умножения	
4	Элемент «ИЛИ-НЕ»	Логического сложения с инверсией	
5	Элемент «И-НЕ»	Логического умножения с инверсией	

Схемы основных логических элементов

Логический элемент	Стандарт РФ	Евростандарт															
Элемент «НЕ»	 <table border="1" data-bbox="521 542 627 656"> <thead> <tr> <th>A</th> <th>P</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	P	0	1	1	0										
A	P																
0	1																
1	0																
Элемент «ИЛИ»	 <table border="1" data-bbox="511 763 666 949"> <thead> <tr> <th>A</th> <th>B</th> <th>P</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	P	0	0	0	1	0	1	0	1	1	1	1	1	
A	B	P															
0	0	0															
1	0	1															
0	1	1															
1	1	1															
Элемент «И»	 <table border="1" data-bbox="502 1013 656 1199"> <thead> <tr> <th>A</th> <th>B</th> <th>P</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	P	0	0	0	1	0	0	0	1	0	1	1	1	
A	B	P															
0	0	0															
1	0	0															
0	1	0															
1	1	1															

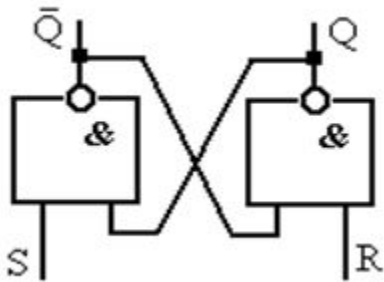
Элемент «ИЛИ-НЕ»	 <table border="1" data-bbox="1477 635 1622 806"> <thead> <tr> <th>A</th> <th>B</th> <th>P</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	P	0	0	1	1	0	0	0	1	0	1	1	0	
A	B	P															
0	0	1															
1	0	0															
0	1	0															
1	1	0															
Элемент «И-НЕ»	 <table border="1" data-bbox="1487 863 1632 1042"> <thead> <tr> <th>A</th> <th>B</th> <th>P</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	P	0	0	1	1	0	1	0	1	1	1	1	0	
A	B	P															
0	0	1															
1	0	1															
0	1	1															
1	1	0															

1. Запоминающие элементы цифровой автоматики

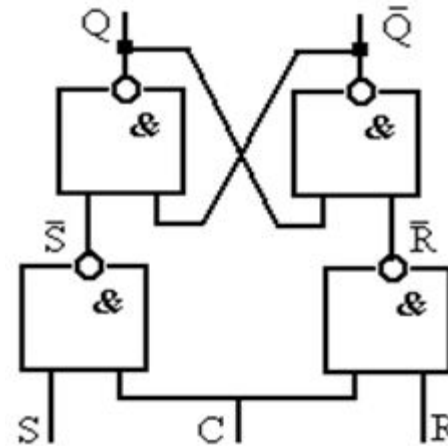
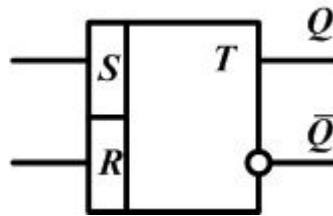
1.1. ТРИГГЕРЫ

Статический RS-триггер

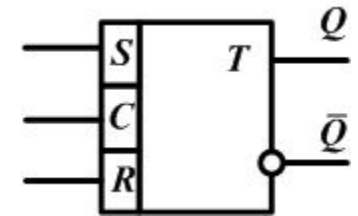
Статический RS -триггер может быть выполнен в двух вариантах: синхронном и асинхронном, на основе элементов И-НЕ.



асинхронный

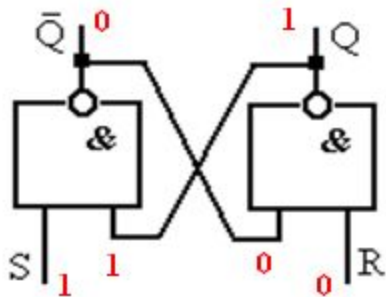


синхронный



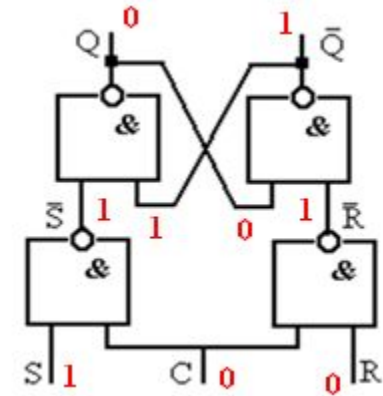
S – информационный вход, R – вход обнуления триггера, C – синхронизирующий.

Таблицы состояния асинхронного и синхронного триггеров



S	R	Q	\bar{Q}
1	0	1	0
0	1	0	1
0	0	1	1
1	1	запрет	

асинхронный



C	S	R	Q	\bar{Q}
0	1	0	0	1
0	0	1	0	1
1	1	0	1	0
1	0	1	0	1
1	0	0	1	1
1	1	1	запрет	

синхронный

Динамический D-триггер

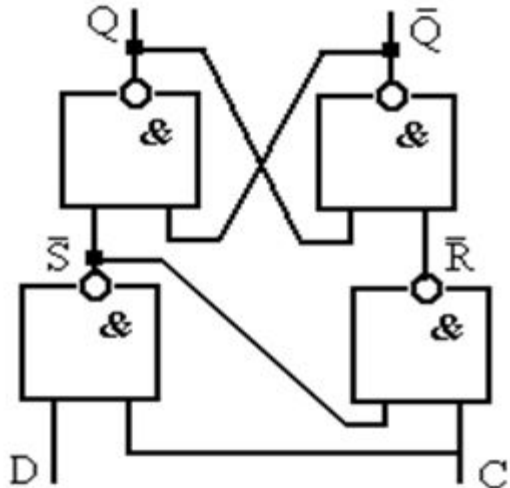
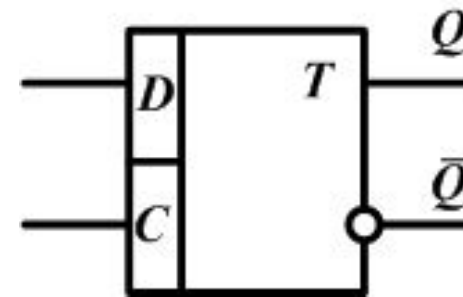


Схема на элементах «И-НЕ»



Условное обозначение

Триггер этого типа имеет вход тактового сигнала C и информационный вход D .

Таблица состояния D -триггера

C	D	Q	\bar{Q}
0	0	0	1
0	1	0	1
1	1	1	0
1	0	1	0
0	0	1	0
1	0	0	1
1	0	0	1

Переход с 0 на 1

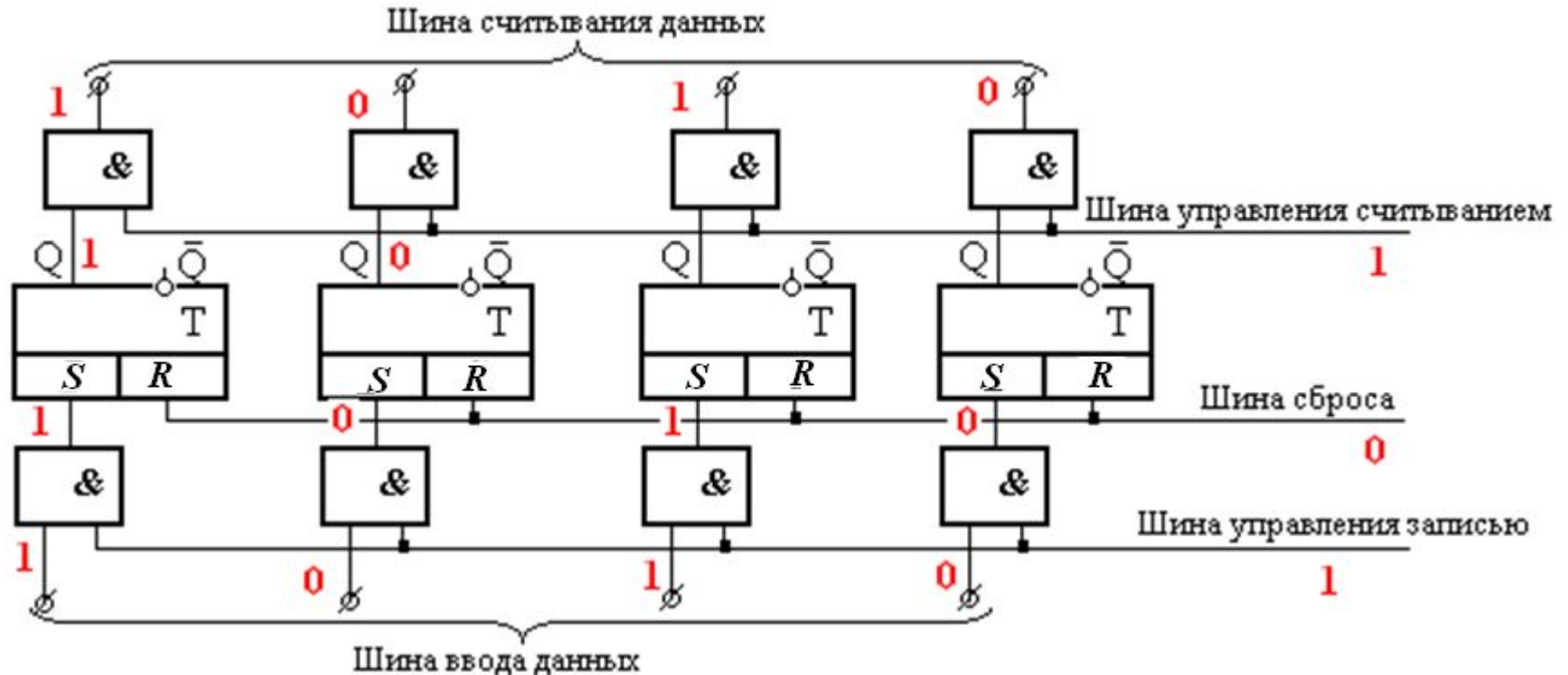
Смена состояния

Пока на входе C сигнал за тактовый цикл не переходит с 0 на уровень 1, информационный вход D не влияет на состояние триггера этого типа и остается в нулевом состоянии.

1.2. Регистры памяти

Регистры, как и триггеры, относятся к энергозависимым элементам памяти.

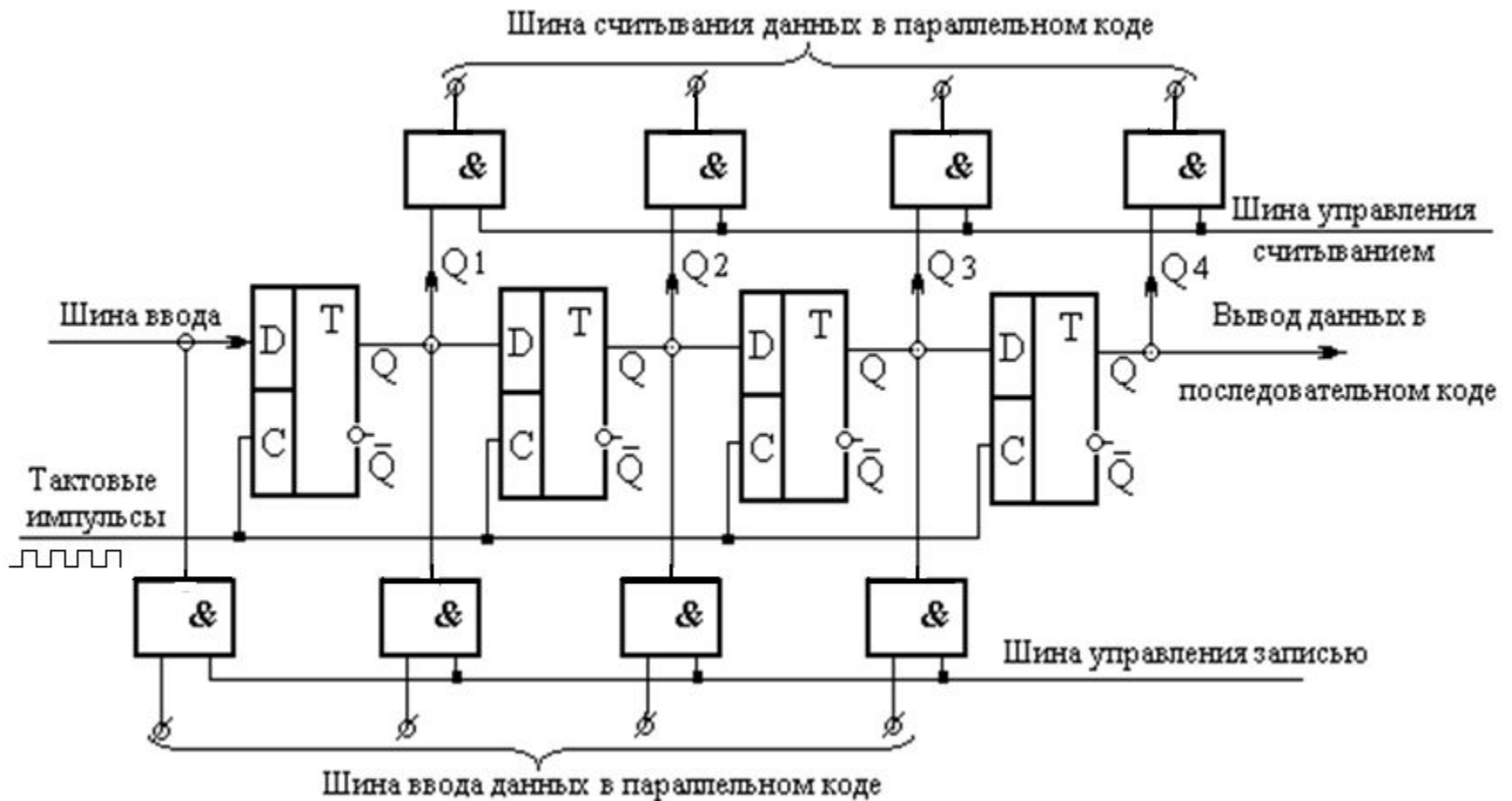
Параллельный регистр



Применяются для записи и считывания цифровых сигналов в параллельном коде. Это значит, что одновременно все разряды цифрового сигнала могут быть записаны в регистр или считаны с него по отдельным проводам шины данных. Основу этого регистра составляют триггеры *D*-типа, входы *C* которых одновременно подключены к шине сброса. Это позволяет при подаче единичного импульса сброса на эту шину одновременно обнулять все триггеры регистра. Входы *D* всех триггеров регистра соответственно соединены с выходами логических ключей «И», предназначенных для управления процессом записи цифровых сигналов в этот регистр.

1.2. Регистры памяти

Последовательный регистр



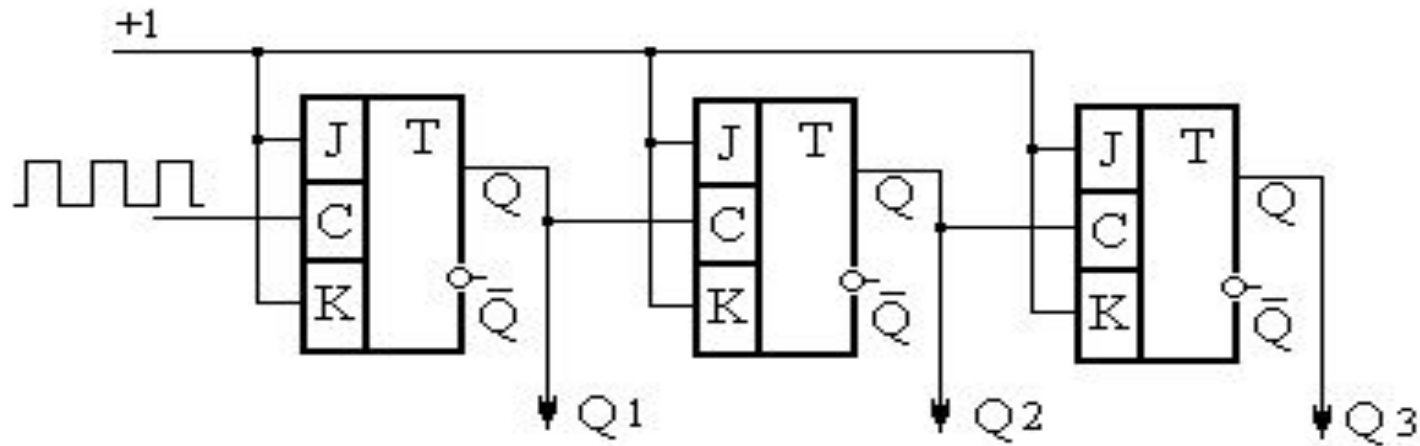
1.2. Регистры памяти

Применяются для записи цифровых сигналов в последовательном коде. Это значит, что символы цифрового сигнала последовательно подаются на триггер младшего разряда, а затем так же последовательно сдвигаются за каждый такт передачи в сторону триггеров старших разрядов.

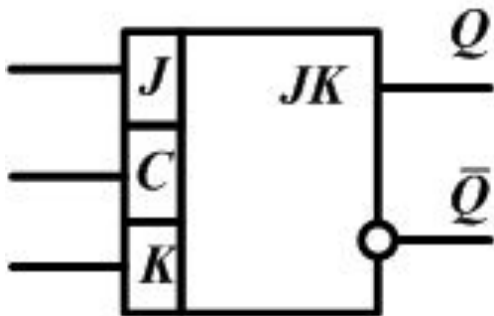
Основой последовательного регистра является *D*-триггер.

На входы *C* всех триггеров регистра одновременно подаются тактовые импульсы. В это же время на вход *D* триггера младшего разряда подается первый символ записываемого цифрового сигнала.

1.3. Двоичные счетчики



Двоичный счетчик, выполнен на основе трех JK - триггеров.



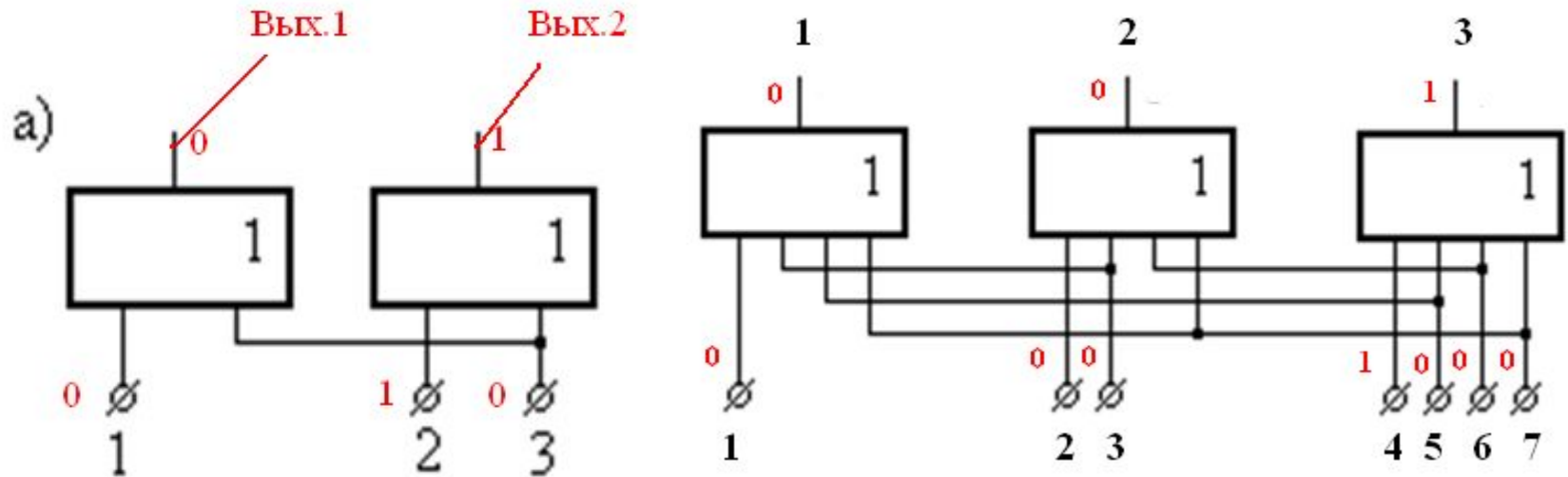
При $J = 1$ и $K = 1$ триггер меняет свое состояние на противоположное в момент окончания каждого синхронизирующего сигнала.

1.3. Двоичные счетчики

На вход C первого триггера (триггера младшего разряда) последовательно подаются тактовые импульсы, количество которых необходимо подсчитать. Выход Q каждого предыдущего триггера соединен с входом C последующего триггера. Принцип работы этого счетчика можно проследить по записям логического состояния его триггеров.

такт	1		2		3		4		5		6		7		8		9	
C	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
Q_1	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
Q_2	0	0	0	1	1	1	1	0	0	0	1	1	1	1	0	0	0	0
Q_3	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0

1.4. Шифраторы



Структура шифратора. а-на три входа; б-на семь входов

Выполнены на основе логических элементов «ИЛИ». Принцип работы простейшего из них приведен в таблице.

Номер входа канала			Код канала	
3	2	1	Вых.2	Вых.1
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
1	0	0	1	1

Таблица состояния шифратора на 3 входа

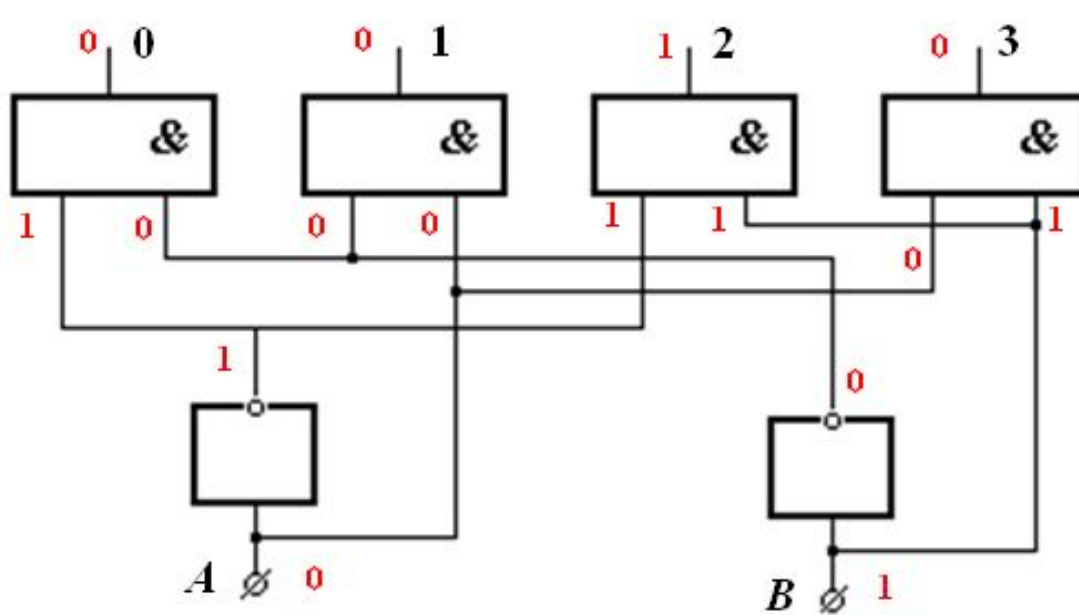
1.4. Шифраторы

Таблица состояния шифратора на 7 входа

Номер входа канала							Код канала		
1	2	3	4	5	6	7	1	2	3
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0
0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	1	1	0
0	0	0	1	0	0	0	0	0	1
0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	1	0	0	1	1
0	0	0	0	0	0	1	1	1	1

При последовательной подаче единичных сигналов на выходе шифратора так же последовательно появляются двоичные числа от 001 до 111, что соответствует десятичным числам от 1 до 7.

1.5. Дешифраторы



Код выхода		Номер канала			
<i>B</i>	<i>A</i>	0	1	2	3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

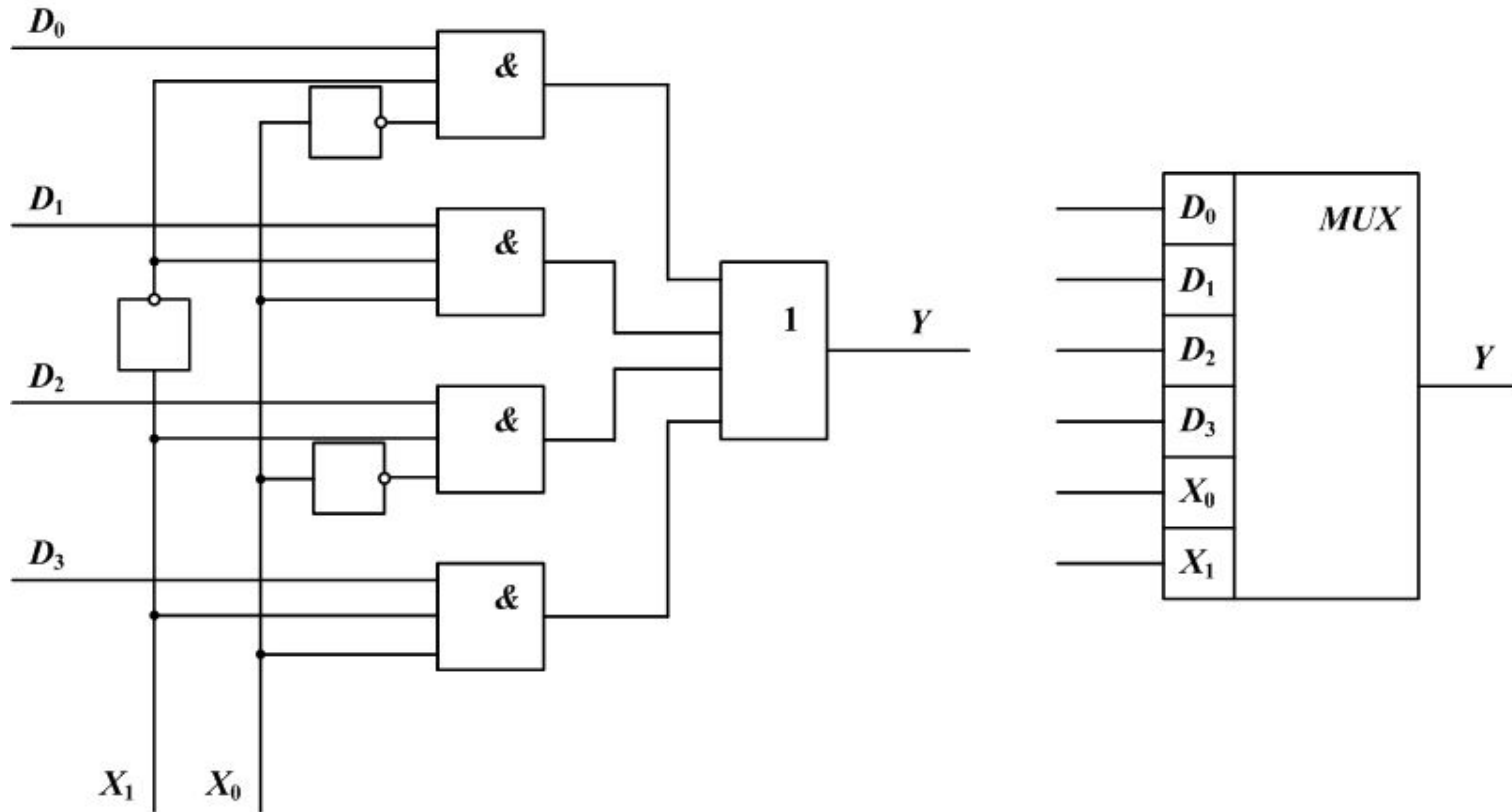


Структура дешифратора

Если входные каналы *A* и *B* одновременно обнулены (код входного сигнала 00), то оба входных инвертора одновременно подают единичные сигналы только на элемент И с выходом 0 (нулевой выходной канал). Поэтому только на этом канале появится единичный сигнал, а все остальные выходные каналы будут обнулены, так как на их элементах И будет присутствовать хотя бы по одному нулевому входному сигналу.

1.6. Мультиплексоры

Мультиплексор представляет собой логическую схему, которая принимает несколько цифровых сигналов, выбирает один из них и передает на выход. Передача требуемого сигнала на выход контролируется входами выбора данных.

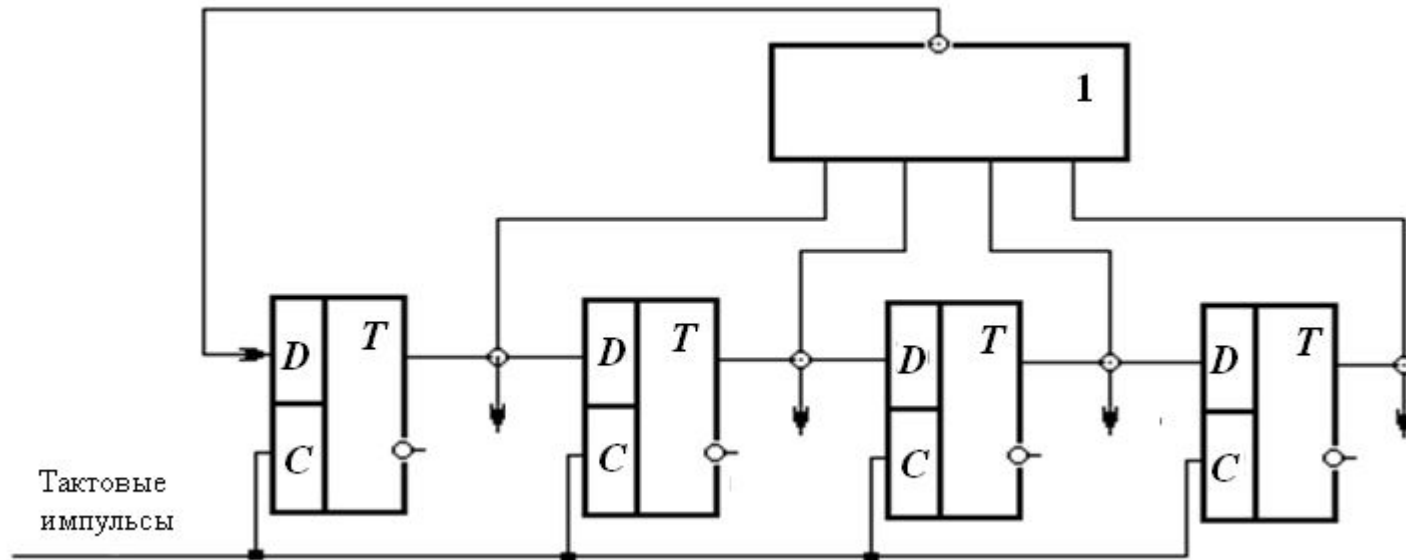


Структура мультиплексора

D_i – каналы передачи данных; X_i – входа выбора входного канала; Y – выходной канал передачи данных

1.7. Распределители

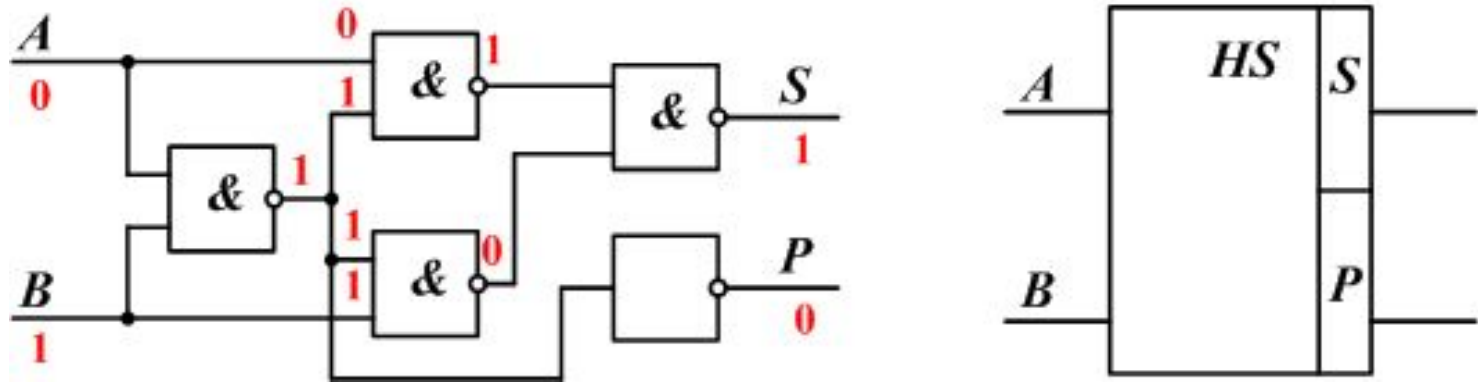
Распределители последовательно активизируют свои выходы при каждом тактовом импульсе.



После первого тактового импульса триггер младшего разряда переходит в единичное состояние и его сигнал Q_1 сразу же переводит элемент ИЛИ-НЕ в нулевое состояние, которое будет сохраняться до тех пор, пока регистр сдвига не обнулится снова. Последующие тактовые импульсы будут смещать единичный выход в сторону старших разрядов регистра, в то время как на их место будут становиться нулевые символы (сигналы).

1.8. Сумматоры

Сумматоры применяют для выполнения любых арифметических действий над двоичными числами (цифровыми сигналами).



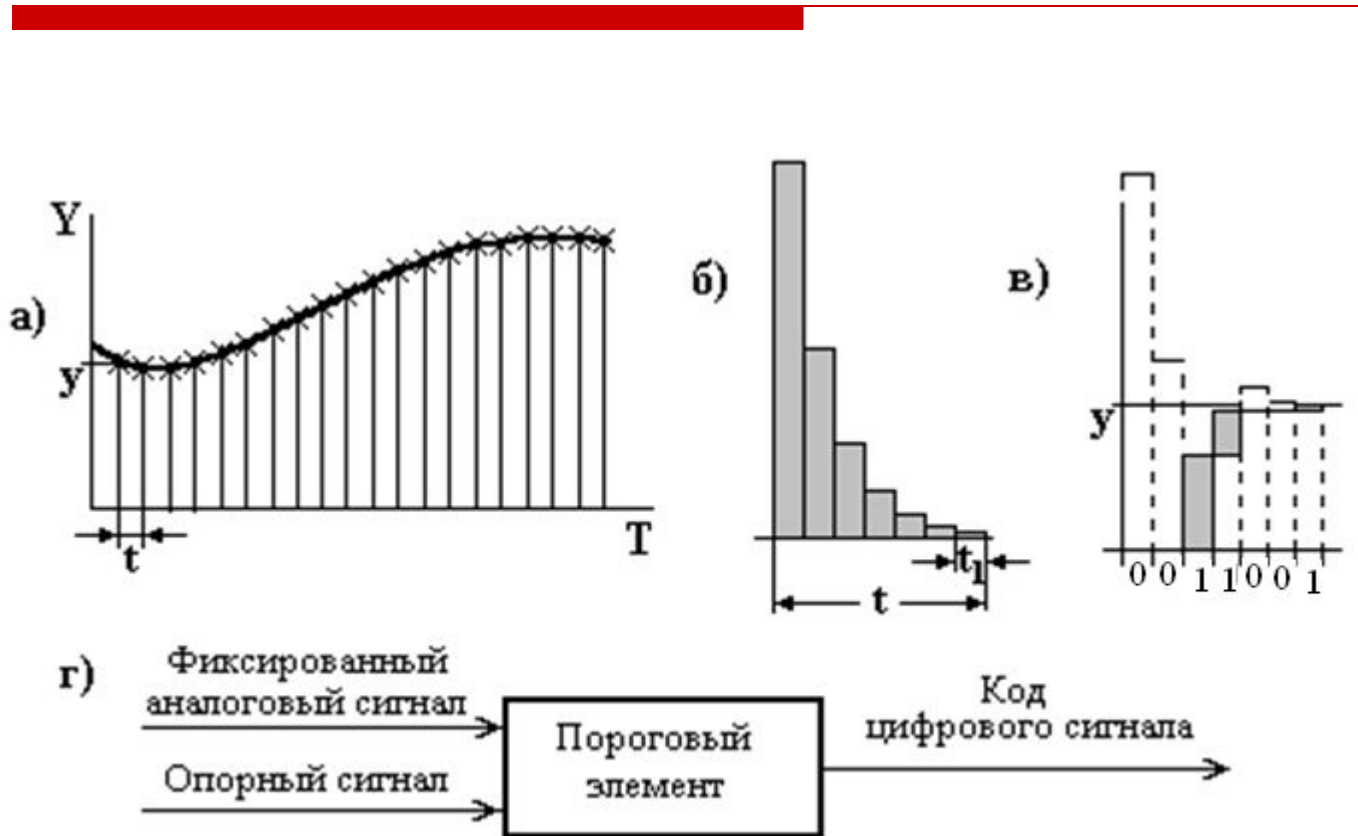
Структурная схема сумматора

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Таблица состояния сумматора

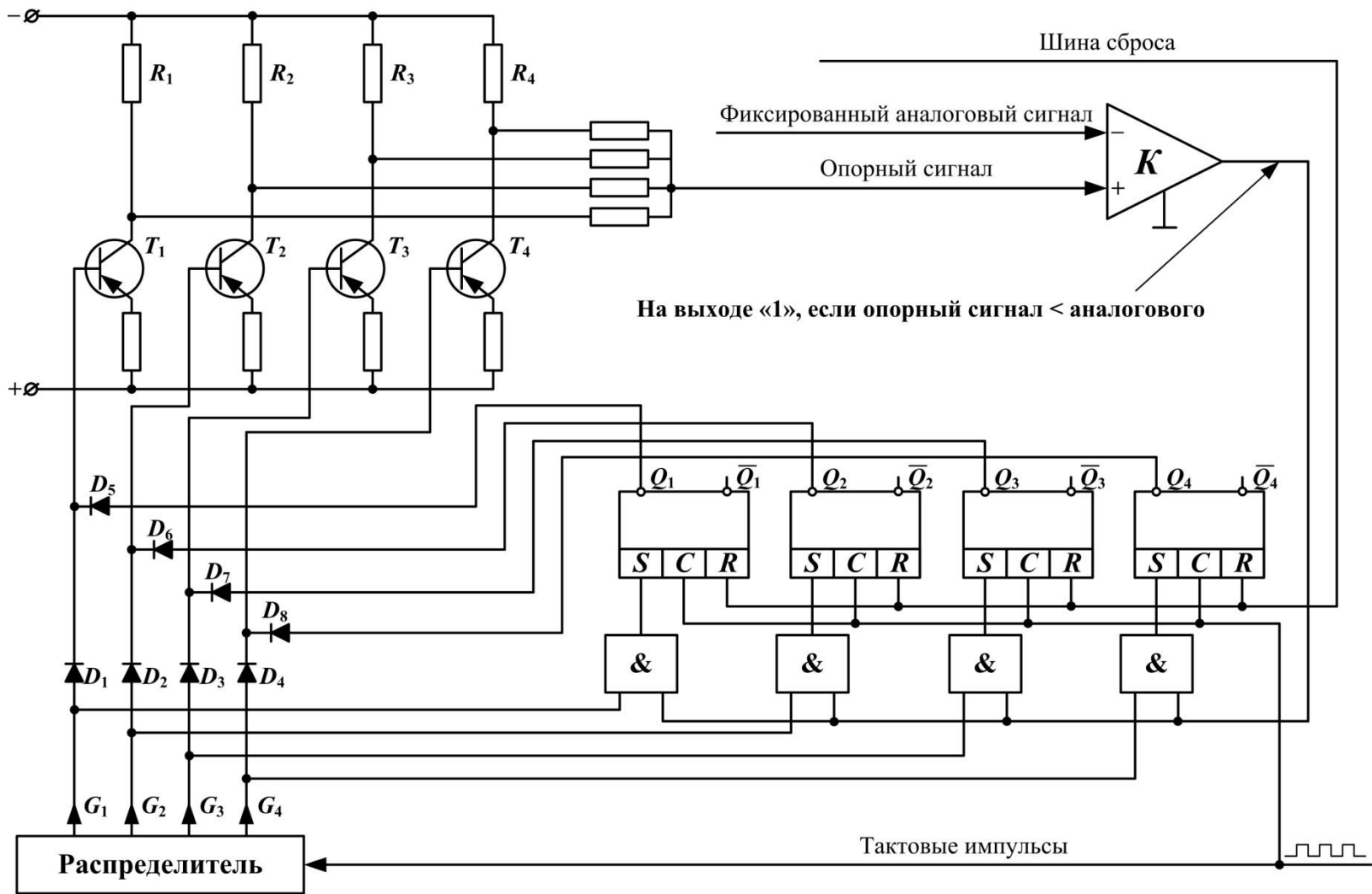
1.9. Аналогово-цифровой преобразователь (АЦП)

АЦП – устройство, преобразующее входной аналоговый сигнал в дискретный код (цифровой сигнал).



Структурная схема и принцип работы АЦП

1.9. Аналогово-цифровой преобразователь (АЦП)

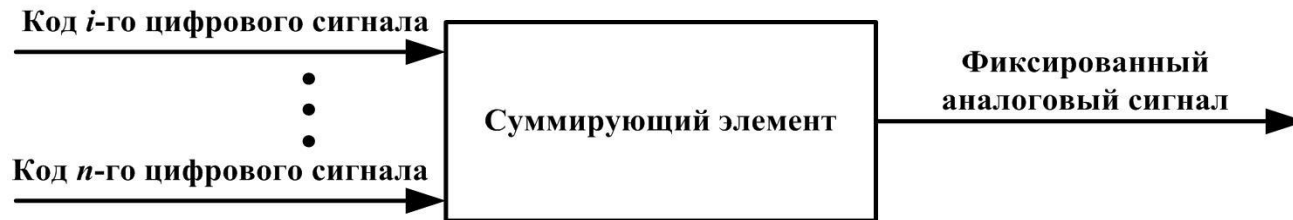
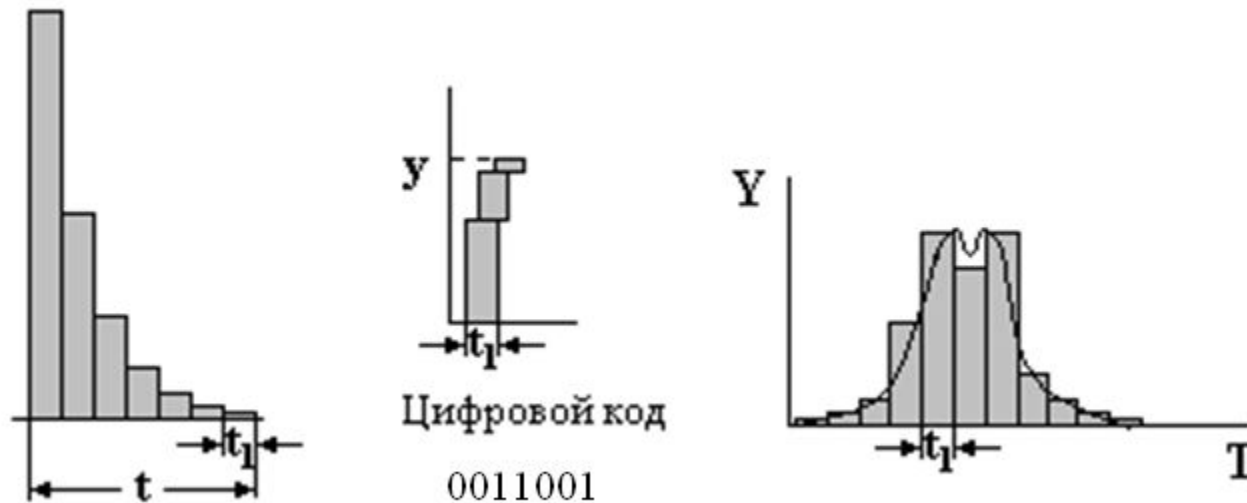


На выходе «1», если опорный сигнал < аналогового

Структурная схема и принцип работы АЦП

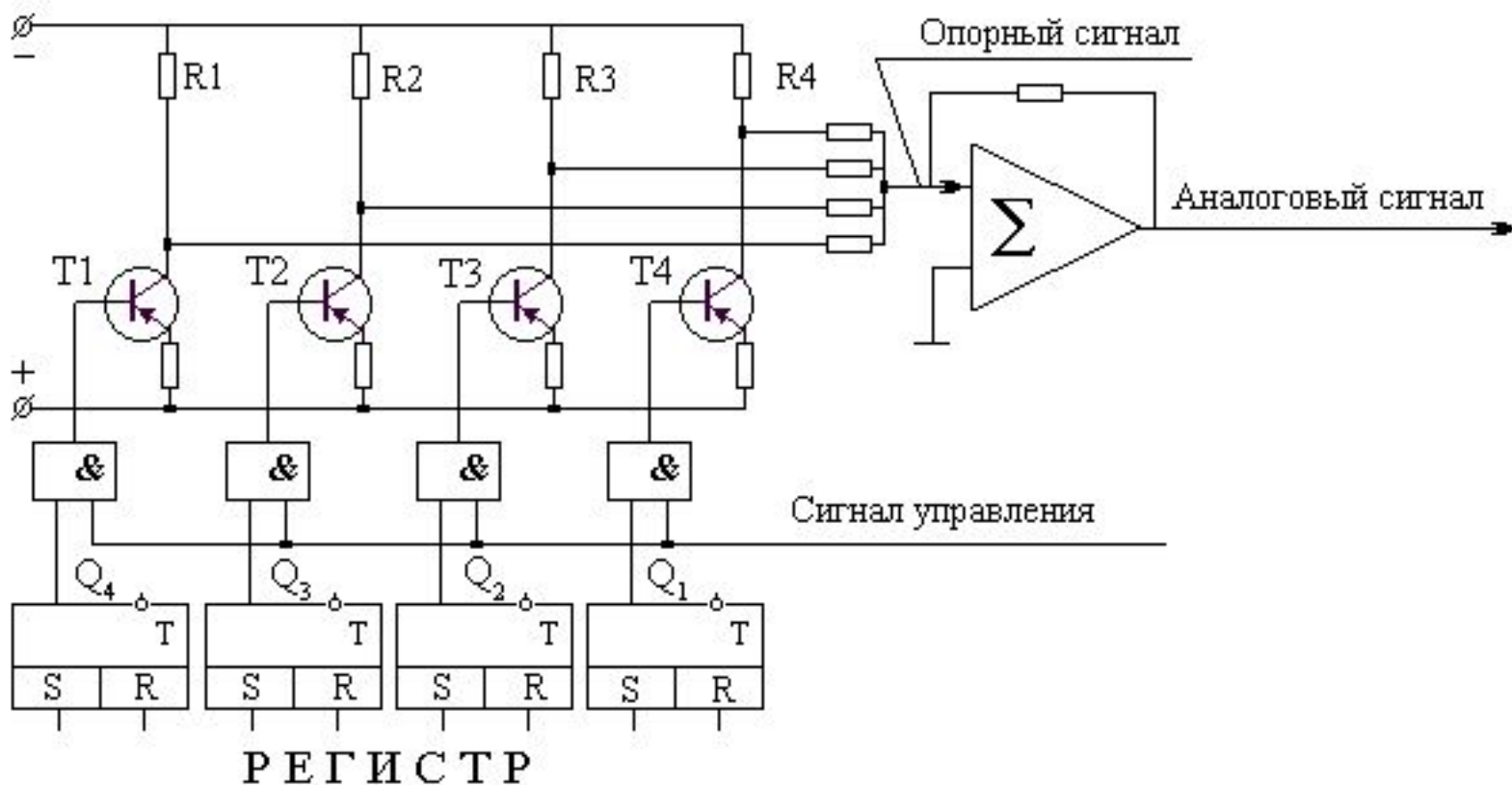
1.10. Цифроаналоговый преобразователь (ЦАП)

ЦАП – устройство обратного преобразования цифровых сигналов в аналоговую форму.



Структурная и принцип работы ЦАП

1.10. Цифроаналоговый преобразователь (ЦАП)



Структурная схема и принцип работы ЦАП